

논문 2003-12-4-07

다중속도의 광신호 추출 및 클락-데이터 복원회로 설계

김 강 욱

Design of A Clock-and-Data Recovery Circuit for Detection and Reconstruction of Broadband Multi-rate Optical Signals

Kang Wook Kim

요 약

최근 인터넷 사용의 증가로 인한 데이터 전송이 급속히 증가하고 있고, 이러한 전송을 위해 광섬유가 주로 사용되고 있다. 장거리 통신을 통한 신호의 감쇄 및 왜곡을 보정하기 위하여 보통 광신호를 전기적인 신호로 변환하여 신호를 재생한다. 이러한 광신호는 포토 다이오드를 통하여 전기적인 신호로 바뀌어지는데, 광신호의 정확한 클락과 데이터를 추출하는 과정은 필수적이다. 본 연구에서는 광대역의 광신호 클락과 데이터의 복원에 쓰이는 클락-데이터 복원회로(CDR)를 1.8 V 0.18 μ m CMOS공정을 이용하여 설계하였다. 이 CDR 회로는 위상고정 루프를 사용한 회로로서 개선된 위상비교기 및 전하 펌프를 사용하였다. 특히 설계된 CDR은 광대역 링 발진기를 사용함으로써 750 Mb/s에서 2.85 Gb/s의 다중속도를 가진 데이터의 클락과 데이터의 복원이 가능하다.

Abstract

Due to explosive increase of internet usage, broadband data transmission using optical fibers is broadly used. In order to decrease distortion during long distance transmission, the optical signal need to be restored, typically, by converting the optical signal into the electrical signal. The optical signal is converted into the electrical signal using a photo-diode, and then a clock-and-recovery (CDR) circuit is used to recover the clock and retiming the data. In this study, a clock-and-data recovery circuit has been designed using a standard 1.8 V 0.18 μ m CMOS process. With this CDR circuit, the improved phase detector and charge pump have been utilized. Also, by using a ring oscillator, the CDR circuit can recover clock and data from broadband multi-rate data ranging between 750 Mb/s and 2.85 Gb/s.

Key Words : Photo-sensor, CDR, PLL, Optical Transceiver

1. 서 론

최근 인터넷 사용의 증가로 인한 많은 양의 데이터 전송이 이루어지고 있다. 지금의 인터넷 사용은 앞으로 기술의 축적과 발전에 더불어서 더욱더 많이 사용되어질 것으로 보이고 있다. 이러

한 시점에서 데이터의 광대역 고속 전송을 위해 주로 사용되는 전송 매체는 광섬유(optical fiber)이다. 광섬유는 광통신에 주로 사용되는 전송선로로 전선이 전류로 신호를 전하는 것과 같이 광섬유는 빛을 신호로 하여 정보를 먼 곳으로 전송한다. 광섬유는 신호의 감쇄가 적고 광대역 특성을 가지므로 장거리 통신을 비롯한 다양한 곳에 광범위하게 사용되고 있다.^[1]

광신호의 장거리 전송에 따른 신호의 왜곡을 줄이기 위해 일정 거리마다 광신호를 복원하는 것이 필요하다. SONET(Synchronous Optical Network)과 같은 광전송망 복구를 하는

경북대학교 전자 전기 컴퓨터 학부 (School of Electrical Engineering and Computer Science, Kyungpook National University)

<접수일자 : 2003년 5월 30일>

방법으로는 전광(O/O/O: optical-optical-optical)과 광전광(O/E/O: optical-electrical-optical) 방식이 있다. 전광 방식은 광 영역에서 데이터를 재생하는 것으로 이에 대한 많은 연구가 이루어졌으나 아직까지 대부분의 기술들은 아직 연구 중이거나 흡족할 만한 특성을 얻지 못하였다. 광전광 방식에서 광 신호는 전기적인 전류(electric current)로 먼저 변환되어져 전기적 영역에서 재생되고 다시 광 신호로 변환된다. 이 방식은 전광 방식에 비해 광-전 변환으로 인한 추가 비용이 드는 단점에도 불구하고, 상용 전송망에 널리 사용되고 있다.^[1]

본 연구에서는 1.8 V 0.18 μm CMOS 공정을 이용하여 광대역 다중속도를 가진 광신호를 추출하여 클럭과 데이터를 복원하는 회로를 설계하였다. 이때, 클럭신호에 대한 정보가 없는 NRZ 신호의 위상을 비교할 수 있고, 결정회로를 포함하고 있는 개선된 Hogge 위상비교기를 설계하고, 개선된 전하펌프를 사용하여 회로성능을 향상시켰다. 또한, 광대역 링 발진기를 사용함으로써 750 Mb/s에서 2.85 Gb/s의 다중속도를 가진 광 데이터의 클럭과 데이터의 복원이 가능하게 하였다. 설계된 CDR 회로 Chip의 크기는 $1122 \times 513 \mu\text{m}$ 이고 총 소비전력은 67.3 mW이다.

II. 광신호 복구를 위한 수신기 구조

그림 1은 광신호 복구를 위한 광통신 수신기를 보여주고 있다. 광통신 수신기의 동작은 수신된 광 신호가 포토 다이오드(photo detector)에 의해 전기적 전류로 변환됨으로서 시작된다.

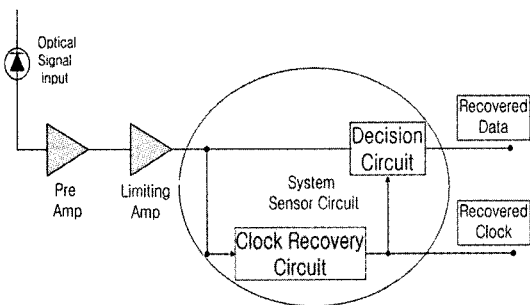


그림 1. 광통신 수신기.
Fig. 1. The optical communication receiver.

시스템센서의 앞단에서의 증폭기(전치 증폭기와 limiting 증폭기)의 역할은 신호의 증폭과 재형성(reshaping)에 있다. 이러한 광통신 수신기의 핵심은 신호의 클럭과 데이터를 추출해 내는 부분이다.

먼저 광신호는 photodiode를 통해 전기적인 신호로 변환되면, 그 광신호의 클럭을 추출하고, 재생된 클럭에 데이터를 동기화 시켜 보냄으로써 데이터의 복원 기능도 가진다. 이 클럭 복원기의 성능에 따라 시스템의 속도, 가격, 파워 소모, 지터 특성, 신호 대 잡음비(SNR)가 결정된다. 클럭 추출을 위한 시스템센서를 구성하는 방법에는 크게 open-loop 구조와 phase-locking 구조가 있는데 그림 2는 후자의 phase-locked loop을 이용한 블록 다이어그램이다.

아래에는 위상고정 루프를 사용한 본 논문의 CDR회로 소자와 전체회로 설계를 설명하고 있다.^[2]

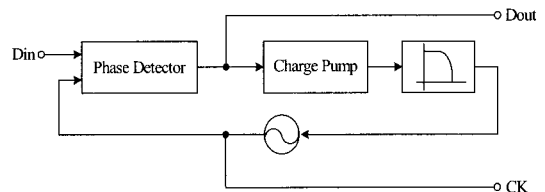


그림 2. 위상고정 루프를 이용한 CDR 회로.
Fig. 2. Clock-and-data recovery using phase-locked loop.

2-1. 위상 비교기의 설계

클럭추출을 위한 시스템회로에서 위상 비교기(phase detector)는 전압제어 발진기(voltage-controlled oscillator)와 입력 데이터 시퀀스간의 위상 고정을 제공하는 중요한 블록이다. 위상 비교기는 데이터와 클럭의 영점교차(zero crossings) 간격에 대한 정보를 제공한다. 이러한 위상 정보는 전압 제어 발진기의 제어 전압으로 사용되고 위상 고정이 이루어지면, 이 전압은 일정한 상수로 유지된다.

흔히 사용되는 위상 비교기로는 아날로그 곱셈기(analog multiplier), XOR gate, 위상/주파수 비교기(phase/frequency detector) 등이 있으나 이것은 모두 주기적인 신호에 대한 위상을 비교해 주므로 연속적인 1 또는 0이 나타나는 NRZ(non-return to zero) 형태와 같

은 랜덤 신호에 대해서는 위상 오차를 추출하지는 못한다. 랜덤 신호에 대한 위상 비교기는 크게 선형 위상 비교기 (linear phase detector)와 이진 위상 비교기 (binary phase detector)로 나눌 수 있다. 그 중에서 선형 위상 비교기로 많이 쓰이는 Hogge 위상 비교기를 그림 3에 나타내었다.^[2]

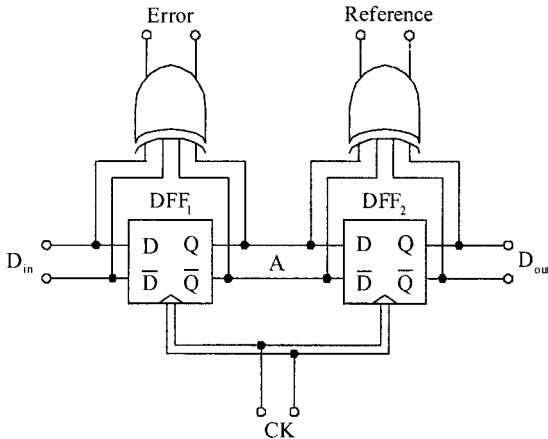


그림 3. Hogge 위상 비교기.
Fig. 3. Hogge phase detector.

위상 오차는 Error와 Reference의 차이를 구함으로써 얻을 수 있는데 이 두 신호는 데이터의 천이 (transition) 때마다 일어나며 Error는 클럭-데이터의 위상차에 비례하는 너비의 pulse를, Reference는 클럭의 반주기에 비례하는 너비의 pulse를 낸다. 이러한 Hogge 위상 비교기의 장점은 phase lock일 때, 클럭의 영점 교차가 한 비트의 중간에 나타나므로 들어오는 시퀀스의 automatic retiming이 이루어지게 되어 결정회로가 없어도 되므로 전체 시스템의 복잡도와 파워 소모가 줄어드는 이점이 있다.

그림 4는 위상비교기의 D flip-flop을 구현한 회로이다. 여기서는 고속 동작이 가능한 CML (current mode logic) D flip-flop을 이용하였는데, 고속 전송 속도에서 성능을 개선하기 위하여 두개의 트랜지스터를 추가하여(M9, M10) slew rate를 높임으로서 최대 동작 주파수를 높였다. 그림 5(a)와 (b)는 Hogge 위상 비교기를 Chartered 0.18 μm CMOS 공정으로 디자인하고 ADS로 시뮬레이션 한 결과 파형이다. 일반적인 ECL-like D flip-flop을 이용한 것과 개선된 ECL-like D flip-flop을 이용한 결

과를 나타내었다.

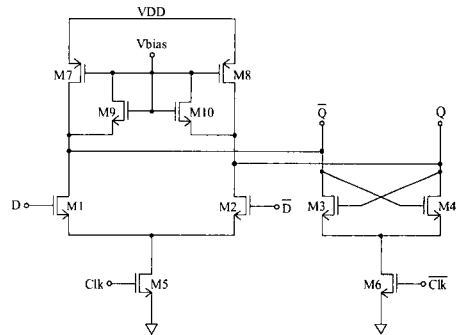
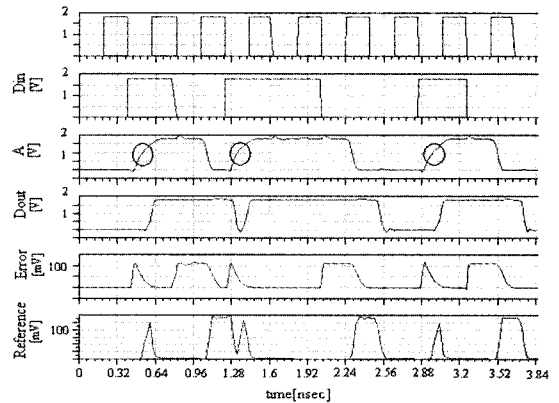
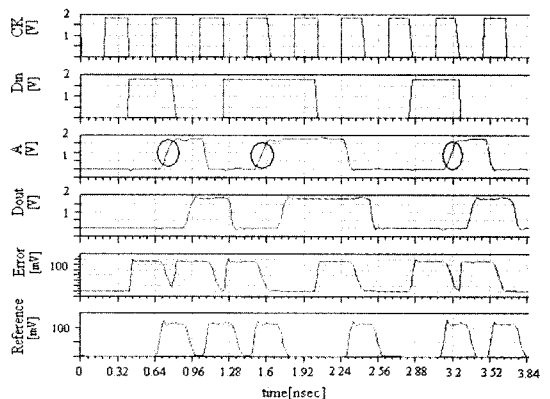


그림 4. 개선된 CML D-F/F.^[3]
Fig. 4. Improved CML D-F/F.^[3]



(a)



(b)

그림 5. (a) 일반적인 ECL-like D-F/F을 이용한 결과 파형, (b) 개선된 ECL-like D-F/F을 이용한 결과 파형.

Fig. 5 (a) Output of a conventional ECL-like D-F/F and (b) Output of the implement ECL-like D-F/F

D flip-flop의 출력 파형인 A를 서로 비교해 보면 그림 5(a)가 슬루율이 낮음을 알 수 있다. 뿐만 아니라 그림 5(a)에서는 A부분에서 파형을 빨리 따라가지 못하고 있다. 그 결과로 인해서 다음 출력 결과인 Dout, Error와 Reference 파형에도 영향을 주어 왜곡이 심한 파형을 보이고 있다. 반면 그림 5(b)에서는 A 파형의 슬루율이 비교적 개선되어서 Dout, Error와 Reference에도 올바른 출력 결과를 내고 있다.

2-2. 전하 펌프

그림 6(a)와 같은 일반적인 전하 펌프(charge pump)에서는 스위치 M1과 M2가 출력 단에 직접적으로 연결되어 있기 때문에 전류의 ON/OFF가 일어날 때마다 적지 않은 스파이크를 유발하게 된다. 이러한 스파이크는 적절한 조치를 취하지 않으면 출력에 그대로 나타나게 된다. 따라서 스위치가 출력에 간접적으로 연결되도록 그림 6(b)와 같이 스위치 M1과 M6을 추가하여 M2와 M5의 드레인 노드가 출력에 연결되게 한다.

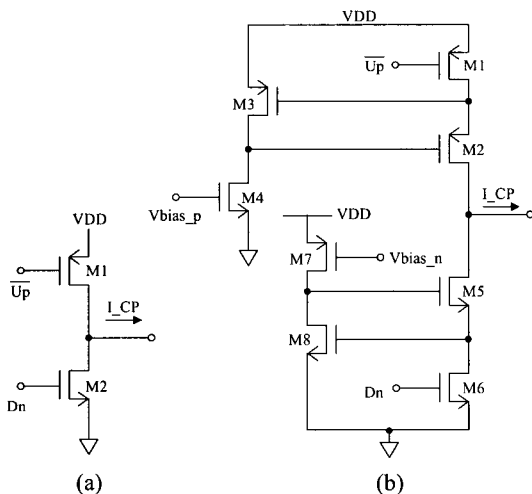


그림 6. (a) 일반적인 전하 펌프
(b) 개선된 전하 펌프.
Fig. 6. (a) The conventional charge pump and
(b) The implement charge pump.

스파이크가 일어날 때 M2와 M5는 여전히 OFF 상태이므로, M1과 M6의 스위칭으로 인해 M2와 M5의 소스에서 일어나는 전류 스파이크는 출력 단에 직접적으로 전해지지 않는다.^[3]

부가적인 트랜지스터는 active cascode를 이루기 위한 것으로 각각의 소싱(sourcing) 또는 싱킹(sinking)동안 고출력 임피던스를 제공한다. 다시 말해 M3과 M4는 M2를 위한, M7과 M8은 M5를 위한 cascode이다. M4와 M7은 공통 소스 증폭기 M3과 M8에 대해 전류원 부하로 각각 동작한다. 그림 7은 up 또는 dn 신호가 M1 또는 M6을 스위칭 했을 때의 출력 파형 I_CP를 각각 보여준다. 그림에서 보듯이 up과 dn 신호에 의한 출력 파형 두 개의 I_CP는 어떠한 스파이크도 없으며 좋은 전류 매칭을 보여준다.^[3]

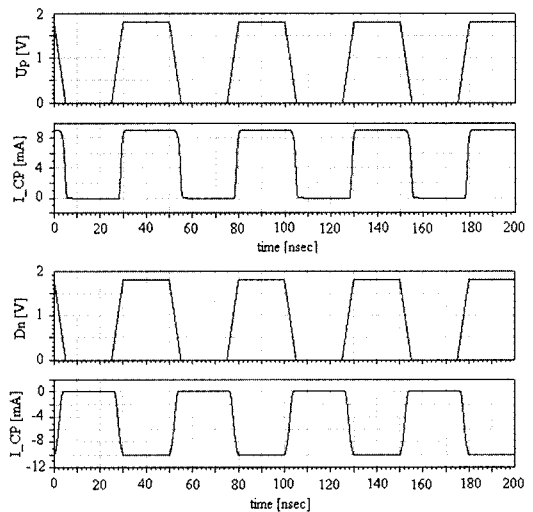


그림 7. 개선된 전하 펌프의 출력 파형.
Fig. 7. Output of the implemented charge pump.

2-3. 루프 필터

VCO의 조절단자 입력 전압을 가변하는 역할을 하는 루프 필터는 저역통과필터(LPF)로 외장형 저항과 커패시터를 사용해 설계하였다. 그림 8에서 보여 주듯이 고주파 지터를 줄이기 위해서 R과 C에 병렬로 추가적인 Cextra를 연결하였다. SONET OC-48의 규격에 따라, 지터 전달특성의 -3 dB 대역은 2.1 MHz, 지터 peaking은 0.1 dB 이하를 만족시키기 위하여 루프 필터를 설계한 결과 R = 6 Ω, C = 1 pF, Cextra = 0.1 pF을 얻었다.[2]

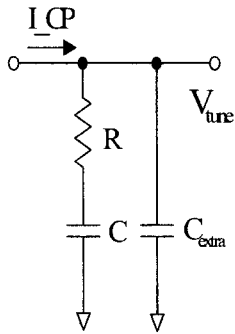


그림 8. 2차 저역 통과 필터.
Fig. 8. Loop filter with 2nd order LPF.

2-4. 전압제어 발진기

전압 제어 발진기(VCO)는 그림 9와 같이 일반적인 CMOS 인버터 셀을 이용하여 링 발진기로 구현하였다.

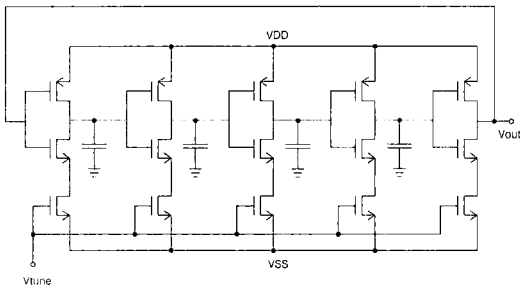


그림 9. CMOS 인버터를 이용한 VCO 회로.
Fig. 9. VCO circuit using CMOS inverter.

설계된 ring oscillator를 Cadence의 Spectre를 이용하여 시뮬레이션 한 결과 튜닝 레인지가 750 MHz - 3 GHz였으나, layout을 한 후 post simulation한 결과는 750 MHz - 2.85 GHz였다. 이는 인버터의 마지막 단에서 첫 단으로 feedback되는 도선의 길이가 길어져서 증가한 도선 커패시턴스로 인해 delay time이 늘어난 것이 원인으로 여겨진다. 아래 그림 10은 설계한 링 오실레이터의 layout이다. 5단으로 구성된 인버터 셀과 함께 출력을 위한 버퍼 단으로 layout을 이루고 있으며 크기는 410 × 55 μm이고, 소모전력은 23.4 mW이다. 그림 11은 2.57GHz의 중심 주파수에 대해 1 MHz떨어진 지점에서의 phase noise가 -99.6 dBc/Hz임을 보여주고 있다.

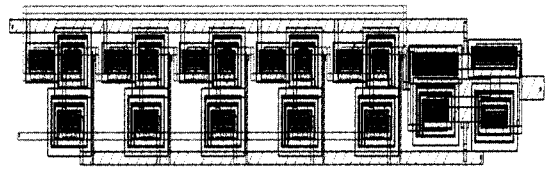


그림 10. 설계된 링 오실레이터의 layout.
Fig. 10. Layout of the designed ring oscillator.

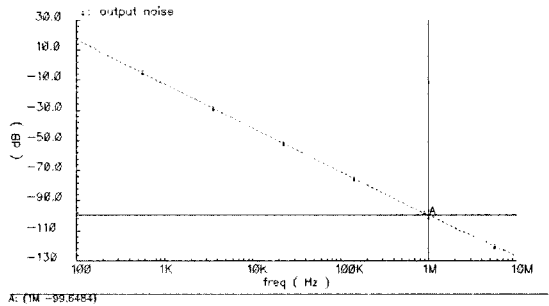


그림 11. 설계된 링 발진기의 위상잡음.
Fig. 11. Phase noise of the designed ring oscillator.

2-5. 클락-데이터 복원회로 설계

지금까지 설계된 블록과 외장용 루프 필터를 기반으로 한 전체 클락-데이터 복원 회로의 layout은 그림 12과 같다. Pad를 포함한 전체 chip size는 1122 × 513 μm이고, 소모 전력은 VCO에서 23.4 mW, 위상 검출기에서 30 mW, 전하 펌프에서 7.9 mW, 그 외 기타 회로에서 6 mW로 총 소모 전력은 67.3 mW이다. 레이아웃에서 추출된 netlist로 post simulation한 결과, 지터 전달 함수의 -3 dB 주파수는 2.1 MHz이고, 최대 지터 peaking은 0.094 dB임을 그림 13을 통해 알 수 있다.

아래 그림 14는 구성된 클락-데이터 복원 회로에 아래의 Data 입력을 인가하였을 때의 결과 파형으로 Error, Reference신호를 거쳐 복원되어지는 클락과 데이터 파형이다.

III. 결론

본 연구에서는 표준 1.8 V 0.18 μm CMOS 공정을 이용하여, 750 Mb/s에서 2.85 Gb/s의

광대역 다중전송속도를 가지는 광신호 데이터를 복원할 수 있는 클락-데이터 복원 회로를 설계하였다. 설계한 클락-데이터 복원회로는 pad를 포함한 전체 chip size가 $1122 \times 513 \mu\text{m}$ 이고, 총 소모 전력은 67.3 mW였다. 설계된 회로를 layout하고 그 기생성분을 추출하여 post simulation을 수행한 결과, 지터전달특성의 -3 dB 주파수는 2.1 MHz, 최대 지터 peaking은 0.094 dB를 나타냈다.

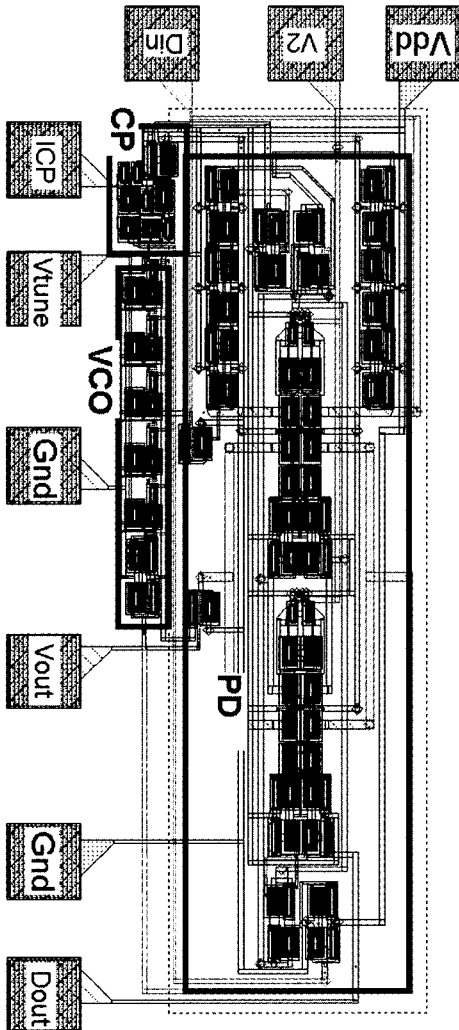


그림 12. 설계된 클락-데이터 복원 회로의 layout.
Fig. 12. Layout of the designed CDR circuit.

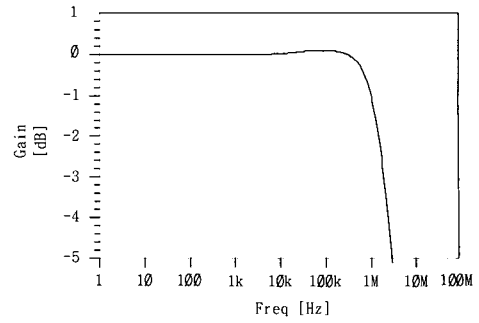
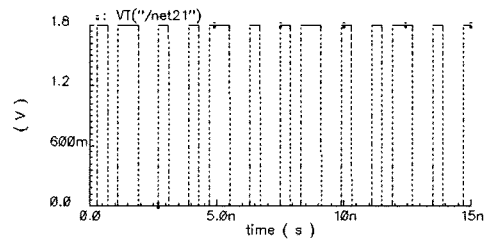
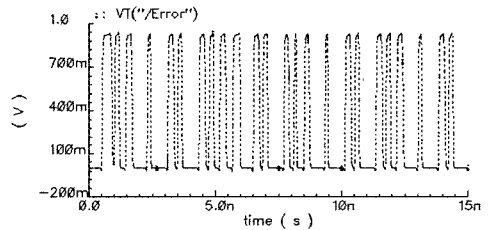


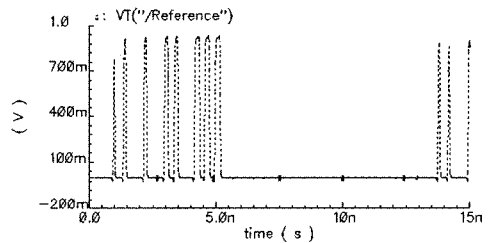
그림 13. 지터 전달 특성.
Fig. 13. Jitter transfer characteristics.



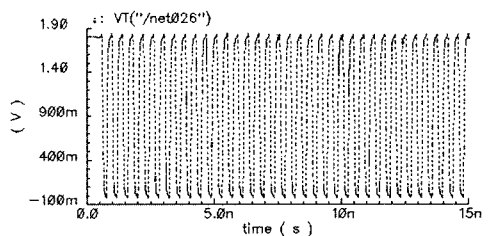
(a) Data input



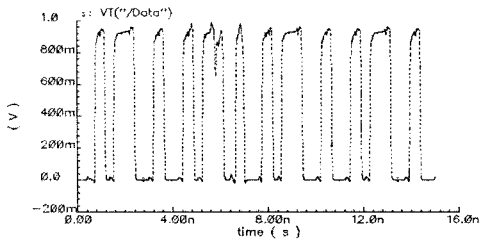
(b) Error signal



(c) Reference signal



(d) VCO output



(e) recovered Data

그림 14. 데이터 입력에 대한 출력 파형.

Fig. 14. Output signals according to NRZ input signals.

감사의 글

이 논문은 2002년 한국전자통신연구원의 지원에 의하여 연구되었음. (계약 연구:1010-2002-0068).

참고 문헌

- [1] Jafar Savoj and Behzad Razavi, A 10-Gb/s CMOS Clock and data recovery circuit with a half-rate linear phase detector, *IEEE journal of solid-state circuits*, Vol. 36, No. 5, pp. 761~7, 2001.
- [2] Jafar Savoj and Behzad Razavi, *High-Speed CMOS Circuits for Optical Receivers*, Kluwer Academic Publishers, pp. 1~25, 2001.
- [3] 이영미, 우동식, 김강욱, 유상대, "2.5 Gb/s 클락-데이터 복원기를 위한 위상 비교기 설계 연구", *한국전자과학회 종합학술 발표회 논문집*, Vol.12 No.1, 2002.

著 者 紹 介

김강욱(金岡昱)

1984년 서울대학교 전기공학과 졸업(공학사)
 1986년 동 대학원 전기공학과 졸업(공학석사)
 1996년 University of california, LA(박사)
 1996.7-1998.8 University of california, LA
 1998.8-1999.9 P-Com, INC.
 1999.10-2001.8 Narda DBS Microwave
 2001.8-현재 경북대학교 전자전기공학부 조교수