

논문 2003-12-5-04

수소 처리시킨 N-채널 다결정 실리콘 TFT에서 스트레스 인가에 의한 핫캐리어의 감지 특성

이종극*, 이용재*

Sensitive Characteristics of Hot Carriers by Bias Stress in Hydrogenated n-channel Poly-silicon TFT

Jong-kuk Lee* and Yong-jae Lee*

요 약

플라즈마, H₂와 H₂/플라즈마 공정에 의해 수소 처리시킨 n-채널 다결정실리콘 박막트랜지스터(TFT)를 제작하였다. 전압 바이어스 스트레스로 게이트 산화막에 유기된 감지 특성들을 분석하였다. 수소 처리시킨 소자에서 전기적 스트레스 조건에 의해 야기된 인자적 감지 특성들은 드레인전류, 문턱전압(V_{th}), 문턱전압 아래기울기(S), 그리고 최대 전달 컨덕턴스(G_m) 값을 측정하여 조사하였다. 분석 결과로서, 수소화 처리시킨 n-채널 다결정 실리콘 박막 트랜지스터에서 감지된 열화 특성은 다결정실리콘/산화막의 계면과 다결정 실리콘의 그레인 경계에서 실리콘-수소(Si-H) 본드의 해리에 의한 현수 본드의 증가가 원인이 되었다. 게이트 산화막내 트랩의 생성은 채널 영역에서 게이트 산화막 속으로 핫 전자 주입에 의해 야기되었다.

Abstract

The devices of n-channel polysilicon thin film transistors(TFTs) hydrogenated by plasma, H₂ and H₂/plasma processes are fabricated. The carriers sensitivity characteristics are analyzed with voltage bias stress at the gate oxide. The parametric sensitivity characteristics caused by electrical stress conditions in hydrogenated devices are investigated by measuring the drain current, threshold voltage(V_{th}), subthreshold slope(S) and maximum transconductance(G_m) values. As a analyzed results, the degradation characteristics in hydrogenated n-channel polysilicon thin film transistors are mainly caused by the enhancement of dangling bonds at the poly-Si/SiO₂ interface and the poly-Si grain boundary due to dissolution of Si-H bonds. The generation of traps in gate oxide are mainly dued to hot electrons injection into the gate oxide from the channel region.

Key Words : hydrogenated, subthreshold slope, dissolution, degradation, dangling

1. 서 론

다결정 실리콘(poly-Si)박막 트랜지스터(TFT)를 스위치 소자로서 이용한 액정 디스플레이(TFT-LCD)는 비정질 실리콘 TFT에 비해 전기적 특성과 핫캐리어 감지 효과의 안정성에서 우수하며, 비교적 저가의 양산성으로 최근 주목되고 있다^[1,2]. 그러나, 다결정 실리콘은 여러 면방위를 가지고 있는 미소한 단결정으로 형성되어 다결정 실리콘의 그레인 또는 다결정실리

* 동의대학교 전자공학과 (Dept. Electronics Engineering, Dongeui University)

<접수일자 : 2003년 1월 11일>

콘/산화막(poly-Si/SiO₂)의 계면에 다수의 트랩이 존재하기 때문에 단결정 실리콘에 비해 전기적 특성과 신뢰성 측면에서 임계전압, 최대전달 컨덕턴스 등 특성이 문제점으로 대두되었다. 이러한 특성에 원인이 되는 게이트 산화막의 트랩밀도를 감소시키기 위해 소자 제작 방법에서 기존의 전식 분위기 성장에서 급속 열처리 어닐링, 암모니아 분위기에서 성장, 수소 분위기에서 성장 등 여러 가지 방법들이 제시^(3,4)되었다. 기존의 공정 소자는 전원 인가로 인한 소자의 전기적 특성이나 신뢰성 특성에 있어 열화 특성이 문제가 되었으며, 이러한 문제점 해결을 위해 게이트 산화막에 수소화 처리시킨 다결정 실리콘 TFT의 특성 분석이 학회에 보고^(2,4)되었으며, 응용은 전기신호를 감지하는 소자로 LCD의 신뢰성을 갖는 제품에 사용될 수 있다.

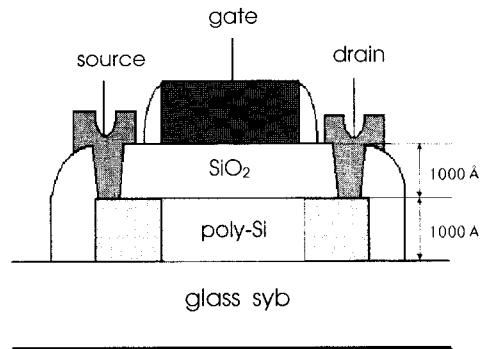
본 연구는 n-TFT 소자제작에서 플라즈마, 수소 공정을 처리한 소자 제작을 하였고, 수소화 처리 시킨 소자에 대해서 전기적 특성과 열화 메커니즘을 단결정에 비해 복잡한 소자의 특성을 분석하고자 한다. 분석 방법은 수소화 처리한 n-채널 다결정 실리콘의 핫 캐리어 감지 효과로 나타나는 열화 특성의 해석과 변화를 추출하기 위해 소자의 게이트에 높은 전압과 시간을 변화시키면서 스트레스 인가 전과 스트레스 인가 후 소자에서 드레인 전류, 전달특성, 문턱전압(V_{th}), 문턱전압 아래 기울기(S), 최대 전달 컨덕턴스(G_m) 등의 변화를 측정하고, 결과로부터 수소화 처리 시킨 소자의 특성 분석과 해석을 하고자 한다.

II. 소자 제작 및 실험

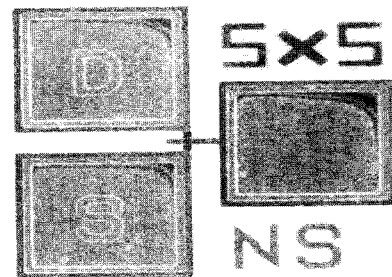
다결정실리콘 박막 트랜지스터 제작을 위해 석영 유리기판에 400nm 두께의 완충산화막을 대기압 화학기상증착법으로 흡착시킨 후, 비정질 실리콘 박막을 450℃에서 Si₂H₆ 가스를 이용하여 저압기상증착법으로 흡착시켰다. 결정화 공정은 온도 600℃에서 10시간 동안 질소분위기에서 고상 재결정법(solid phase recrystallization : SPR)으로 비정질 실리콘을 다결정 실리콘으로 재결정화 하였다. 소자의 채널 활성영역의 다결정 실리콘의 두께는 600Å으로 형성하였고, 게이트 산화막의 두께는 1,000Å, 그 후 측면벽 형성을 시켰으며, 이온주입으로 소스/드레

인 영역 공정을 수행하였다.

게이트 전극을 위한 다결정 실리콘 박막은 550℃에서 저압화학기상 증착법으로 흡착시켰으며, 박막의 두께는 1000Å이다. 소자의 활성영역인 채널에서 다결정 실리콘의 그레인 경계면에 많이 존재하는 현수본드를 줄이기 위하여 450℃에서 12시간 동안 수소화 어닐링 공정을 하였으며, 이 후 300℃, 0.5 kW에서 한시간 동안 부가적인 플라즈마 분위기에서 수소화 공정을 하였다. 그림1은 제작한 소자의 단면도와 평면 사진이다.



(a)



(b)

그림 1. 다결정 실리콘 TFT의 단면도(a)와 제작된 평면 사진(b).

Fig. 1. Cross Sectional(a) and fabricated layout figure of poly-Si TFT(b).

III. 측정 및 결과 고찰

게이트의 채널폭/길이가 400 μ m/5 μ m인 소자에 게이트 전압을 각각 4V, 8V, 12V, 15V로 변화시켰을 때의 드레인 전류-드레인 전압의 특성 곡선을 나타낸 결과가 그림2이다. 여기서 스트레스

22 수소 처리시킨 엔-채널 다결정 실리콘 TFT에서 스트레스 인가에 의한 핫캐리어의 감지 특성

포인트로 표시된 값은 스트레스 전압인가를 나타내며, 선형영역에서 포화영역까지 다양하게 인가하였다. 게이트 인가 전압의 증가는 채널의 두께를 증가시켜 드레인 전류량과 핀치오프 전압을 추출하기 위한 결과이다.

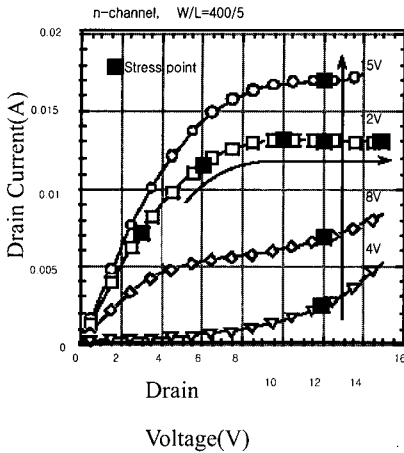


그림 2. 수소처리된 엔-채널 다결정 실리콘 TFT에서 V_{gs} 함수로써 I_d - V_{ds} 특성.

Fig. 2. I_d - V_{ds} characteristics as a function of the V_{gs} in hydrogenated n-channel poly-Si TFTs.

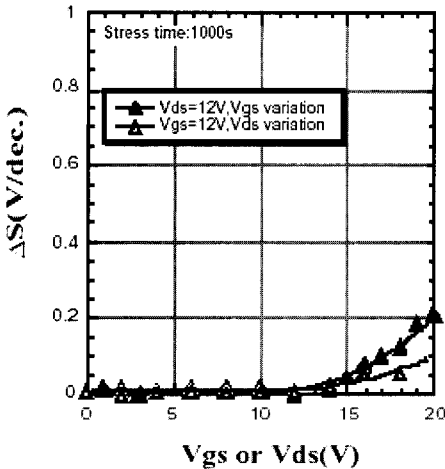


그림 3. 수소처리된 소자에서 고정된 V_{ds} 혹은 $V_{gs}=12V$ 인가때 a) V_{th} , b) S 이동.

Fig. 3. a) V_{th} , b) S shift characteristics when fixed V_{ds} or $V_{gs} = -12V$ injected in hydrogenated n-channel poly-Si TFT.

수소화 처리시킨 n-채널 다결정 실리콘 TFT에 게이트-소스간 전압 $V_{gs}=12V$ 로 고정시키고, 드레인-소스간의 전압 V_{ds} 보다 높은 전압을 인가할때와 $V_{ds}=12V$ 로 고정시키고 V_{ds} 값을 변수로하여 문턱전압(V_{th})과 문턱전압 아래기울기(S)의 값을 추출한 결과가 그림3의 a)와 b)이다. 즉 스트레스 전압 V_{gs} 에 의한 경우가 드레인-소스 전압 V_{ds} 에 의한 경우가 보다 문턱전압과 S 값의 열화가 큰 특성을 나타낸다. 이와 같은 원인은 소스에서 드레인 방향의 수평방향 전계에 의해 충분한 에너지를 얻은 채널내의 전류가 산화막 속으로 주입시, poly-Si/SiO₂ 계면에서의 계면준위를 발생 또는 산화막내의 전자 트랩에 의한 핫 전자(CHE)^[6]이며, 이 한 전자가 열화에 크게 기여하고 있음을 유추할 수 있다. 그러나 V_{ds} 에 의한 스트레스 열화에 대하여 채널의 다결정 실리콘의 그레인 경계의 계면준위 발생이 원인^[5,6]일 수도 있다.

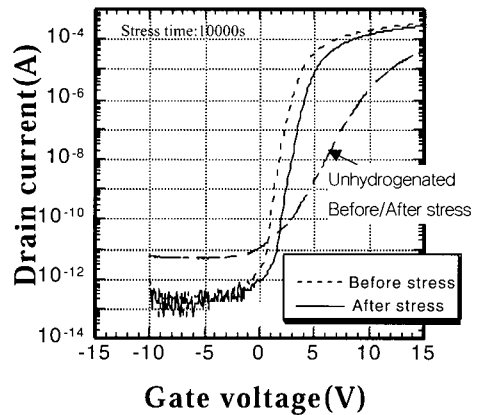
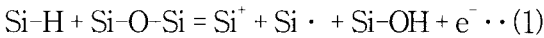


그림 4. 수소처리와 비처리 소자에서 스트레스 인가 전후의 I_d - V_{gs} 특성(조건: $V_{gs} = 15V$ 와 $V_{ds} = 12V$ 에서 10000초).

Fig. 4. I_d - V_{gs} characteristics of stress before and after bias in the non-hydrogenated and hydrogenated devices.

소자에서 수소 공정 처리로 게이트 산화막 속으로 수소의 주입에 의한 소자의 핫 캐리어의 감지를 예측할 수 있는 모델화가 그림4이다. 설명 모델에서 인가전압에 의하여 Si/SiO₂ 계면 즉 결정 그레인의 Si-H 결합이 절단되어, 계면 준

위가 발생되고, 여기에 Si-H 결합의 단절에 의해 발생되어진 H⁺ 이온이 강한 게이트 산화막의 전장에 의해 산화막으로 주입되고 이과정에서 Si-O 결합을 절단하여, 양의 고정전하가 발생되며, 열화 반응 과정을 다음식으로 표시할 수 있다.



여기에서 Si⁺는 양의 고정전하, Si·는 계면 준위이다.

한편, 게이트 전극에 양의 바이어스 인가는 음의 바이어스와 동일하게 Si/SiO₂ 계면에서 결정 그래인의 Si-H 결합이 끊어져 계면 준위가 발생되지만 양의 고정전하는 발생이 되지 않는다. 이는 게이트 산화막의 전장 방향이 H⁺ 이온의 산화막 속에서 이동 방향이 다결정 실리콘 방향으로 움직이기 때문이다.

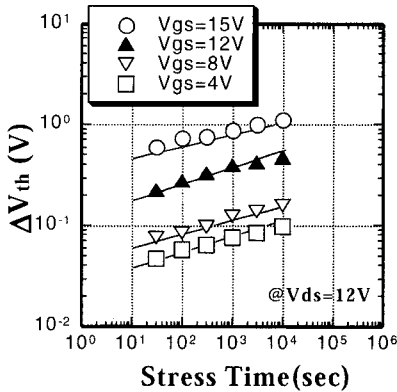


그림 5. 수소처리 소자에서 V_{gs} = 4, 8, 12, 15V 대해 V_{th}의 스트레스 시간 의존성.
Fig. 5. Stress time dependence of V_{th} for V_{gs} = 4, 8, 12, 15V in the hydrogenated devices.

게이트 산화막에 수소화 처리시킨 n-채널 poly-Si TFT의 V_{ds}=12V, V_{gs}=15V의 스트레스 인가에 의한 전달특성을 나타낸 결과가 그림5이다. 여기에서 수소화 처리시킨 소자와 처리하지 않은 소자의 특성에서 수소화 처리시킨 소자가 월등히 양호한 특성을 나타낸다. 또 수소화 처리시킨 소자를 스트레스 전압으로 긴 시간 10,000초 인가한 소자의 특성 비교에서 인가 전 소자의 전달특성 보다 인가 후의 전달 특성이 우

측으로 이동된 특성 열화의 결과이다. 이 결과는 디스플레이에 응용시 개별 화소의 신뢰성하기위한 시간으로 스트레스 후, 드레인 동작 전류는 감소하며, 정방향으로 이동하는 것을 확인할 수 있다. 그림4의 스트레스 인가조건이 V_{gs}<=V_{ds}/2일 때 문턱전압(V_{th})의 변화는 거의 발생하지 않는 것을 알수 있다. 이러한 실험 결과는 단결정의 MOSFET와는 다른 열화 경향을 나타낸다.^[5,6]

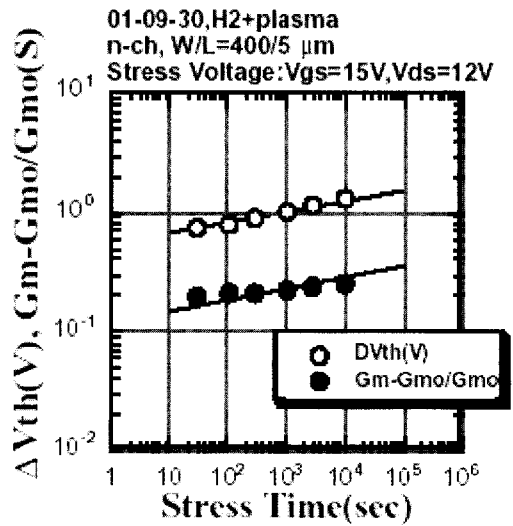


그림 6. 수소처리 소자에서 스트레스 시간 대 V_{th}와 G_m-G_{mo}/G_{mo}와 스트레스 시간 관계.
Fig. 6. Stress time dependence of V_{th} and G_m-G_{mo}/G_{mo} in hydrogenated n-channel poly-Si TFTs.

채널을 유기시키는 데 필요한 최소 게이트 전압 특성의 열화를 분석하기위해, 소자에 드레인-소스 전압 V_{ds}=12V로 고정시키고, 게이트-소스 전압 V_{gs}를 4V, 8V, 12V, 15V로 각각 변화시킨 전압을 인가한 소자에서 문턱전압을 측정할 결과가 그림6이다. 이 결과는 식 ΔV_{th} ∝ tn에서 시간t의 기울기로 나타나는 파워인자n은 0.1~0.8 까지로 다결정에서는 캐리어 포획에 의해 약 0.2, 계면준위의 발생에 의해 0.5~0.7로 보고^[7]되고 있으며, 그림6에서 파워인자는 0.15~0.35의 값으로 추출되었다. 파워인자의 낮은 값은 채널 핫 전자의 결과이고, 높은 기울기 값은 드레인 애벌런치 핫 캐리어(DAHC)의 결과 보고^[3]로 인가전압이 DAHC의 V_{gs}/ (V_{ds}/2)

24 수소 처리시킨 엔-채널 다결정 실리콘 TFT에서 스트레스 인가에 의한 핫캐리어의 감지 특성

보다 보다 낮기 때문에 채널 핫 전자의 결과로 해석된다.

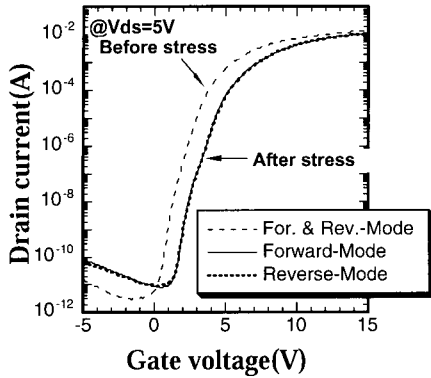


그림 7. 순방향 모드와 역모드에서 스트레스 전후의 Id 특성.

Fig. 7. Id characteristics of before and after stress at the forward and reverse modes.

n채널 소자의 스트레스 인가 전과 후의 전달특성을 소스와 드레인 단자를 정상적인 연결과 역으로 연결하여 측정된 결과가 그림7로서, 드레인-소스 전압 $V_{ds}=15V$ 의 포화영역에의 전달특성을 나타낸다. 스트레스 전압은 $V_{ds}=12V$, $V_{gs}=15V$ 이며, 스트레스 시간은 20초, 100초, 200초, 1,000초와 10,000초 인가하여 최대 전달 컨덕턴스의 변화값 $(G_m - G_{m0})/G_{m0}$ 와 임계전압 변화량을 측정된 결과이다. 스트레스 시간 증가에 따라 약간의 증가 기울기를 나타냈는데, 이는 게이트 산화막 내의 포획된 캐리어의 증가로 이 증가된 포획 캐리어가 게이트 채널의 유기 전하 효과[4]로써 채널 길이에 영향을 주는 결과이다. 즉 스트레스 시간의 증가가 곧 게이트 산화막 속으로의 CHE의 증가로 인한 p형의 유기 캐리어의 증가에 기인하여 실제 전자가 지나가는 채널길이가 드레인 근처 채널에서 p형 유기 캐리어로 인해 둘러가는 길이로 길어지는 효과^(3,5)로 설명할 수 있다.

소자에서 전압 바이어스를 인가전(점선 특성)과 시킨 후(실선 특성) 전류-전압을 측정하였으며, 이 상태의 소자를 소스와 드레인 단자를 역으로 연결하여 특성을 측정된 결과가 그림8이다.

동작 혹은 차단전류의 전달특성의 변화 정도의 크기는 동작모드에 관계없이 동일한 결과가 얻어진다. 그림8의 결과로 감지된 특성열화는 그림9

과 같이 드레인 근처의 드레인 에벌런치 핫 캐리어(DAHC)에 의해 발생하는 것이 아니라 $V_{gs} \approx V_{ds}$ 정도의 전압 스트레스 인가로 채널층을 지나가는 핫 전자에 의해 발생하는 것으로 해석된다.

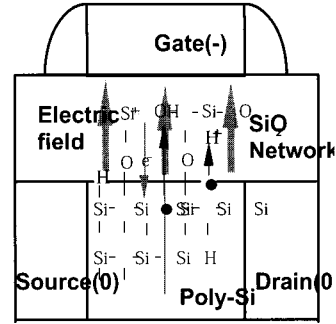


그림 8. 스트레스에 의한 특성 열화 메커니즘의 모델화.

Fig. 8. Model of characteristics degradation mechanism by stress.

TFT 채널층의 그레이의 활성화 에너지 분포를 분석하기 위해, 동작시 기울기 아래 영역에서 일어나는 드레인 전류의 식2를 이용하였고, 각 게이트 전압값에 대해서 드레인 전류와 온도계수를 구하여, 그 항에서 활성화 에너지 E_a 를 추출하였으며, 게이트 전압의 함수로써 나타낼 수도 있다.

$$I_d = \frac{W}{L} \mu_n C_D \left(\frac{kT}{q} \right)^2 \exp \left[\frac{q}{mkT} (V_{gs} - \bar{V}_{gs}) - \frac{q\phi_s}{2kT} \right] \cdot \left[1 - e^{-\frac{q}{kT} V_{ds}} \right] \quad (2)$$

계면준위 D_{it} 의 영향이 무시안될 경우는 계면 준위의 등가 용량 $C_{it} = q \cdot D_{it}$ 가 공핍층 용량 C_d 와 병렬 연결로써 식(3)으로 표현할 수 있고, 식(4)에서 E_a 를 추출⁽⁷⁾하여 그런 결과가 그림9이다.

$$S = \frac{dV_g}{d \log I_d} = \ln 10 \cdot \frac{kT}{q} \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (3)$$

$$-\frac{d}{dV_{gs}} \left(\frac{n_i}{I_d} \right) = Nit \frac{dqV_s}{dV_{gs}} = -Nit \frac{dE_a}{dV_{gs}} \quad (4)$$

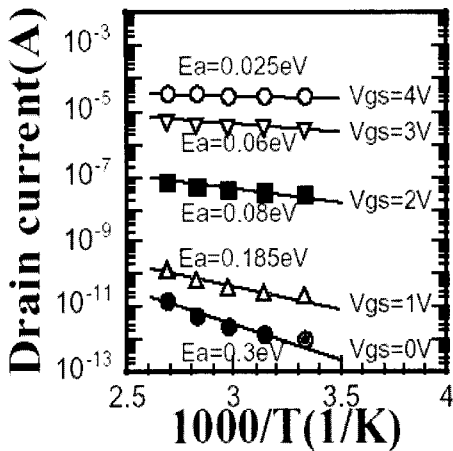


그림 9. 스트레스 전의 각 V_{gs} 전압의 함수로서 I_d 의 활성화 에너지.

Fig. 9. Activation energy of the drain current as a function of each V_{gs} before stress.

수소화 처리시킨 n-채널 TFT 소자에서 스트레스 전압 인가전에 각각의 게이트 전압에 대한 함수로서 드레인 전류의 활성화 에너지를 추출한 결과에서 활성화 에너지는 게이트 전압의 증가와 함께 감소함을 보여주며, 문턱전압 근처에서의 그래인 경계에 존재하는 전위 장벽은 거의 사라지는 것을 알 수 있다.

IV. 결 론

전류 감지 소자인 n-채널 TFT의 제작 과정중에 게이트 산화막 형성 단계에서 수소 처리 공정을 한 n-채널 다결정 실리콘 박막 트랜지스터를 제작하였다. 수소처리하지 않은 소자와 수소처리한 소자의 전류-전압 특성은 수소처리 소자가 월등히 양호하였다. 전기적 스트레스를 인가 했을 경우의 스트레스 전압, 스트레스 시간등을 변화시켜 문턱전압 V_{th} , 문턱전압 아래 기울기 S , 그리고 최대전달 컨덕턴스 G_m 을 각각 측정하여 핫 캐리어 감지에 의한 열화특성을 분석하였다.

소자의 핫 캐리어의 감지 결과 특성은 스트레스 전압을 단시간에 인가했을 경우와 스트레스 인가 시간을 계속 증가시켰을 경우의 2가지의 열화 특성을 가지고 있는 것으로 분석되었다. 첫째, 단 시간 스트레스 인가한 경우의 열화는 채널에서

발생한 핫캐리어가 다결정 실리콘의 그래인 또는 다결정 실리콘/산화막 계면에 존재하는 Si-H 결합의 해리에 의한 계면준위의 발생으로 인하여 특성 열화가 발생되고, 둘째로는 스트레스 인가 시간이 길었을 경우의 열화 원인은 게이트 산화막속으로 주입된 핫 전자에 의한 트랩의 발생에 기인된 특성으로 해석할 수 있다.

감사의 글

본 연구는 2001년 동의대학교 교내 학술연구비 (2001AA149) 지원의 결과로 이루어졌습니다.

참 고 문 헌

- [1] Do-Hyun Baek, Yong-Jae Lee, "Stress-Bias Effect on Poly-Si TFT's of Glass Substrate", ITC-CSCC2000, Vol.2, pp. 933-936, 2000.
- [2] Morimoto Y, "Influence of the Grain Boundaries and Intergrain Defects on the Performance of Poly-Si Thin Film Transistors", Journal of the electrochemical Society, Vol.44, No.7, 1997.
- [3] J. Richard Ayres, Stan D. Brotherton, "Analysis of Field and Hot Carrier of Poly-Si Thin Film Transistors", Jpn. J. Appl. Phys. Vol.37 pp.1801-1808, 1998.
- [4] Y.S. Jeong, et al "Model of Electrical Stress Induced Degradation In Hydrogenated n-and p-Channel Poly-Si TFTs", 2000 International workshop on Active-Matrix Liquid-Crystal Displays (AM-LCD), July 13, 2000.
- [5] H. Kuwano et al. "Mechanisms of Electrical Stress-Induced Degradation in H₂/Plasma Hydrogenated n- and p-channel Polysilicon Thin Film Transistors" Jpn. J. Appl.

26 수소 처리시킨 엔-채널 다결정 실리콘 TFT에서 스트레스 인가에 의한 핫캐리어의 감지 특성

Physics, Vol.41, No.8, pp.5042-5047, Aug. 2002.

- [6] 저전류 측정을 위한 반도체 소자 특성 분석 시스템에서의 보상 기법, 최인규·박종식, 한국센서학회지, 제11권2호, p.111, 2002.

- [7] J.S. Jeong, Doctor thesis, Dept. of Electrical eng. Japan Keio university, April, 2002.

著 者 紹 介

이 종극(Jong-Keuk Lee)

1978년 2월 경북대학교 전자공학과(공학사)
 1988년 2월 미국 North Carolina St. University(M.S)
 1993년 6월 미국 Texas A&M University(Ph.D)
 1988년 6월 Assistant Teaching Texas A&M University
 1995년 - 현재 : 동의대학교 컴퓨터, 소프트웨어공학부 부교수

이 용재(Yongjae Lee)

1981년 2월 경북대학교 전자공학과 졸업
 1983년 2월 연세대학교 대학원 전자공학과 공학석사
 1986년 8월 연세대학교 대학원 전자공학과 공학박사
 1988년 3월 - 현재 동의대학교 전자공학과 교수
 1991년7월-1992년 7월 : The University of Texas at Austin. U.S.A Microelectronics Research Center Post Dr.
 1985년 3월- 1988년 2월 : 한국전자통신연구원 집적회로개발부 선임연구원
 1983년 1월- 1984년 7월 : 삼성전자 반도체 연구소 연구원