

논문 2003-12-6-01

저전력 아날로그 CMOS 윤곽검출 시각칩의 설계

김정환, 박종호, 서성호, 이민호, 신장규, 남기홍*

**Design of Analog CMOS Vision Chip for Edge Detection
with Low Power Consumption**Jung-Hwan Kim, Jong-Ho Park, Sung-Ho Suh, Minho Lee, Jang-Kyoo Shin
and Ki-Hong Nam***요 약**

고해상도의 윤곽검출 시각칩을 제작하기 위해 윤곽검출 회로의 수를 증가시킬 경우 소비전력 문제 및 회로를 탑재할 칩의 크기를 고려하지 않으면 안된다. 칩을 구성하는 단위회로의 수적 증가는 소비전력의 증가와 더불어 대면적을 요구하게 된다. 소비전력의 증가와 CMOS 생산 회사에서 제공하는 칩의 크기가 수 십 mm²이라는 조건은 결국 단위회로의 수적 증가를 제한하게 된다. 따라서 본 연구에서는, 고해상도의 윤곽검출 시각칩 구현을 위한 윤곽검출 회로의 수적 증가에 따른 전력소비의 최소화 방법으로 전자스위치(electronic switch)가 내장된 윤곽검출 회로를 제안하고, 제한된 칩의 면적에 더 많은 윤곽검출 회로를 넣기 위해 시세포 역할의 광검출 회로와 윤곽검출 회로를 분리하여 구성하는 방법을 적용하였다. 128×128 해상도를 갖는 광검출 회로가 1×128의 윤곽검출 회로를 공유하여 동일한 칩 면적에 향상된 해상도를 갖는 칩을 설계하였다. 설계된 칩의 크기는 4mm×4mm이고, 소비전력은 SPICE 모의실험을 통해 약 20mW가 됨을 확인하였다.

Abstract

The problem of power consumption and the limitation of a chip area should be considered when the pixel number of the edge detection circuit increases to fabricate a vision chip for edge detection with high resolution. The numeric increment of the unit circuit causes power consumption to increase and require a larger chip area. An increment of power consumption and a limitation of chip area with several ten milli-meters square supplied by the CMOS foundry company restrict the pixel numbers of the edge detection circuit. In this paper, we proposed a electronic switch to minimize the power consumption owing to the numeric increment of the edge detection circuit to realize a vision chip for edge detection with high resolution. We also applied a method by which photodetector and edge detection circuit are separated to implement a vision chip with a higher resolution. The photodetector circuit with 128×128 pixels uses a common edge detection circuit with 1×128 pixels so that resolution was improved at the same chip area. The chip size is 4mm×4mm and the power consumption was confirmed to be about 20mW using SPICE.

Key Words : vision chips, CMOS vision chips, analog CMOS vision chips, retina chips.

1. 서론

생체의 망막에서 정보처리를 수행하는 신경 세포는 컴퓨터의 기본소자인 트랜지스터의 동작속도에 비해 상대적으로 느리지만 병렬적인 정보처리로 인하여 시각정보를 실시간으로 처리하는 것이 가능하다. 지금까지 사용되어진 물체의 윤곽검출 방법은 CCD(charge coupled device) 카메라와 일반 컴퓨터를 이용한 직렬 정보처리가 대부분이었으며, 이는 여러 단계의 프로세싱이 필요하기 때문에 실시간 처리가 필요한 비전시스템에 적용하는데 어려움이 있었다. 망막의 우수한 메커니즘을 모방하여 하드웨어 상에 구현하게 되면 영상처리비용의 감소와 속도의 향상을 가져올 수 있으며, 고성능의 실시간 영상처리도 가능하게 될 것이다.

지금까지 알려진 생체의 망막을 구성하는 세포에는 시세포, 수평세포, 쌍극세포, 아마크린세포, 신경절세포 등이 있으며, 이들 중 시세포, 수평세포 및 쌍극세포는 입력되는 영상정보의 윤곽검출에 관여한다고 알려져 있다. 입력 광신호를 전기적신호로 변환하는 시세포, 변환된 전기신호를 인접한 세포와 연계하여 그 신호를 공간적으로 전파하고 평활화하는 수평세포, 그리고 입력된 신호와 평활화된 신호의 차이를 출력하는 쌍극세포를 하드웨어 상에 구현하기 위해서는 전자회로적인 모델링이 필수적이고 이에 관한 연구가 활발하게 진행되고 있다.^[1-7]

고해상도의 아날로그 윤곽검출 시각칩을 제작하기 위해 윤곽검출 회로의 수를 증가시킬 경우 소비전력 문제를 고려하지 않으면 안된다. 칩을 구성하는 단위회로의 수적 증가는 소비전력을 증가시키게 된다. Fabrice Paillet 등은 소비전력을 줄이기 위한 방법으로 디지털 방식의 CMOS 시각 센서를 제안하기도 하

였다.^[6,7] 본 연구에서는 전자스위치(electronic switch)를 내장하여 선택적으로 전류를 흘려보낼 수 있게 하므로써 아날로그 회로의 문제점인 소비전력 문제를 최소화 하였다.

또한 제한된 칩의 면적 역시 고해상도의 윤곽검출 시각칩의 제작에 있어 고려하여야 할 사항이다. 수 십 μm 이라는 제한된 칩의 면적은 결국 고해상도의 윤곽검출 시각칩을 구현하는데 있어 제한요소가 된다. 따라서 제한된 칩의 면적에 더 많은 윤곽검출 회로를 넣기 위해 시세포 역할의 광검출 회로와 윤곽검출 회로를 분리하여 구성하는 회로 배치 방법을 적용하였다. 128×128 해상도를 갖는 광검출 회로가 1×128 의 윤곽검출 회로를 공유하여 동일한 칩 면적에 향상된 해상도를 갖는 칩을 설계하였다. 설계된 칩의 크기는 $4\text{mm} \times 4\text{mm}$, 한 개의 픽셀을 구성하는 광검출 회로는 $26\mu\text{m} \times 26\mu\text{m}$ 이고 128개의 윤곽검출 회로가 동작될 때 소비전력은 SPICE 모의실험을 통해 약 20mW가 됨을 확인하였다.

2. 이론

2-1. 윤곽검출의 원리

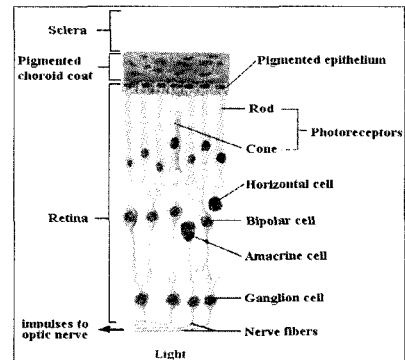


그림 1. 망막의 구조

Fig. 1. Retina structure.

시세포, 수평세포, 그리고 쌍극세포는 망막을 구성하는 요소로서 입력되는 영상신호의 윤곽검출에 관여한다. 시세포를 통해 입력된 영상신호는 전기신호로 변환된다. 수평세포는 시세포로부터 입력된 신호를 인접한 세포와 연계하여 공간적 평활화작용을 수행한다. 그

경북대학교 전자전기컴퓨터학부(School of Electrical Engineering and Computer Science, Kyungpook National University)

* 경일대학교 전자정보통신공학부(Dept of Electronic and Information Engineering, Kyungil University)
(접수일자 : 2003년 10월 22일)

리고 시세포와 수평세포의 신호 차가 쌍극세포를 통해서 출력된다. 그림 1은 생체 망막의 구조를 나타낸 것이다. 아마크린세포는 쌍극세포와 신경절세포간의 자극을 전달시켜주는 시냅스(synapse)역할을, 신경절세포는 쌍극세포의 아날로그신호출력을 디지털신호로 변환시켜주는 역할을 한다. 그림 2는 윤곽검출의 기본 원리를 나타낸 것이다.

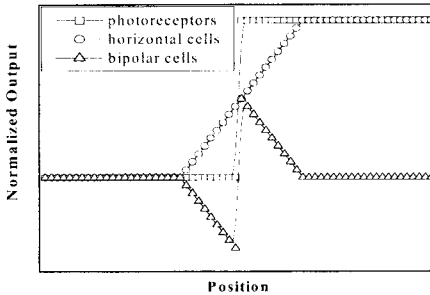


그림 2. 윤곽검출의 원리
Fig. 2. The mechanism of edge detection.

시세포의 출력(□), 수평세포의 출력(○), 그리고 두 가지 세포의 출력의 차를 쌍극세포에서 출력한다(△).

2-2. 광검출 회로

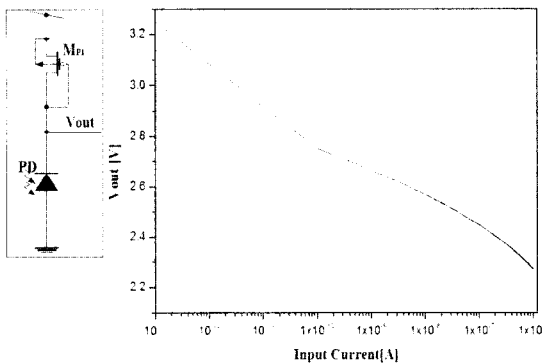


그림 3. logarithmic 회로 구조 및 입출력 특성
Fig. 3. The structure of logarithmic circuit and input-output characteristics.

생체 망막의 윤곽검출 메커니즘을 기초로 한 윤곽검출 시각칩의 제작에 있어 우선적으로 선행되어야 할 것이 시세포, 수평세포 및

쌍극세포에 대한 전자회로적인 모델링이다. 시세포의 역할로는 광신호를 전기적인 신호로 바꿀 수 있도록 광다이오드와 단일 pMOSFET로 구성된 logarithmic 회로 구조를 채택하였다. 광다이오드를 통해 흐르는 전류의 크기에 따라 노드 전압 Vout은 로그 스케일의 압축된 형태로 나타난다. 그림 3은 logarithmic circuit 구조와 입력 전류 변화에 따른 출력 전압의 변화를 나타낸 것이다. 광다이오드(PD)를 통해 흐를 수 있는 전류의 크기가 MOSFET의 subthreshold 영역을 벗어나기 어렵다는 가정하에 10¹³에서 10⁶까지 로그스케일로 증가시켰다. 로그스케일의 전류변화에 대해 거의 선형적으로 전압의 변화가 생김을 모의실험결과를 통해 알 수 있고, 약 140dB 정도의 넓은 dynamic range를 가짐을 알 수 있다.

2-3. 윤곽검출 회로의 제안

시세포를 통해 입력되는 신호를 인접한 세포들과 연계해서 공간적으로 평활화시키는 수평세포, 시세포와 수평세포의 신호의 차를 출력하는 쌍극세포의 전자회로적 모델을 그림 4에 나타내었다.

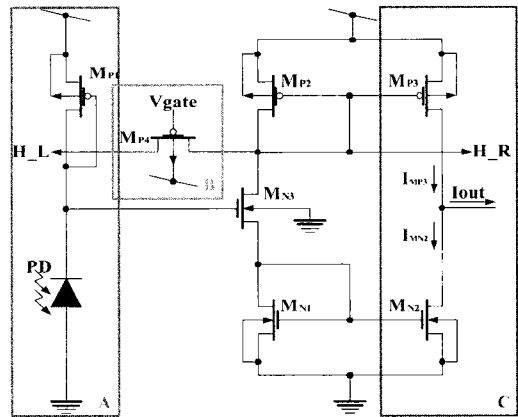


그림 4. 제안된 윤곽검출 회로
Fig. 4. Schematic of the edge detection circuit.

블록 A는 시세포 역할의 광검출 회로를 나타낸 것이고, 블록 B는 수평세포 역할의 pMOSFET이며, H_L과 H_R은 좌·우에 배치되는 윤곽검출 회로와 연결됨을 의미한다. 그리고 블록 C는 Mp4를 통해서 평활화된 전류(I_{MP3})와 광검출 회로를 통한 전류(I_{MN2})의 차이를 출력하는 쌍극세포의 역할을 한다.

3. 윤곽검출 회로의 동작 원리

제안된 회로의 동작원리 이해를 돕기 위해 윤곽검출 회로를 그림 5와 같이 1차원 배열하였다. 광입력은 계단함수 형태라 가정하고, 각 영역에서의 윤곽검출 회로의 동작 특성을 살펴보았다.

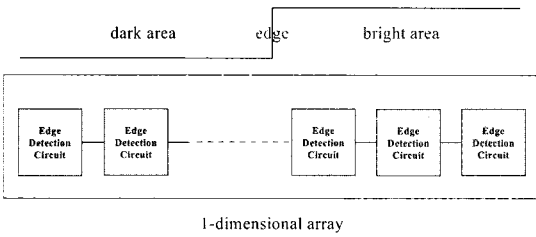


그림 5. 계단함수 형태의 광입력과 1차원 배열된 윤곽검출 회로의 블록도

Fig. 5. Block diagram of the step function input and 1-dimensional array.

3-1. M_{P4} 가 없는 윤곽검출 회로의 동작 원리

먼저, M_{P4} 의 역할이 무엇인지 살펴보겠다. 수평세포 역할의 MOSFET가 없는 회로의 경우 그 출력 특성이 어떠한가를 알아보기 위해 M_{P4} 를 제외시키고 기본적인 동작 원리를 알아보았다. 그림 6은 M_{P4} 를 제외시킨 윤곽검출 회로를 나타낸 것이다.

PD를 통해서 흐르는 전류 I_{PH} 는 작은 전류라서 MOSFET는 subthreshold 영역에서 동작하게 된다. 따라서 V_C 노드의 전압은 I_{PH} 에 대해서 로그함수형태의 관계를 갖게 된다.

$$I_{PH} = \frac{W}{L} I_{D0} \exp \frac{V_C}{U_T} \frac{1}{n} \quad (1)$$

여기서, W 와 L 은 MOSFET의 채널 폭과 길이, I_{D0} 는 공정에 의존적인 파라미터, n 은 subthreshold 기울기 요소이며, V_C 는 출력전압이다. 식 (1)의 V_C 노드는 MOSFET(M_{N3})의 게이트 단자에 연결되어 있어 M_{N3} 를 통해 흐르는 전류 I_{MN3} 의 크기를 결정하게 된다. V_C 의 전압에 따라 M_{N3} 는 MOSFET의 선형 및 포화영역에서 동작될 수 있다. 따라서, I_{MN3} 의 크기는 다음과 같이 표현될 수 있다.

$$I_{MN3} = \frac{W}{L} \mu C_{OX} [(V_C - V_T) V_{DS} - \frac{1}{2} V_{DS}^2] \quad (2-1)$$

$$I_{MN3} = \frac{W}{L} \mu C_{OX} [(V_C - V_T)^2] (1 + \lambda V_{DS}) \quad (2-2)$$

식 (2-1)은 선형영역일 때, (2-2)는 포화영역일 때의 MOSFET 전류식이다. I_{MN3} 의 크기에 따라 V_1 노드의 전압이 결정된다.

M_{P2} 와 M_{P3} 로 구성된 pMOSFET 전류 미러와 M_{N1} 과 M_{N2} 로 구성된 nMOSFET 전류 미러에 의해 I_{MN3} 는 각각 I_{MP3} 와 I_{MN2} 로 복사된다. 한 점을 기준으로 유입되는 전류의 합과 유출되는 전류의 합은 같다는 KCL로부터 I_{out} 을 표현하면,

$$I_{out} = I_{MP3} - I_{MN2} = I_{MP2} - I_{MN3} \quad (3)$$

이다. 이상적인 경우, I_{MP3} 와 I_{MN2} 는 그 크기가 같고 식 (3)에 의해 $I_{out} = 0$ 이 되겠지만 MOSFET의 부정합에 의한 영향으로 옅색 전류가 출력된다. I_{PH} 의 크기변화(밝거나 어두운 영역)에 따른 I_{out} 의 변화는 전류 미러로 구성된 M_{P3} 와 M_{N2} 를 통해 흐르는 전류 I_{MP3} 와 I_{MN2} 에 의해 결정되지만, M_{P4} 가 없는 경우 I_{PH} 의 변화에 관계없이 I_{out} 은 항상 일정한 옅색 전류를 갖게 된다. 따라서, M_{P4} 가 없는 윤곽검출 회로의 1차원 배열에 따른 출력결과는 계단함수 형태를 가지게 된다.

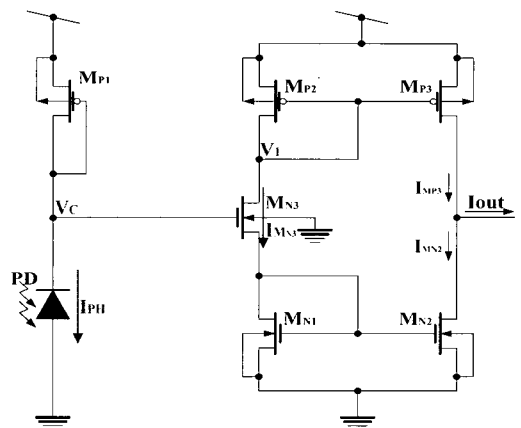


그림 6. M_{P4} 를 제외시킨 윤곽검출 회로

Fig. 6. A schematic of the edge detection circuit without a M_{P4} .

3-2. M_{P4} 가 내장된 윤곽검출 회로의 동작 특성

어두운(밝은) 영역(그림 5의 dark area

(그림 5의 bright area))에 위치한 윤곽검출 회로의 동작 특성은 M_{P4} 가 없는 윤곽검출 회로의 동작 특성과 유사하다. 그림 4에서, V_{gate} 에 적절한 전압을 인가(0V)한 상태에서 입력 광강도의 변화에 따른 I_{out} 의 변화를 살펴보자.

어두운(밝은) 영역에서는 I_{PH} 가 작고(크고), I_{PH} 의 크기에 따라 V_C 노드의 전압은 크게(작게) 결정되고, 이 노드의 전압에 의해 M_{N3} 를 통해서 흐르는 전류 I_{MN3} 는 크게(작게) 결정된다. I_{MN3} 의 크기에 따라 V_1 노드의 전압이 작게(크게)되고, 이로 인해 M_{P4} 의 소스와 드레인 이 결정된다. 그러나 좌·우에 배치되어 있는 다른 윤곽검출 회로의 V_1 노드 역시, 같은 크기의 I_{PH} 의 입력을 받으므로 동일한 전압을 갖게 된다. 따라서 M_{P4} 를 통해서 흐르는 전류는 V_{gate} 의 전압에 상관없이 거의 무시될 수 있고, 이는 결국 M_{P4} 가 없는 윤곽검출 회로의 동작 특성과 같다. I_{out} 은 식 (3)의 관계를 따르며, 읍셋 전류의 크기를 갖는다.

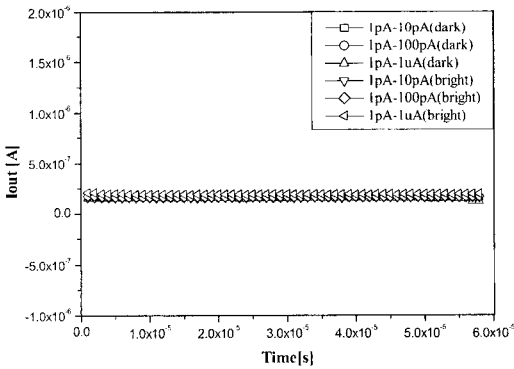


그림 7. M_{P4} 가 내장된 윤곽검출 회로의 어두운 (밝은) 영역에서의 동작 특성($V_{gate}=0V$)
Fig. 7. Operation characteristics of the edge detection circuit with a M_{P4} at dark (bright) area($V_{gate}=0V$).

그림 7은 V_{gate} 의 전압을 0V로 고정 후, 1 pA 배경광에 대한 입력 광강도의 변화가 10pA, 100pA, 그리고 1μA인 경우 어두운(밝은) 영역의 출력 특성에 대한 모의실험 결과를 나타낸 것이다. 모의실험 결과로부터 어두운(밝은) 영역에서의 윤곽검출 회로의 출력은 이미 예상한 바와 같이 거의 동일한 읍셋 전류의 크기를 가짐을 알 수 있다.

3-3. M_{P4} 가 내장된 윤곽검출 회로의 동작 특성II

그림 8은 윤곽부분에 위치한 두 개의 윤곽검출 회로를 나타낸 것이다. 왼쪽(dark)은 어두운 영역의 시작지점이고 오른쪽(bright)은 밝은 영역의 시작지점이다. V_{gate} 에는 적절한 전압(0V)이 인가된 상태이다.

I_{PHdark} 와 $I_{PHbright}$ 는 입력 광강도의 크기가 다름을 의미한다. I_{PHdark} 전류에 의한 V_{Cd} 노드의 전압은 $I_{PHbright}$ 전류에 의한 V_{Cb} 노드의 전압에 비해 상대적으로 높다. V_{Cd} 노드 전압에 의한 I_{MN3d} 의 전류는 V_{Cb} 에 의한 I_{MN3b} 의 전류에 비해 상대적으로 크다. 따라서 V_{1d} 노드의 전압은 V_{1b} 노드의 전압에 비해 작은 값을 갖는다. 이 때, V_{1d} 와 V_{1b} 노드에 연결되어 있는 M_{P4} 의 소스와 드레인은 V_{1d} 와 V_{1b} 의 전압 크기에 의해 결정된다.

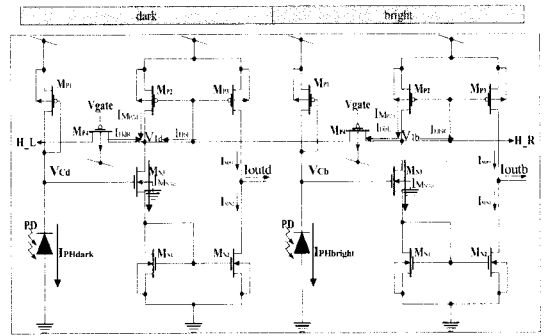


그림 8. 윤곽부분의 윤곽검출 회로
Fig. 8. Edge detection circuit at edge.

3-3-1. 밝은 영역의 시작점(bright)

V_{1b} 노드의 전압이 V_{1d} 노드의 전압보다 크므로 M_{P4} 의 소스는 V_{1b} 가 된다. V_{gate} 에는 0V의 전압이 인가된 상태이고, M_{P4} 의 소스에서 드레인으로의 전류흐름이 발생된다. M_{P4} 를 통해 흐르는 전류를 I_{HbL} 과 I_{HbR} 이라 가정하고, V_{1b} 노드를 기준으로 KCL을 적용하여 보면 다음과 같다.

$$I_{MN3b} + I_{HbL} + I_{HbR} - I_{MP2b} = 0 \quad (4)$$

전류 I_{MP2b} 는 M_{P2} 와 M_{P3} 의 전류 미러에 의해 I_{MP3} 로 복사되고, I_{MN3b} 는 V_{Cb} 노드 전압에 의해 일정하게 흐르며 M_{N1} 과 M_{N2} 로 구성된 전류 미러에 의해 I_{MN2} 로 복사된다. 출력 전류 I_{outb} 는 식 (3)과 식 (4)로부터 다음과 같이 표현할 수 있다.

$$\begin{aligned} I_{outb} &= I_{MP3} - I_{MN2} = I_{MP2b} - I_{MN3b} \\ &= I_{MN3b} + I_{HbL} + I_{HbR} - I_{MN3b} = I_{HbL} + I_{HbR} \end{aligned} \quad (5)$$

따라서 밝은 영역이 시작되는 지점에서의 I_{outb} 는 식 (5)와 같은 (+)의 전류를 갖게 된다.

3-3-2. 어두운 영역의 시작점(dark)

V_{1d} 노드의 전압이 V_{1b} 노드의 전압보다 작으므로 M_{P4} 의 드레인 전압이 V_{1d} 가 된다. V_{gate} 에는 0V의 전압이 인가된 상태이고, M_{P4} 의 소스로부터 드레인으로 전류의 유입이 발생된다. M_{P4} 를 통해 흐르는 전류를 I_{Hb} 라 가정하고, V_{1d} 노드를 기준으로 KCL을 적용하여 보면 다음과 같다.

$$I_{MN3d} - I_{HbL} - I_{HdR} - I_{MP2d} = 0 \quad (6)$$

전류 I_{MP2d} 는 M_{P2} 와 M_{P3} 의 전류 미러에 의해 I_{MP3} 로 복사되고, I_{MN3d} 는 V_{Cb} 노드 전압에 의해 일정하게 흐르며 M_{N1} 과 M_{N2} 로 구성된 전류 미러에 의해 I_{MN2} 로 복사된다. 출력 전류 I_{outd} 는 식 (3)과 식 (6)로부터 다음과 같이 표현할 수 있다.

$$\begin{aligned} I_{outd} &= I_{MP3} - I_{MN2} = I_{MP2d} - I_{MN3d} \\ &= I_{MN3d} - I_{HbL} - I_{HdR} + I_{MN3d} = -I_{HbL} - I_{HdR} \end{aligned} \quad (7)$$

따라서 어두운 영역이 시작되는 지점에서의 I_{outd} 는 (-)의 전류를 갖게 된다.

이상과 같이 밝은 영역이 시작되는 부분은 (+)의 전류, 어두운 영역이 시작되는 부분은 (-)의 전류가 출력된다. 따라서 윤곽에서만 뚜렷한 출력의 변화를 볼 수 있고, M_{P4} MOSFET가 입력되는 신호의 일부를 인접한 윤곽검출 회로로 전달함으로써 이러한 결과를 얻게 된다는 것을 알 수 있다.

4. 저전력 윤곽검출 회로의 제안

제안된 아날로그 윤곽검출 회로를 이용하여 고해상도의 시작점을 설계하고자 할 때, 고려하지 않으면 안되는 것이 소비전력이다.

그림 4에서, logarithmic 회로의 V_{out} 단자와 M_{N3} 의 게이트 단자의 연결은 항상 I_{MN3} 의 전류를 흘리게 한다. I_{MN3} 는 결국 전류 미러

로 구성된 M_{P3} 와 M_{N2} 에도 전류를 흘리게 한다. 따라서 전원인가와 동시에 윤곽검출 회로는 전류를 계속해서 흘리게 된다. 저해상도 (32×32 이하)의 경우 그렇게 큰 문제가 되지 않으나 고해상도 (128×128 이상)를 구현하고자 할 경우, 수 W의 전력이 소비될 것으로 예상된다. 따라서 소비전력의 최소화가 필요하다.

4-1. 전자스위치

그림 9는 소비전력의 최소화를 위한 전자스위치 회로를 나타낸 것이다. M_{N3} gate는 그림 4의 M_{N3} 게이트 단자에, V_C 는 logarithmic 회로의 V_C 노드에 연결되는 것을 의미한다.

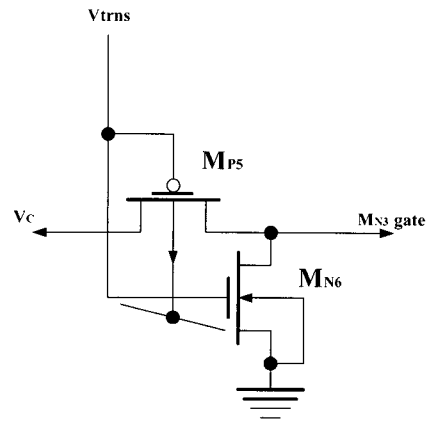


그림 9. 전자스위치

Fig. 9. Electronic switch.

V_{trns} 의 신호가 높은 경우(2.5V), M_{P5} 는 OFF가 되고 M_{N6} 는 ON이 되어 M_{N3} 의 게이트 단자가 그라운드와 연결된다. 반면에 V_{trns} 의 신호가 낮은 경우(0V) M_{P5} 는 ON이 되고 M_{N6} 는 OFF가 되어 V_C 노드와 M_{N3} 의 게이트 단자를 연결시켜 준다. 전원이 인가되더라도 V_{trns} 의 신호가 2.5V를 유지하는 동안은 M_{N3} 를 통한 전류의 흐름을 막을 수 있고, 이로 인해 M_{P3} 와 M_{N2} 를 통해 흐르는 전류 역시 제한시킬 수 있다. V_{trns} 의 신호가 2.5V인 경우, 모의실험을 통해서 약 10^{-17} 의 전류가 M_{N3} , M_{P3} , 그리고 M_{N2} 에 흐르는 것을 확인할 수 있었다. V_{trns} 신호를 제어해서 선택적으로 전류를 흘려보낼 수 있도록 하여 소비전력의 최소화를 이룰 수 있음을 알 수 있다.

4-2. 제한된 면적에 고해상도 구현을 위한 회로 배치 방법의 제안

CMOS 공정라인에서 제공되는 칩의 크기가 수 십 μm^2 정도라는 제한이 고해상도 윤곽

검출 시각칩의 구현에 있어 어려움을 증가시킨다. 따라서 이를 극복할 수 있는 회로배치 방법을 채택하였다.

제안된 윤곽검출 회로의 광검출 회로와 윤곽검출 회로를 그림 10과 같이 분리하여, 광검출 회로는 128×128의 해상도를, 윤곽검출 회로는 1×128의 해상도를 갖도록 배치하였다. 1차원 배열된 윤곽검출 구동회로를 2차원 배열된 광검출 회로가 공유하여, 제한된 면적에 더 많은 해상도를 가질 수 있도록 하였다. 2차원 배열된 광검출 회로 1개의 행이 선택되었을 때, 나머지 127행의 배열은 전자스위치의 OFF 상태로 말미암아 윤곽검출 회로와의 직접적인 연결 및 영향 없이 마치 하나의 광검출 및 윤곽검출 회로로 구성되어 동작하는 것처럼 된다.

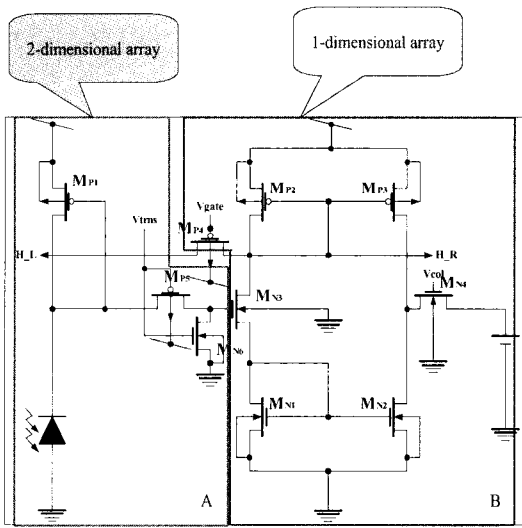


그림 10. 광검출 회로와 윤곽검출 회로의 분리
Fig. 10. Separation of photodetector and edge detection circuit.

5. 모의실험 및 칩 설계

제안된 윤곽검출 회로를 1차원 128개 배열하여 배경광과 입력 광의 차이에 대한 모의실험을 수행하였다. 배경광은 1pA로 가정하고, 입력 광강도는 10pA, 100pA, 그리고 1μA까지 변화시켰다. 그림 11은 1×128로 배열된 윤곽검출 회로의 모의실험 결과이다. 일정한 밝기(어둡거나 밝은 영역)에서는 출력의 변화가 거의 없고, 윤곽부분에서만 뚜렷한 출력의 변

화를 가짐을 알 수 있다.

x축이 시간인 이유는 7by128 디코더를 설계하고 이를 윤곽검출 회로의 출력을 선택하기 위한 MN4의 게이트에 연결시켜 시간에 따른 출력 특성을 조사하였기 때문이다. 각각의 단위회로의 출력선택을 위해 할당되는 클럭의 주기는 2μs이며, 0~260μs까지 관찰하였다. 최종적으로 윤곽검출 회로의 출력단자에는 전류-전압 변환기와 전류증폭을 위한 버퍼를 배치하였다.

또한, 모의실험 수행시 MN3, MP3, 그리고 MN2의 전자스위치 동작에 따른 특성을 조사하였다. Vtrns가 2.5V 일 때, 윤곽검출 회로를 구성하는 각 MOSFET를 통해 10⁻¹⁷ 정도의 전류가 흐른다는 것을 확인하였고, Vtrns가 0V 일 때 전자스วิต치를 통해서 VC 노드의 전압이 잘 전달됨을 확인하였다. 모의실험 결과, 1×128 윤곽검출 회로는 윤곽검출을 위한 구동시 필요한 전력이 약 20mW정도로 나타났다.

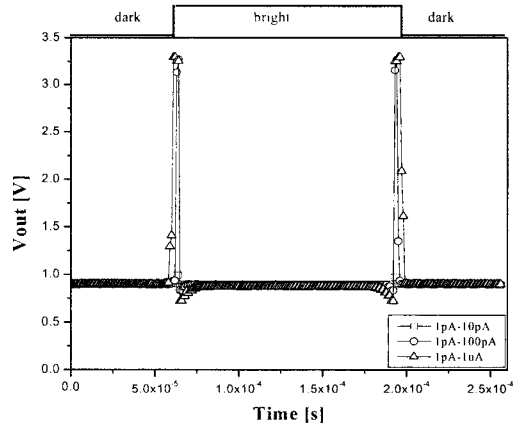


그림 11. 모의실험 결과
Fig. 11. Simulation results.

그림 12는 전자스위치 제어를 위한 타이밍과 윤곽검출 회로로부터 출력을 얻기 위한 클럭 타이밍도이다. 260μs의 클럭 주기에서 마지막 4μs는 윤곽검출 회로로부터 어떠한 출력도 얻지 않고, 다음의 상태로 넘어가기 전의 준비상태이다.

모의실험 결과로부터, 제안된 윤곽검출 회로는 10pA에서 1μA까지 넓은 영역의 광강도 변화에도 뚜렷한 윤곽을 검출할 수 있다는 것을 알 수 있다. 제안된 윤곽검출 회로의 입력 dynamic range는 약 120dB이다.

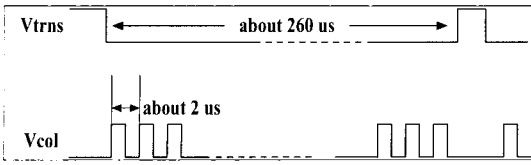


그림 12. 전자스위치 제어용 타이밍도
 Fig. 12. Timing diagram for controlling an electronic switch.

그림 13은 칩 레이아웃의 블록도이다. 칩의 중심(core)부분은 128×128해상도의 광검출 회로로 구성되어있고, 1×128해상도의 윤곽검출 구동회로와 연결되어 있다. 칩의 주변부는 윤곽검출 구동회로의 출력을 선택하기 위한 7by128 열 선택 디코더와 전자스위치 제어를 위한 7by128 행 선택 디코더가 탑재되어있다. 아울러 전류출력을 전압으로 변환하고, 신호를 증폭하기위한 버퍼가 출력단에 배치되어 있다.

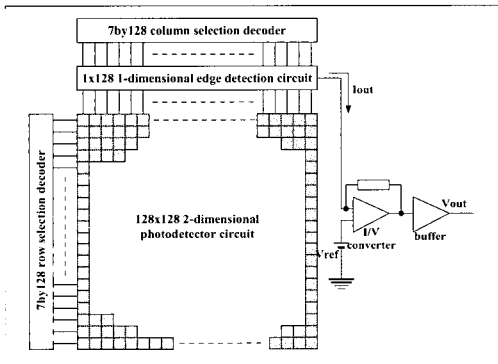


그림 13. 윤곽검출 시각칩의 블록도
 Fig. 13. Block diagram of the edge detection chip.

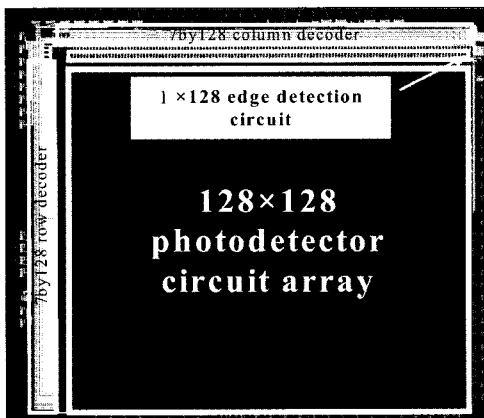


그림 14. 전체 칩 레이아웃
 Fig. 14. Whole chip layout.

그림 14는 실제 설계된 칩의 레이아웃을 나타낸 것이다. 0.25 μ m 5-metal 1-poly 표준 CMOS 공정을 이용하여 설계하였다. 단위픽셀을 이루는 광검출 회로의 크기는 26 μ m×26 μ m이고, 전체 칩 크기는 4mm×4mm이다.

6. 결론

생체 망막의 윤곽검출 메커니즘을 기초로 한 아날로그 CMOS 윤곽검출 회로를 제안하였다. 제안된 회로의 동작 특성을 이해하고, 이를 이용하여 128×128해상도의 윤곽검출 시각칩을 설계하였다.

해상도의 증가에 따른 아날로그 윤곽검출 회로의 소비전력 문제점을 전자스위치를 적용하여 전력소비를 최소화 하고자 하였다. 모의 실험 결과로부터 제안된 윤곽검출 회로의 소비전력은 약 20mW로 저전력을 소비한다는 것을 확인할 수 있었다. 또한, 제안된 칩 면적에 해상도를 증가시킬 수 있는 회로 배치 방법을 채택하였다. 광검출 회로와 윤곽검출 회로를 분리하고, 128×128해상도의 광검출 회로가 1×128해상도의 윤곽검출 구동회로를 공유하는 방식을 채택하여 향상된 해상도를 갖는 칩을 설계하였다. 1차원 배열된 윤곽검출 회로는 수평방향으로만 윤곽검출을 수행하나 단위 픽셀간의 거리가 26 μ m이고, 입력의 변화를 검출하는 광검출 회로가 128×128의 해상도라는 점을 이용하여 2차원적인 윤곽검출 효과를 기대할 수 있으리라 생각된다. 또한, 제안된 윤곽검출 시각칩을 이용하여 타겟 추적 시스템, 지문인식, 방향검출, 로봇비전 등의 응용시스템개발에도 이용될 수 있으리라 기대된다.

* 본 연구는 KISTEP의 뇌신경정보학연구 사업에서 지원을 받아 수행되었습니다.

참고 문헌

- [1] C. A. Mead, *Analog VLSI and Neural Systems*, Addison-Wesley, 1989.
- [2] 박대식, 박종호, 김경문, 이수경, 김현수, 김정환, 이민호, 신장규, "국소 광적응 기능을 가지는 윤곽검출용 32×32 방사형 CMOS 시각칩의 설계," *센서학회지*, Vol. 11, No. 2, pp. 84-92, 2002.

- [3] 박종호, 김정환, 이민호, 신장규, "MOSFET 부정합에 의한 출력오프셋 제거기능을 가진 윤곽검출용 시각칩의 설계," *센서학회지*, Vol. 11, No. 5, pp. 255-262, 2003.
- [4] 김정환, 박대식, 박종호, 김경문, 공재성, 신장규, 이민호, "윤곽검출용 CMOS 시각칩의 수평역제 기능 해석 및 국소 광적응 메커니즘에 대한 검증," *센서학회지*, Vol. 12, No. 2, pp.57-65, 2003.
- [5] Tetsuya Yagi and Seiji Kameda, "A Parallel Analog Intelligent Vision Sensor with a Variable Receptive Field," *Systems and Computers in Japan*, Vol. 30, No. 1, pp. 60-69, 1999.
- [6] Fabrice Paillet, Damien Mercier and Thierry M. Bernard, "Second Generation Programmable Artificial Retina," *IEEE Int'l Conference and Exhibition*, pp. 304-309, 1999.
- [7] Andrea Simoni, Alvise Sartori, Massimo Gottardi and Alessandro Zorat, "A digitan vision sensor," *Sensors and Actuators, A* 46-47, pp. 439-443, 1995.

————— 著 者 紹 介 —————

김 정 환

『센서학회지 제9권 제1호』 P.88 사진 참고
 1970년 11월 18일생
 1997년 경일대학교 공과대학 전자공학과 졸업 (공학사)
 1999년 경북대학교 대학원 전자공학과 졸업(공학석사)
 현 경북대학교 대학원 전자공학과 박사과정
 주관심 분야: CMOS retina chip, analog circuit design



서 성 호

1977년 8월 23일생
 2003년 경북대학교 전자전기공학부 졸업(공학사)
 현 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: CMOS retina chip, CMOS vision chip, vision system design

박 종 호

1975년 11월 9일생
 2001년 금오공과대학 전자공학과 졸업(공학사)
 현 경북대학교 대학원 전자공학과 석사과정
 주관심 분야: CMOS retina chip, analog circuit design, process variation cancellation

이 민 호

『센서학회지 제9권 제1호』 논문 99-8-1-07 p.52 참조 - 문구 삽입
 1965년 12월 19일생
 1988년 경북대학교 공과대학 전자공학과 졸업 (공학사)
 1995년 한국과학기술원 전기 및 전자공학과 졸업(공학석사, 박사)
 1995년 9월~1998년 2월 한국해양대학교 전기공학과(전임강사, 조교수)
 1998년 3월~ 현 경북대학교 전자전기공학부/센서기술연구소(전임강사, 조교수)
 주관심 분야: 신경망, 지능정보처리시스템

신 장 규

『센서학회지 제9권 제4호』 P.296 사진 참고
 1978년 서울대학교 전자공학과 졸업(공학사)
 1980년 한국과학기술원 전기 및 전자공학과 졸업
 (공학석사)
 1991년 미국 콜로라도 주립대학교 전기공학과
 졸업(공학박사)
 1995년~1997년 일본 토요하시 기술과학대학
 교환교수
 현 경북대학교 전자전기공학부 교수
 주관심분야: 반도체센서, Nano image sensor,
 시각칩

남 기 홍

『센서학회지 제4권 제2호』 논문 95-4-2-02
 p.7 참조
 1975년 경북대학교 공과대학 전자공학과 졸업
 (공학사)
 1982년 경북대학교 대학원 전자공학과 졸업(공
 학석사)
 1988년 경북대학교 대학원 전자공학과 졸업(공
 학박사)
 현 경일대학교 전자정보통신공학부 교수
 주관심 분야: 센서공학, 박막공학