

연산지연시간과 파라미터 변동에 강인한 UPS 인버터의 내부모델제어

論 文
51P-4-3

Internal Model Control of UPS Inverter with Robustness of Calculation Time Delay and Parameter Variation

朴志浩* · 桂仲邑** · 金炯完*** · 安永珠[§] · 朴澣錫^{§§} · 禹靖仁^{§§§}

(Jee-Ho Park · Joong-Eup Keh · Dong-Wan Kim · Young-Joo An · Han-Seok Park · Jung-In Woo)

Abstract - In this paper, a new fully digital current control method of UPS inverter, which is based on an internal model control, is proposed. In the proposed control system, overshoots and oscillations due to the computation time-delay are compensated by explicit incorporation of the time-delay in the current control loop transfer function. The internal model controller is adopted to a second order deadbeat reference-to-output response which means that its response reaches the reference in two sampling time including computational time-delays. That is, the average current of filter capacitor is been exactly equal to the reference current with a time lag of two sampling intervals. Therefore, this method has an essentially overshoot free reference-to-output response with a minimum possible rise time. The effectiveness of the proposed control system has been verified by the simulation and experimental respectively. From the simulation and experimental results, the proposed system is achieved the robust characteristics to the calculation time delay and parameter variation as well as very fast dynamic performance, thus it can be effectively applied to the power supply for the critical load.

Key Words : UPS inverter, Internal model controller, Second order deadbeat response, Load current prediction

1. 서 론

UPS(Uninterruptible Power Supply)는 일반적으로 컴퓨터나 FA 시스템, 각종 전자장비 및 통신시스템과 같은 전원환경에 민감한 부하에 높은 신뢰성과 안정적인 전원을 공급하기 위하여 사용한다. 즉, 전원 측에서 발생하는 전압강하나 전압상승 및 정전 등의 전원장애에 대한 최적의 대책으로 사용되며, 그 수요가 현저하게 증대하고 있는 추세이다. 전원의 품질에 민감한 부하에 양질의 전력공급을 위한 UPS 인버터의 출력전압은 크기와 주파수가 일정하고, 파형이 왜형 없는 정현파가 요구된다. UPS 인버터의 출력전압 파형을 개선하기 위하여 현재 대부분의 제어시스템은 전압 제어루프 안에 전류 제어루프가 삽입된 2중 제어기법을 주로 사용하고 있다 [1]. 이 제어기법에서 전류 제어루프는 전체 제어시스템의 과도 성능을 결정하는 중요한 요소이다 [2-4]. 그러나, 인버터는 시변·비선형 요소들로 구성되어 있고, 미지의 파라미터들과 부하의 변동 등에 의해서 특성에 많은 영향을 받는다. 특히,

UPS의 부하는 대부분 비선형 부하이고, 이에 기인하여 출력전압 파형은 왜형이 발생하여 정현파를 유지하지 못하고, 과도상태에서의 제어응답이 늦어지게 된다 [5]. 또한, 디지털 제어시스템은 아날로그 시스템보다 경년 변화가 적고, 적응성 및 신뢰성이 높기 때문에 최근 UPS 인버터의 제어시스템으로 많이 사용되고 있다 [6-7]. 디지털 제어시스템의 성능을 결정하는 가장 중요한 요소는 디지털 제어기의 연산지연시간으로 최악의 경우 최대 1 샘플링 시간이다. 정밀한 디지털 제어기의 설계를 위해서는 연산지연시간의 보상이 필수적이다 [8-9].

본 논문에서는 연산지연시간과 파라미터 변동에 강인한 UPS 인버터의 새로운 전류 제어기를 제안한다. 먼저 출력측 LC 필터의 커패시터 전압과 전류의 2중 제어루프에서 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링함으로써 연산지연시간을 위한 추가적인 보상이 필요 없게 한다. 또한, UPS 인버터 출력전압의 과도상태 응답특성을 개선하고, 파라미터 변동에 강인한 특성을 얻기 위하여 2중 제어루프에서 내부 전류 제어루프는 내부 모델 제어기를 제안한다. 디지털 제어기의 연산지연시간을 포함한 내부 전류 제어루프에서 제안한 내부 모델 제어기는 플랜트 출력이 2 샘플링 시간 안에 지령치와 정확히 일치하는 2차 데드비트 응답을 갖도록 설계한다. 따라서, 내부 전류 제어루프는 매우 빠른 과도 응답특성을 가지며, 파라미터 변동에 강인한 특성을 나타낸다. 즉, UPS 인버터의 출력측 필터 커패시터 전류는 2 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 지령치와 정확히 일치하도록 제어된다. 본 논문에서는 부하 변동과 같은 외란에

* 正 會 員 : 東明大學 機械自動化系列 專任講師 · 工博

** 正 會 員 : 國防品質管理所 先任研究員 · 工博

*** 正 會 員 : 東明大學 電氣電子系列 助教授 · 工博

§ 正 會 員 : 釜慶大 電氣制御計測工學部 助教授 · 工博

§§ 正 會 員 : 釜慶大 電氣制御計測工學部 教授 · 工博

§§§ 正 會 員 : 東亞大 電氣電子컴퓨터工學部 教授 · 工博

接受日字 : 2002年 10月 30日

最終完了 : 2002年 12月 4日

대한 민감성을 제거하기 위해서 부하전류 예측기법을 내부 전류 제어루프에 부가하고, 외란을 2 샘플링 시간 안에 피드포워드 보상한다. 따라서, 2차 데드비트 응답을 가지는 내부 모델 제어기는 외란에 강인한 특성을 확보할 수 있다. 본 논문에서 제안한 시스템의 타당성을 검토하기 위하여 PSIM을 이용한 시뮬레이션 및 DSP(TMS320C32)를 이용하여 1[kVA]의 UPS 인버터를 제작하고 실험을 수행한 결과, 제안한 시스템은 디지털 제어기의 연산지연시간과 파라미터 변동 및 외란에 강인하며, 매우 빠른 과도 응답 특성을 나타냄을 확인하였다.

2. 단상 UPS 인버터의 모델링

출력측 LC 필터를 포함한 UPS용 단상 인버터 시스템은 그림 1과 같으며, 그림 1로부터 다음과 같은 상태방정식을 얻을 수 있다.

$$L_f \frac{di_i}{dt} + R_f i_i = v_i - v_c = v_L \quad (1)$$

$$C_f \frac{dv_c}{dt} = i_i - i_L \quad (2)$$

$$i_i = i_c + i_L \quad (3)$$

$$v_c = Z_L i_L \quad (4)$$

여기서, L_f , R_f 및 C_f 는 인버터 출력측 LC 필터의 인덕턴스와 인덕터 등가 직렬저항 및 커패시턴스를 각각 나타낸다. 또한, v_i 와 i_i 는 각각 인버터 출력 전압과 전류, v_c 와 i_c 는 각각 인버터 출력측 LC 필터의 커패시터 전압과 전류를 나타낸다. 그리고 v_L 은 출력측 LC 필터의 인덕터의 전압강하, i_L 은 외란으로 작용하는 부하전류를 각각 나타낸다. Z_L 은 부하의 종류에 따라서 램프나 히터의 경우에는 순수 저항 부하, 모터의 경우에는 R-L 부하, 그리고 커패시터 입력형 정류기와 같은 비선형 부하로 미지의 파라미터이다.

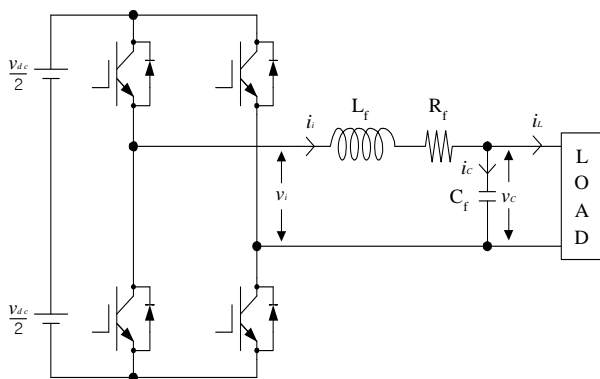


그림 1 UPS용 단상 인버터 시스템
Fig. 1 Circuit configuration of single-phase UPS inverter

모든 상태변수의 초기치를 0이라고 가정하고 식 (1)부터

식 (4)를 라플라스 변환하면 식 (5)에서 식 (8)과 같다.

$$(L_f s + R_f) I_i(s) = V_i(s) - V_c(s) = V_L(s) \quad (5)$$

$$C_f s V_c(s) = I_i(s) - I_L(s) \quad (6)$$

$$I_i(s) = I_c(s) + I_L(s) \quad (7)$$

$$V_c(s) = Z_L(s) I_L(s) \quad (8)$$

이 식들로부터 그림 1의 인버터 시스템의 플랜트 블록선도는 그림 2와 같이 된다.

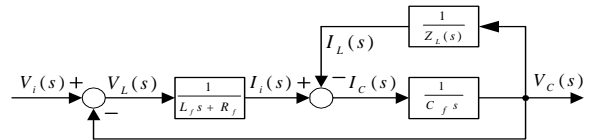


그림 2 인버터 시스템의 플랜트 블록선도

Fig. 2 Block diagram of inverter plant

3. 내부모델제어

3.1 내부모델 전류제어

그림 2로부터 인버터 출력전류는 식 (9)와 같다.

$$I_i(s) = G_{pc}(s) [V_i(s) - V_c(s)] \quad (9)$$

여기서, 플랜트 전달함수는 $G_{pc}(s) = \frac{1}{L_f s + R_f}$ 이다.

식 (9)의 플랜트 전달함수 $G_{pc}(s)$ 를 ZOH(Zero Order Hold) 등가모델로 변환하면 식 (10)과 같이 된다.

$$G_{pc}(z) = \frac{b}{z - a} \quad (10)$$

여기서, $a = e^{-R_f T_{sc} / L_f}$, $b = \frac{1}{R_f}(1 - a)$, 그리고 T_{sc} 는 내부 전류 제어루프의 샘플링 주기이다.

식 (10)에서 본 논문의 시뮬레이션과 실험에서 사용된 필터 인덕턴스 L_f 를 1.2[mH], 인덕터 등가 직렬저항 R_f 를 0.7[Ω], 그리고 내부 전류 제어루프의 샘플링 주기 T_{sc} 를 50[μs]로 가정할 때 인버터 출력전류의 스텝응답과 보드선도는 각각 그림 3 및 그림 4와 같다. 그림 3과 그림 4로부터 인버터 출력전류는 제어응답이 느리며, 매우 큰 오버슈트와 위상지연이 존재함을 알 수 있다.

디지털 제어시스템의 성능을 결정하는 가장 중요한 요소는 디지털 제어기의 연산지연시간으로 최악의 경우 최대 1 샘플링 시간이다. 정밀한 디지털 제어기의 설계를 위해서는 이러한 연산지연시간의 보상이 필수적이다. 따라서, 본 논문에서는 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링한다.

따라서, 디지털 제어기의 연산지연시간을 플랜트의 고유한 파라미터로 가정하여 z^{-1} 로 플랜트 모델에 포함시키고, 내부 모델 전류제어기를 채택한 UPS 인버터의 내부 전류 제어루프의 블록선도는 그림 5와 같이 된다.

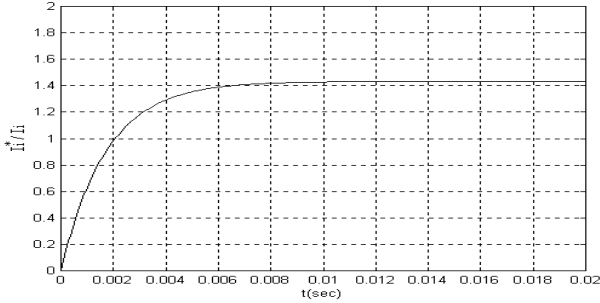


그림 3 인버터 출력전류의 스텝응답
Fig. 3 Step response of inverter output current

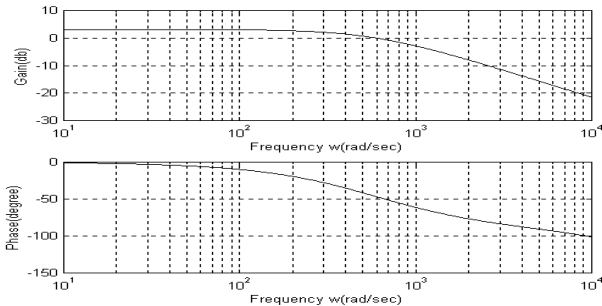


그림 4 인버터 출력전류의 보드선도
Fig. 4 Bode plots of inverter output current

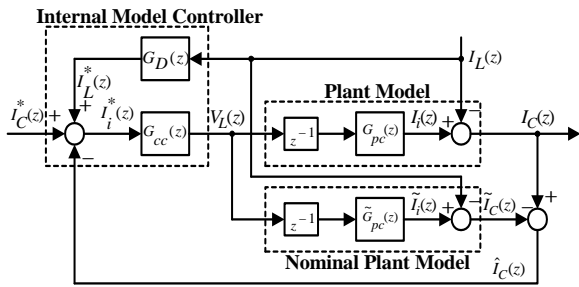


그림 5 내부 전류 제어루프의 블록선도
Fig. 5 Block diagram of inner current control loop

식 (9)로부터 공칭 플랜트 모델의 전달함수 $\widetilde{G}_{pc}(s)$ 는 식 (11)과 같다.

$$\widetilde{G}_{pc}(s) = \frac{1}{L_f s + \widetilde{R}_f} \quad (11)$$

여기서, “~”는 파라미터의 공칭값을 나타낸다. 식 (10)과 동일한 방법으로 식 (11)의 공칭 플랜트 모델의 전달함수를 ZOH(Zero Order Hold) 등가모델로 변환하면 식 (12)와 같이 된다.

$$\widetilde{G}_{pc}(z) = \frac{\widetilde{b}}{z - \widetilde{a}} \quad (12)$$

여기서, $\widetilde{a} = e^{-\widetilde{R}_f T_{sc} / L_f}$, $\widetilde{b} = \frac{1}{\widetilde{R}_f} (1 - \widetilde{a})$ 이다.

그림 5의 내부 전류 제어루프는 내부 모델 제어기와 모델링 오차 피드백 루프로 구성되어 있다. 여기서, 외란이 존재하지 않는다면 ($I_L(z) = 0$), 필터 커패시터 전류 $I_C(z)$ 는 인버터 출력전류 $I_i(z)$ 와 동일하게 된다. 또한, 실제 플랜트 출력 $I_C(z)$ 와 공칭 플랜트 모델의 출력 $\widehat{T}_C(z)$ 의 오차는 피드백 신호 $\widehat{T}_C(z)$ 를 결정한다. 그리고, 피드백 신호 $\widehat{T}_C(z)$ 와 전류 지령치 $I_C^*(z)$ 의 오차는 내부 모델 제어기로 입력된다. 만약, 실제 플랜트와 플랜트의 공칭 모델이 정확히 일치한다면, 실제 플랜트 출력 $I_C(z)$ 와 공칭 플랜트 모델의 출력 $\widehat{T}_C(z)$ 는 같다. 즉, 피드백 신호 $\widehat{T}_C(z)$ 은 0 이 된다. 따라서, 내부 전류 제어루프는 개루프 시스템으로 동작하고 파라미터 불확실성은 존재하지 않게 된다.

그림 5로부터 연산지연시간을 포함한 내부 전류 제어루프의 페루프 전달함수는 식 (13)과 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = \frac{G_{cc}(z)z^{-1}\widetilde{G}_{pc}(z)}{1 + G_{cc}(z)z^{-1}[G_{pc}(z) - \widetilde{G}_{pc}(z)]} \quad (13)$$

실제 플랜트와 플랜트의 공칭 모델이 정확히 일치한다고 가정하여 $G_{pc}(z) = \widetilde{G}_{pc}(z)$ 이면, 0의 정상상태 오차를 얻기 위해서 식 (13)은 식 (14)와 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = G_{cc}(z)z^{-1}\widetilde{G}_{pc}(z) = 1 \quad (14)$$

식 (14)를 만족하기 위한 내부 모델 제어기 $G_{cc}(z)$ 의 조건은 식 (15)와 같다.

$$G_{cc}(z) = \frac{1}{z^{-1}\widetilde{G}_{pc}(z)} = \frac{z(z - \widetilde{a})}{\widetilde{b}} \quad (15)$$

그러나, 식 (15)의 내부 모델 제어기 $G_{cc}(z)$ 는 분자의 차수가 분모의 차수보다 크기 때문에 구현하기가 불가능하다. 즉, 식 (15)의 내부 모델 제어기는 연산지연시간 때문에 0의 정상상태 오차를 얻을 수 없다. 따라서, 내부 모델 제어기 $G_{cc}(z)$ 는 식 (16)과 같이 플랜트 출력이 2 샘플링 시간 안에 지령치와 정확히 일치하는 2차 테드비트 응답을 갖도록 설계한다.

$$G_{cc}(z) = \frac{1}{z^2} \frac{1}{z^{-1}\widetilde{G}_{pc}(z)} = \frac{z(z - \widetilde{a})}{\widetilde{b}z} \quad (16)$$

식 (16)의 조건 하에서 연산지연시간을 포함한 식 (13)의 페루프 전달함수는 식 (17)과 같이 된다.

$$\left[\frac{I_C(z)}{I_C^*(z)} \right]_{I_L(z)=0} = \frac{1}{z^2} \quad (17)$$

식 (17)로부터 UPS 인버터의 출력측 필터 커패시터 전류 $I_C(z)$ 는 2 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 지령치 $I_C^*(z)$ 와 정확히 일치하도록 제어된다. 또한, 디지털 제어기의 연산지연시간을 플랜트 모델에 포함시켰으므로 연산지연시간을 위한 추가적인 보상은 필요 없게 된다.

식 (17)의 폐루프 전달함수의 주파수 응답은 식 (18)과 같이 1의 이득과 $2\omega T_{sc}$ 의 위상 지연을 가진다.

$$\left[\frac{I_C(e^{j\omega T_{sc}})}{I_C^*(e^{j\omega T_{sc}})} \right]_{I_L(e^{j\omega T_{sc}})=0} = e^{-2j\omega T_{sc}} \quad (18)$$

식 (18)에서 2 샘플링 지연과 관련 있는 위상 지연은 지령치와 실제 전류 사이에 위상 오차를 발생시키게 된다. 이러한 문제점을 해결하기 위해서는 외부 전압 제어루프에 크기는 같고 반대 위상 전이를 부가하여야 한다.

내부 전류 제어루프의 샘플링 시간을 $50[\mu s]$ 로 가정할 때 제안한 2차 테드비트 응답을 갖는 내부 전류 제어루프의 스텝응답과 보드선도는 각각 그림 6 및 7과 같다.

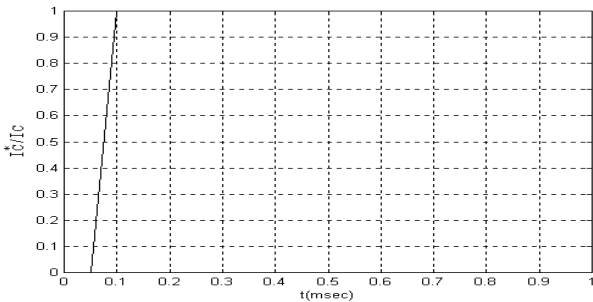


그림 6 내부 전류 제어루프의 스텝응답
Fig. 6 Step response of inner current control loop

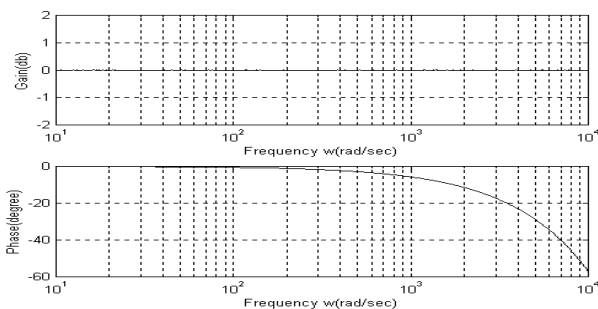
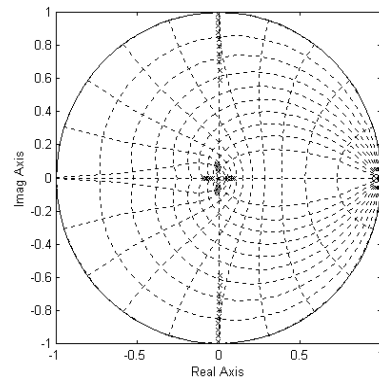


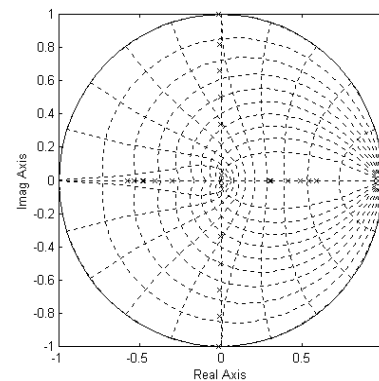
그림 7 내부 전류 제어루프의 보드선도
Fig. 7 Bode plots of inner current control loop

그림 6 및 7로부터 제안한 2차 테드비트 응답을 갖는 내부 모델 전류제어기의 출력은 오버슈트 없이 2 샘플링 시간 안에 정확히 지령치와 일치하는 것을 알 수 있다.

그림 8은 파라미터가 변동하였을 때 식 (13)의 내부 전류 제어루프의 폐루프 전달함수의 근궤적을 나타낸다. 그림 8(a)는 필터 인덕터 등가 직렬저항이 $\pm 50[\%]$ 변동하였을 경우이며, (b)는 필터 인덕터가 $\pm 50[\%]$ 변동하였을 경우이다. 파라미터가 변동하지 않은 경우 내부 전류 제어루프의 두 개의 극점은 원점에 위치하고, 나머지 하나의 극점은 0.9713에 위치하여 영점과 상쇄된다. 즉, 식 (13)의 내부 전류 제어루프는 2차 테드비트 응답을 가지는 식 (17)과 같이 된다. 그림 8(a)에서 필터 인덕터 등가 직렬저항이 감소할 경우 내부 전류 제어루프는 다소 진동하게 되며, 필터 인덕터 등가 직렬저항이 증가할 경우 내부 전류 제어루프는 응답이 늦어지는 것을 알 수 있다. 반대로, 그림 8(b)에서 필터 인덕터가 감소할 경우 내부 전류 제어루프는 진동하게 되며, 필터 인덕터가 증가할 경우 내부 전류 제어루프는 응답이 늦어지는 것을 알 수 있다. 필터 인덕터의 감소가 $-50[\%]$ 을 넘어서게 되면 내부 전류 제어루프는 불안정해진다.



(a) R_f 가 $\pm 50\%$ 변동하였을 경우
(a) When R_f vary with $\pm 50\%$



(b) L_f 가 $\pm 50\%$ 변동하였을 경우
(b) When L_f vary with $\pm 50\%$

그림 8 파라미터 변동에 대한 내부 전류 제어루프의 근궤적
Fig. 8 Root loci of inner current control loop with respect to parameter variation

그림 9는 파라미터가 변동하였을 때 식 (13)의 내부 전류 제어루프의 페루프 전달함수의 최대 극점을 나타낸다. 그림 9에서 필터 인덕터 등가 직렬저항이 감소할 경우 내부 전류 제어루프의 최대 극점은 감소하며, 필터 인덕터 등가 직렬저항이 증가할 경우 내부 전류 제어루프의 최대 극점은 증가하는 것을 알 수 있다. 반대로, 필터 인덕터가 감소할 경우 내부 전류 제어루프의 최대 극점은 증가하며, 필터 인덕터가 증가할 경우 내부 전류 제어루프의 최대 극점은 감소하는 것을 알 수 있다. 그러나, 파라미터가 변동하였을 경우, 필터 인덕터 등가 직렬저항과 필터 인덕터의 변동에 상관없이 제안한 내부 전류 제어루프의 극점들은 z평면의 단위원 안에 위치하므로 안정한 것을 알 수 있다. 즉, 제안한 2차 데드비트 응답을 갖는 내부 모델 전류제어기는 파라미터 변동에 강인함을 알 수 있다.

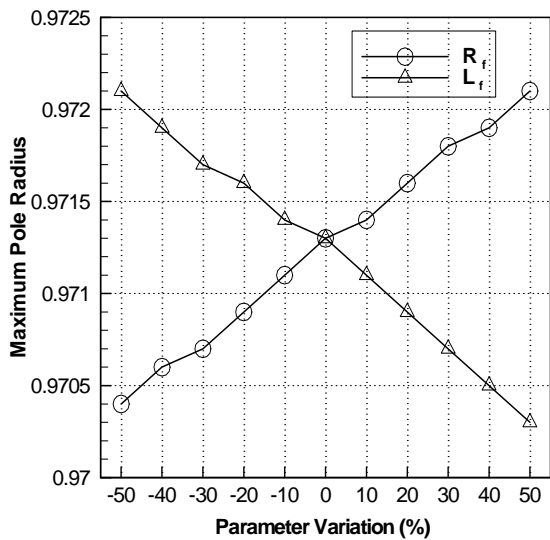


그림 9 파라미터 변동에 대한 내부 전류 제어루프의 최대 극점
 Fig. 9 Maximum pole radius of inner current control loop with respect to parameter variation

페루프 시스템의 상대 안정성은 스텝응답에서의 최대 오버슈트의 향으로 평가할 수 있다. 그림 10은 파라미터가 변동하였을 때 식 (13)의 내부 전류 제어루프의 페루프 전달함수의 최대 오버슈트를 나타낸다. 그림 10에서 필터 인덕터 등가 직렬저항이 변동할 경우 내부 전류 제어루프의 최대 오버슈트는 거의 변화가 없는 것을 알 수 있다. 그러나, 필터 인덕터가 감소할 경우 내부 전류 제어루프의 최대 오버슈트는 증가하는 것을 알 수 있다. 또한, 필터 인덕터가 증가할 경우 내부 전류 제어루프의 최대 오버슈트는 필터 인덕터 등가 직렬저항과 마찬가지로 거의 변화가 없는 것을 알 수 있다. 즉, 제안한 2차 데드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터 등가 직렬저항이 ±50[%] 변동하였을 경우와 필터 인덕터가 +50[%] 증가할 경우 최대 오버슈트가 약 4[%] 이하임을 알 수 있다.

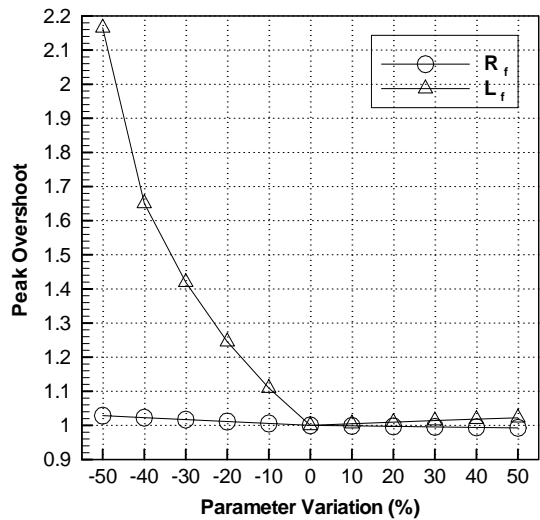


그림 10 파라미터 변동에 대한 내부 전류 제어루프의 최대 오버슈트
 Fig. 10 Peak overshoot of inner current control loop with respect to parameter variation

3.2 부하전류 예측기법

외란이 존재한다면, 즉 $I_L(z) \neq 0$ 인 경우 필터 커패시터 전류는 인버터 출력전류와 부하전류의 차이가 되며, 내부 전류 제어루프는 식 (17)과 같은 2차 데드비트 응답을 얻을 수 없다. 이러한 부하 외란을 보상하기 위해서는 외란으로 동작하는 부하전류를 고려하여 내부 전류 제어루프를 재 설계하여야 한다. 본 논문에서는 주기적인 부하전류의 특성을 고려하여 부하전류 예측기법으로 이러한 부하 외란을 보상한다. 즉, UPS 인버터의 부하는 저항 부하나 R-L 부하와 같은 선형 부하와 커패시터 입력형 정류기 부하와 같은 비선형 부하에 상관없이 모든 부하가 주기적인 특성을 나타낸다. 특히, 출력전압의 파형이 매우 일그러지는 커패시터 입력형 정류기 부하의 전류조차도 주기적이다. 따라서, 선형 및 비선형 부하의 종류에 관계없이 부하전류가 주기적이라고 가정하면 과거의 샘플링 값으로부터 예측될 수 있다.

식 (17)의 2차 데드비트 응답을 갖는 내부 전류 제어루프에서 부하전류를 고려하면 커패시터 전류는 식 (19)와 같이 된다.

$$I_C(z) = (I_C^*(z) + I_L^*(z))z^{-2} - I_L(z) \tag{19}$$

식 (19)에서 커패시터 전류가 2차 데드비트 응답을 만족하기 위한 조건은 식 (20)과 같다.

$$I_L^*(z) = z^2 I_L(z) \tag{20}$$

그러나, 식 (20)의 $I_L^*(z)$ 는 실제 부하전류 $I_L(z)$ 보다 2 샘플링 이전의 값이어야 하며, 이 값은 미래의 값이므로 직접 구할 수가 없다. 따라서, 부하의 종류에 관계없이 부하전류가

주기적이라고 가정하면 $I_L(z)$ 의 값은 식 (21)과 같이 부하 전류 예측기법에 의해서 현재 샘플링 값과 이전 샘플링 값으로부터 구할 수 있다.

$$i_L(k+2) \approx 3i_L(k) - 2i_L(k-1) \quad (21)$$

식 (21)로부터 전달함수 $G_D(z)$ 는 식 (22)와 같이 된다.

$$G_D(z) = \frac{3z-2}{z} \quad (22)$$

따라서, 식 (21)의 부하전류 예측기법에 의해서 외란은 완전히 보상된다. 즉, 외란이 존재하는 경우에도 전류 제어루프는 식 (17)의 2차 데드비트 응답을 만족하며, UPS 인버터의 출력측 필터 커패시터 전류는 2 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 지령치와 정확히 일치하도록 제어된다.

3.3 비례-공진 전압제어

부하전류 예측기법에 의해서 외란이 완전히 보상된다면 내부 전류 제어루프는 2차 데드비트 제어기로 등가화 될 수 있다. 따라서, 외부 전압 제어루프의 블록선도는 그림 11과 같다.

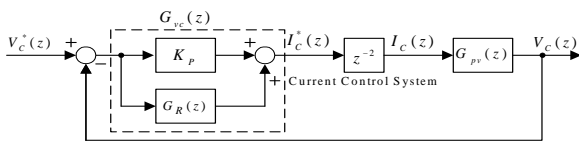


그림 11 외부 전압 제어루프의 블록선도
Fig. 11 Block diagram of outer voltage control loop

그림 2로부터 전압 제어루프의 플랜트 전달함수는 식 (23)과 같다.

$$G_{pv}(z) = \frac{T_{sv}}{C_f(z-1)} \quad (23)$$

여기서, T_{sv} 는 외부 전압 제어루프의 샘플링 주기이다. 3상 시스템의 d-q 좌표변환에 의해서 3상 정현파 지령치는 동기좌표계에서 시불변 직류량으로 변환된다. 따라서, 외부 전압 제어루프에 PI 제어기를 사용하면 0의 정상상태 오차를 얻을 수 있다. 그러나, 이러한 좌표변환은 측정된 3상 교류의 평균치를 회전좌표계의 직류량으로 변환하고, 제어 동작을 다시 3상 교류로 변환하여야 하기 때문에 매우 복잡하다. 또한, 변환의 과정에서 부가적인 연산지연시간과 오차가 발생하여 정밀한 제어에는 부적절하다. 그리고, 단상 시스템의 경우에는 d-q 변환이 불가능하며, 지령치가 정현파이기 때문에 PI 제어기는 항상 정상상태에서 크기와 위상 오차를 나타낸다. 즉, 단상 시스템의 경우 PI 제어기의 적용은 적절하지 않게 된다. 제안한 전압 제어기는 비례 제어기와 공진

제어기를 병렬로 연결한 비례-공진 제어기로 교류 성분에 대하여 기존의 PI 제어기와 유사한 함수의 형태이다. 이 공진 제어기는 정현파 지령치와 동일한 극점을 가지며 공진 주파수에서 무한대 이득을 가진다. 따라서, 제안한 비례-공진 제어기는 0의 정상상태 오차를 나타낸다.

그림 11에서 제안하는 공진 제어기의 전달함수는 다음과 같다.

$$G_R(z) = \frac{k_r \omega_r \{a z^2 - (a \cos \omega_r T_{sv} + \beta \sin \omega_r T_{sv}) z\}}{z^2 - 2 \cos \omega_r T_{sv} z + 1} \quad (24)$$

여기서, $a = \cos \theta_r$, $\beta = \sin \theta_r$ 이다.

전압 제어루프의 전체 폐루프 전달함수는 식 (25)와 같다.

$$\frac{V_C(z)}{V_C^*(z)} = \frac{\{G_R(z) + K_P\} G_{cc}(z) G_{pv}(z)}{1 + \{G_R(z) + K_P\} G_{cc}(z) G_{pv}(z)} \quad (25)$$

식 (25)의 폐루프 전달함수는 $z = e^{j\omega_r T_{sv}}$ 로 두면 식 (26)과 같이 된다.

$$\frac{V_C(z)}{V_C^*(z)} \Big|_{z=e^{j\omega_r T_{sv}}} = 1 \quad (26)$$

식 (26)에서 제안한 전압 제어루프는 지령치와 출력이 일치하는, 즉 정상상태 오차가 0이 됨을 알 수 있다.

4. 시뮬레이션 및 실험 결과

4.1 시뮬레이션 결과

표 1 시스템 파라미터

Table 1 System parameter for simulation

DC Link Voltage	200 [V]
Output Voltage	100 [V](RMS), 60 [Hz]
Switching Frequency	20 [kHz]
Nominal Filter Inductance	1.2 [mH]
Nominal Filter ESR	0.7 [Ω]
Nominal Filter Capacitance	10 [μ F]
Load Resistance	10 [Ω]
R-L Load Resistance	8 [Ω]
R-L Load Inductance	16 [mH]
PF of R-L Load	0.8
Rectifier Capacitance	2200 [μ F]
Rectifier Resistance	20 [Ω]

본 논문에서 제안한 시스템의 타당성을 검토하기 위해서 PSIM을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션에

사용된 인버터 시스템의 파라미터는 표 1과 같다.

그림 12부터 그림 15는 저항 부하에서 제한한 UPS 인버터 시스템의 필터 인덕터와 인덕터 등가 직렬저항 등의 파라미터 변동에 대한 2차 테드비트 응답을 갖는 내부 모델 전류제어기의 강인성을 확인하기 위한 시뮬레이션 결과이다.

필터 인덕터 등가 직렬저항을 각각 $\pm 50\%$ 변동한 그림 12와 그림 13에서 2차 테드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터 등가 직렬저항의 변동에 강인함을 알 수 있다. 또한, 필터 인덕터 등가 직렬저항의 변동에 제한한 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타낸다.

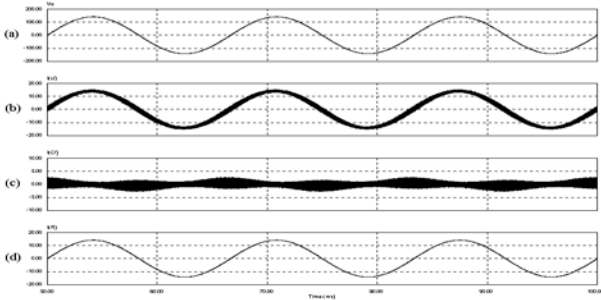


그림 12 저항 부하에서 R_f 가 -50% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 12 Simulation results under resistive load when R_f vary with -50%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

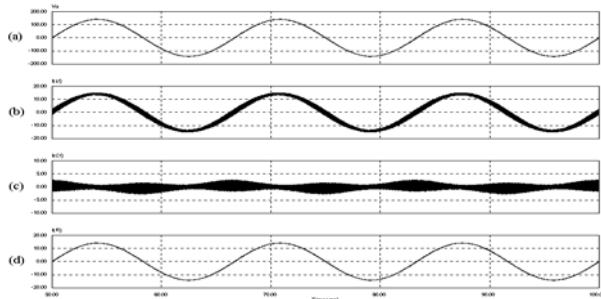


그림 13 저항 부하에서 R_f 가 $+50\%$ 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 13 Simulation results under resistive load when R_f vary with $+50\%$
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

필터 인덕터를 각각 -40% 및 $+50\%$ 변동한 그림 14와 그림 15에서 2차 테드비트 응답을 갖는 내부 모델 전류제어기는 필터 인덕터가 -40% 이상 변동한 경우 출력전압의 파형에 다소의 고조파가 함유된다. 이것은 필터 인덕터의 감소로 인한 출력측 LC 필터의 차단주파수가 변동하여 생기는 현상이다. 즉, -40% 변동까지는 필터 인덕터의 변동에 강인하며, 필터 인덕터가 $+50\%$ 변동한 경우에도 필터 인덕터의 변동에 강인함을 알 수 있다. 결과적으로 필터 인덕터의 변동에도 제한한 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타낸다.

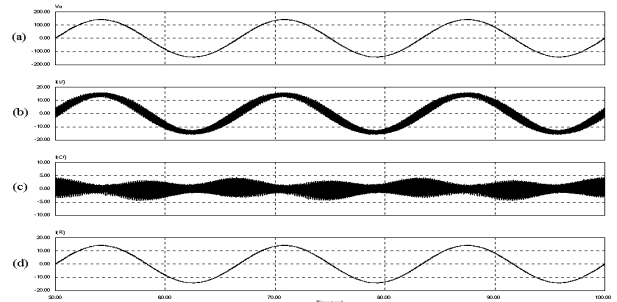


그림 14 저항 부하에서 L_f 가 -40% 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 14 Simulation results under resistive load when L_f vary with -40%
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

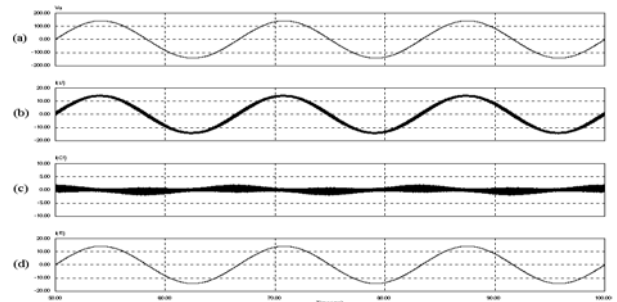


그림 15 저항 부하에서 L_f 가 $+50\%$ 변동하였을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 15 Simulation results under resistive load when L_f vary with $+50\%$
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

그림 16은 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서 제안한 UPS 인버터 시스템을 부하전류 예측 기법을 사용하지 않고 시뮬레이션한 결과이고, 그림 17은 부하전류 예측기법을 사용하여 시뮬레이션한 결과이다. 부하전류 예측기법을 사용하지 않은 그림 16에서 비선형 부하로 인하여 내부 전류 제어루프의 성능은 저하되고, 출력전압 파형은 심한 왜형과 상대적으로 높은 THD가 나타남을 알 수 있다. 그러나, 부하전류 예측기법을 사용한 그림 17에서 제안한 UPS 인버터 시스템은 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서도 내부 전류 제어루프의 성능이 저하되지 않고, 출력전압 파형은 양호한 특성을 나타낸다.

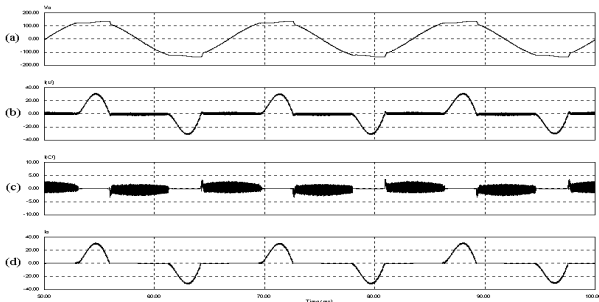


그림 16 정류기 부하에서 부하전류 예측기법을 사용하지 않았을 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 16 Simulation results without load current prediction under rectifier load
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

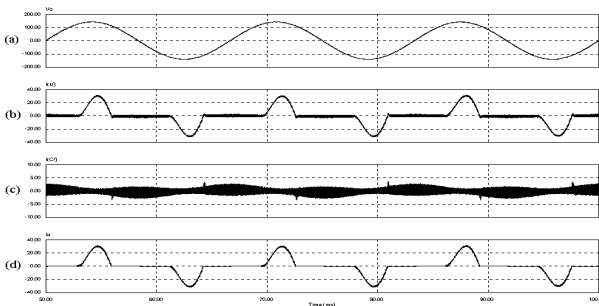


그림 17 정류기 부하에서 부하전류 예측기법을 사용한 경우 시뮬레이션 결과
 (a) 출력전압 파형 (b) 인덕터 전류 파형
 (c) 커패시터 전류 파형 (d) 부하전류 파형

Fig. 17 Simulation results with load current prediction under rectifier load
 (a) Output voltage waveform
 (b) Inductor current waveform
 (c) Capacitor current waveform
 (d) Load current waveform

4.2 실험 결과

시뮬레이션 결과를 바탕으로 본 논문에서 제안된 시스템의 타당성을 검토하기 위해서 1[kVA]의 온라인 UPS 시스템의 실험장치를 제작하고, DSP(TMS320C32)를 이용하여 제안된 제어기를 설계 및 적용한 후 실험을 수행하였다. 제작된 UPS 시스템의 실험장치는 그림 18과 같이 정류기부 및 인버터부, 그리고 제어기부로 구성되어 있다.

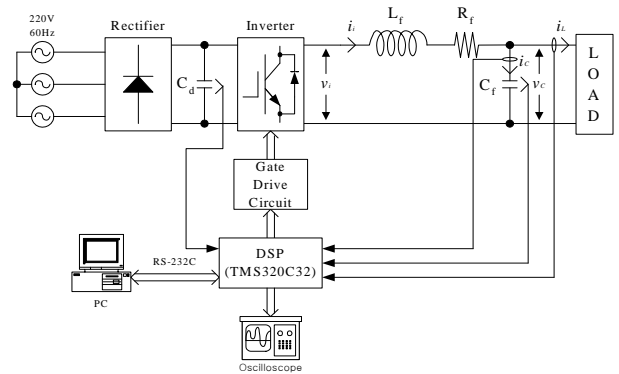


그림 18 UPS 시스템 실험장치 구성도

Fig. 18 Schematic configuration of experimental UPS system

실험에 사용된 시스템의 파라미터는 표 1과 동일하며, 데드비트 응답을 갖는 내부 모델 전류제어기 및 비례-공진 제어기의 비례 이득과 공진 제어기의 이득은 MATLAB을 이용하여 구한 다음 실제 실험에서는 오프라인으로 처리하였다.

그림 19는 정격 저항 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 제안된 2차 데드비트 응답을 갖는 내부 모델 전류제어기와 비례-공진 전압제어기에 의해서 출력전압은 0의 크기와 위상 오차를 가지는 정현파임을 알 수 있다.

그림 20은 역률 0.8의 R-L 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 부하 전류는 출력전압보다 지상이며, 역률 0.8의 R-L 부하에서도 제안된 UPS 인버터 시스템의 출력전압 파형은 양호한 특성을 나타냄을 알 수 있다.

그림 21은 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 제안된 UPS 인버터 시스템의 출력전압 파형은 비선형 부하로 파고율 3의 커패시터 입력형 정류기 부하에서도 양호한 특성을 나타냄을 알 수 있다.

그림 22는 각각 정격 저항 부하, 역률 0.8의 R-L 부하 및 파고율 3의 커패시터 입력형 정류기 부하에서 제안된 UPS 인버터 시스템의 출력전압의 THD를 나타낸다. 파형 (a)는 정격 저항 부하에서 출력전압의 THD를, 파형 (b)는 R-L 부하에서 출력전압의 THD를, 그리고 파형 (c)는 커패시터 입력형 정류기 부하에서 출력전압의 THD를 각각 나타낸다. 그

림으로부터 정격 저항 부하에서 출력전압의 THD는 2.6[%], R-L 부하에서 출력전압의 THD는 2.9[%]로 별 차이가 없으나, 커패시터 입력형 정류기 부하에서 출력전압의 THD는 4.7[%]로 정격 저항 부하나 R-L 부하에서보다 고차 고주파가 많이 함유된 것을 알 수 있다. 결론적으로 제안된 UPS 인버터 시스템의 출력전압의 THD는 매우 낮은 것을 알 수 있으며, 따라서 제안된 2차 테드비트 응답을 갖는 내부 모델 전류제어기와 비례-공진 전압제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 크게 개선된다.

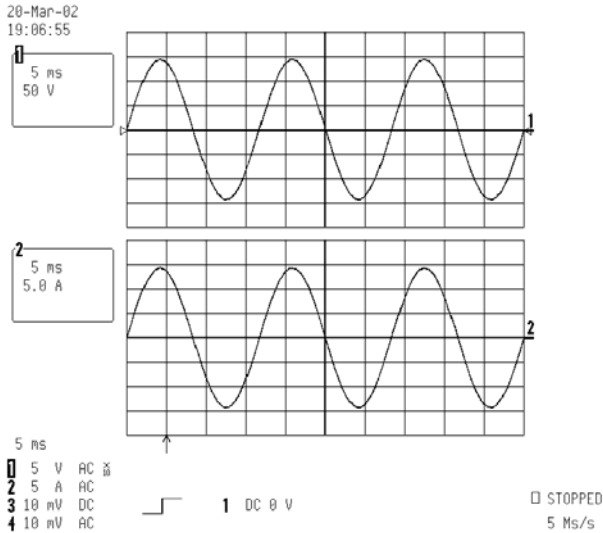


그림 19 저항 부하에서 출력전압과 부하전류 파형
Fig. 19 Output voltage and load current waveforms under resistive load

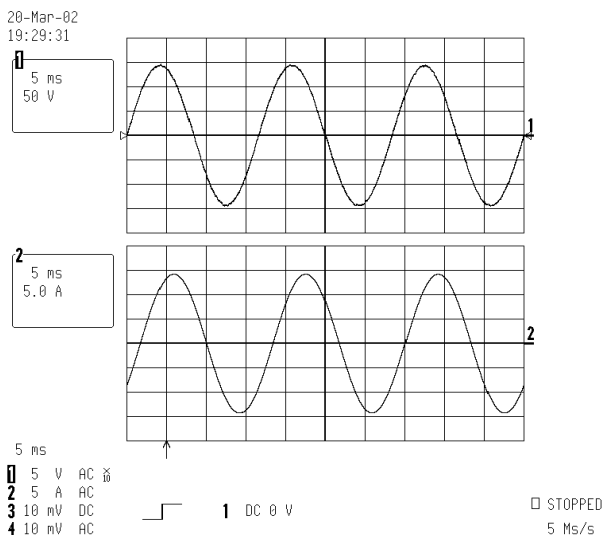


그림 20 R-L 부하에서 출력전압과 부하전류 파형
Fig. 20 Output voltage and load current waveforms under R-L load

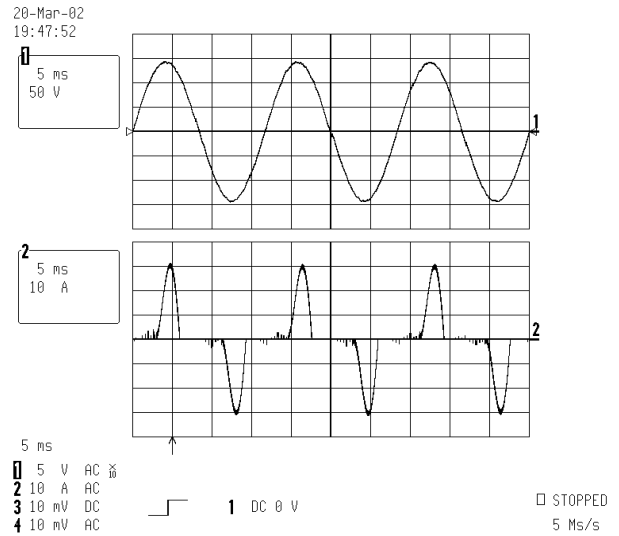
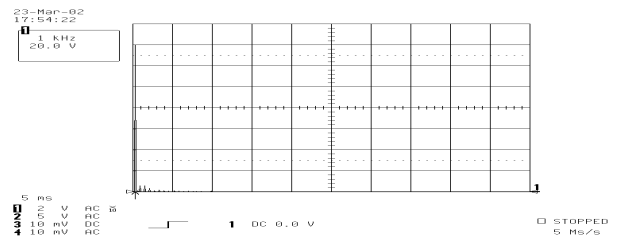
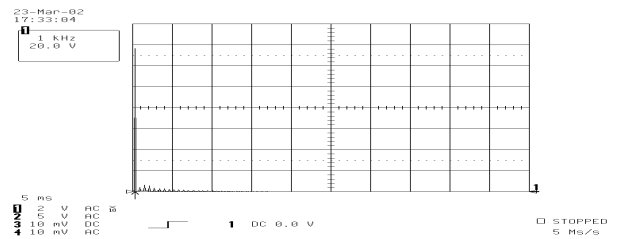


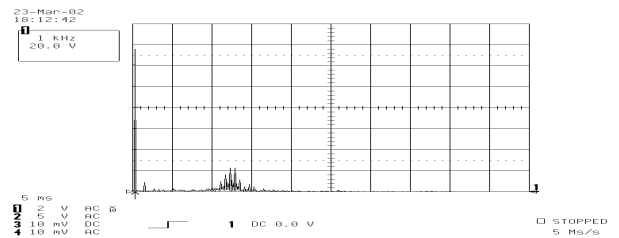
그림 21 정류기 부하에서 출력전압과 부하전류 파형
Fig. 21 Output voltage and load current waveforms under rectifier load



(a) 저항 부하
(a) Resistive load



(b) R-L 부하
(b) R-L load



(c) 정류기 부하
(c) Rectifier load

그림 22 출력전압의 고주파 스펙트럼
Fig. 22 Harmonics spectrums of output voltage

그림 23은 무부하에서 비선형 부하로 과고율 3의 커패시터 입력형 정류기 부하로 변동하였을 경우 제안된 UPS 인버터 시스템의 출력전압과 부하전류 파형을 각각 나타낸다. 그림으로부터 출력전압의 변동은 약 4[%] 정도이며, 커패시터 입력형 정류기 부하에서 부하 특성에 의하여 부하전류의 과도 응답 시간은 길어지나 출력전압의 과도 응답 시간은 약 3[ms] 정도임을 알 수 있다. 따라서, 제안된 시스템은 커패시터 입력형 정류기 부하 변동시에도 매우 빠른 과도응답 특성과 연산지연시간 및 파라미터 변동에 강인한 특성을 나타낼 수 있다.

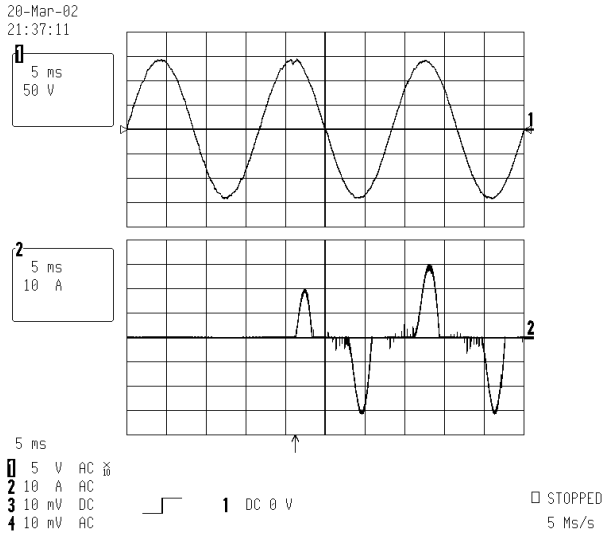


그림 23 정류기 부하 변동시 출력전압과 부하전류 파형
 Fig. 23 Output voltage and load current waveforms under step-increasing rectifier load

5. 결 론

시뮬레이션과 실험으로부터 얻어진 본 논문의 결과를 요약하면 다음과 같다.

첫째, 디지털 제어기의 연산지연시간을 인버터 플랜트의 고유한 파라미터로 가정하고, 플랜트 모델에 포함시켜 모델링한 결과 제안한 시스템은 정상상태 및 과도상태에서 부하 조건에 관계없이 모두 연산지연시간에 강인함을 알 수 있었다.

둘째, 내부 전류 제어루프는 내부 모델 제어기와 모델링 오차 피드백 루프로 구성하였다. 여기서, 필터 인덕터와 인덕터 등가 직렬저항을 변동한 결과, 제안한 UPS 인버터 시스템의 출력전압 파형은 파라미터 변동에 강인함을 알 수 있었다.

셋째, 2차 테드비트 응답을 갖는 내부 모델 전류제어기에 의해서 제안한 시스템은 부하 조건에 관계없이 모두 부하 변동시 출력전압의 변동 범위는 5[%], 과도 응답 시간은 4[ms]인 설계 사양을 만족하며, 매우 빠른 과도 응답 특성을 나타낼 수 있었다.

넷째, 제안한 비례-공진 제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 부하 조건에 관계없이 모두 정상상태에서 0의 크기와 위상 오차를 나타내었다. 그리고, 출력전

압의 THD는 선형 부하시 3[%] 이하, 비선형 부하시 5[%] 이하인 설계사양을 만족하였다.

결론적으로 제안한 시스템은 디지털 제어기의 연산지연시간과 파라미터 변동 및 외란에 강인하며, 매우 빠른 과도 응답 특성을 나타낸다. 또한, 제안한 제어기에 의해서 UPS 인버터 시스템의 출력전압 파형은 크게 개선되었고, 출력전압의 낮은 THD를 확인하였다. 따라서, 전원의 품질에 민감한 부하들에 양질의 전력을 공급하는데 제안한 UPS 인버터 시스템의 우수성을 입증하였다.

참 고 문 헌

- [1] N. M. Abdel-Rahim and J. E. Quaicoe, "Analysis and Design of a Multiple Feedback Loop Control Strategy for Single-Phase Voltage-Source UPS Inverters", IEEE Trans. Power Electronics, Vol. 11, No. 4, pp. 532-541, 1996.
- [2] K. M. Rahman, M. R. Khan, M. A. Choudhury, and M. A. Rahman, "Variable-Band Hysteresis Current Controllers for PWM Voltage-Source Inverters," IEEE Trans. Power Electronics, Vol. 12, pp. 964-970, 1997.
- [3] O. Kukrer, "Discrete-Time Current Control of Voltage-Fed Three-Phase PWM Inverters", IEEE Trans. Power Electronics, Vol. 11, No. 2, pp. 260-269, 1996.
- [4] Y. Y. Tzou, R. S. Ou, S. L. Jung, and M. Y. Chang, "High-Performance Programmable AC Power Source with Low Harmonic Distortion using DSP-Based Repetitive Control Technique," IEEE Trans. Power Electronics, Vol. 12, No. 4, pp. 715-725, 1997.
- [5] 김병진, 최재호, A. Jain, "연산지연시간 및 민감성을 고려한 UPS 인버터용 2차 테드비트 제어기," 전기학회논문지, Vol. 50B, No. 4, pp. 170-177, 2001.
- [6] Y. Ito and S. Kawachi, "Microprocessor-Based Robust Digital Control for UPS with Three-Phase PWM Inverter", IEEE Trans. Power Electronics, Vol. 10, No. 2, pp. 196-204, 1995.
- [7] O. Kukrer, "Deadbeat Control of a Three-Phase Inverter with an Output LC Filter", IEEE Trans. Power Electronics, Vol. 11, No. 1, pp. 16-23, 1996.
- [8] 박지호, 허태원, 신동률, 노태균, 우정인, "3상 UPS용 인버터의 강인한 비간섭 디지털제어," 전기학회논문지, Vol. 49B, No. 4, pp. 246-255, 2000.
- [9] 박지호, 허태원, 노태균, 김동완, 우정인, "공진모델을 이용한 UPS 인버터의 강인한 디지털제어," 전기학회논문지, Vol. 50P, No. 4, pp. 175-181, 2001.

저 자 소 개



박 지 호 (朴 志 浩)

1971년 4월 23일생. 1997년 동아대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2002년 8월 동 대학원 전기공학과 졸업(공학박). 2000년~현재 동명대학교 기계자동화계열 전임강사.

Tel : 051-620-3629

E-mail : jhpark@yongma.tmc.ac.kr



계 중 읍 (桂 仲 邑)

1960년 7월 29일생. 1989년 홍익대 기계공학과 졸업. 1996년 부산대 대학원 기계공학과 졸업(석사). 2000년 8월 동 대학원 기계공학과 졸업(공학박). 현재 국방품질관리소 선임연구원.

Tel : 051-750-2531

E-mail : jekeh@dqaa.go.kr



김 동 완 (金 炯 完)

1960년 2월 1일생. 1984년 동아대 전기공학과 졸업. 1987년 부산대 대학원 전기공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박). 현재 건축전기설비기술사. 동명대학 전기전자계열 조교수.

Tel : 051-620-3416

E-mail : dongwan@yongma.tmc.ac.kr



안 영 주 (安 永 珠)

1986년 부산공업대 전기공학과 졸업. 1988년 부산대 대학원 전기전자공학과 졸업(석사). 1995년 동 대학원 전기공학과 졸업(공학박). 1998년~현재 부경대학교 전기제어계측공학부 조교수.

Tel : 051-620-1638

E-mail : anyj@pknu.ac.kr



박 한 석 (朴 瀚 錫)

1955년 3월 23일생. 1981년 중앙대 전기공학과 졸업. 1983년 중앙대 대학원 전기공학과 졸업(석사). 1996년 한국해양대 대학원 졸업(공학박). 1986년~현재 부경대학교 전기제어계측공학부 교수.

Tel: 051-620-1436

E-mail : phanseok@pknu.ac.kr



우 정 인 (禹 靖 仁)

1941년 2월 12일생. 1963년 한양대 전기공학과 졸업. 1978년 영남대 대학원 전자공학과 졸업(석사). 1970년~1979년 부산공업대 전기공학과 조교수. 1984년 중앙대 대학원 전기공학과 졸업(공학박). 1979년~현재 동아대 전기전자컴퓨터공학부 교수.

Tel : 051-200-7734

E-mail : jiwoo@mail.donga.ac.kr