

기술 특 집

PDP TV 구동을 위한 전원 SYSTEM 및 기술동향

신 증 근 (LG전자 영상 제품 연구소 연구소장)

I. 서 론

PDP(Plasma Display Panel)는 불활성 기체의 방전 시 발생하는 플라즈마를 이용한 표시소자로 넓은 시야각, 빠른 응답속도, 대형화의 용이성 등으로 가정용 TV 뿐만 아니라, 산업용 디스플레이 소자로서 많은 연구가 이루어지며 상용화 되고 있다.

플라즈마 디스플레이 장치는 크게 Panel부, 구동부, 신호 처리부 및 각 부분의 전원을 공급하는 전원장치로 구분할 수 있다 PDP 경우 Panel의 type 및 구동 방법에 의해 구분 되나 AC type PDP 경우 각 셀에 수평 방향으로 Scan 전극과 Sustain 전극을, 수직방향으로 Address 전극을 배치하여 Matrix 형태를 가지며 각 전극에 Pulse형 전원을 인가하여 교차점의 방전을 이용 플라즈마를 발생한다.

구동 방법 중 대표적인 ADS 방식(Fujitsu사 개발 구동 방식)을 기준으로 살펴보면 Reset 기간, Address 기간, Sustain 방전 기간으로 구분할 수 있다. 각 전극 및 구동 기간별로 필요한 전원이 다르며, 또한 각 셀마다 조금씩 다른 방전 전압을 갖기 때문에 PDP Panel마다 최적의 상태로 전극 전압을 조정하여야 한다.

특히 Sustain 방전 구간에는 대단히 큰 전류가 필요하기 때문에 Sustain Power부는 대출력의 전원을 요구하고 있다.

즉, PDP 전원의 경우 다양한 전원을 필요로 하고 있으며, 상용 전원을 사용하는 가정용 기기로서는 상당히 큰 출력의 전원을 필요로 한다. 또한 각 전극 및 구동 구간을 스위칭 하는 다수의 구동 회로를 보호하기 위하여 전원 인가 및 제거 시 반드시 인가 및 제거 순서를 지켜야 하는 특징을 갖는다.

현재 PDP 경우 휘도 및 명암비를 향상 하기 위하여 새로운 구동 방법 및 고속 어드레싱 연구가 활발히 진행되고 있으며, 소비전력의 절감을 위한 고 효율화에도 계속 연구가 진행되고 있다.

본 고에서는 PDP 구동 방법에 따른 전원의 필요 특성을 고찰하면서 PDP Power 시스템의 구성을 소개하고자 한다.

II. PDP 구동방법 및 전원 특성

PDP 구동에 있어서의 가장 큰 특징은 계조 표현 방법이다. 일반 CRT 계통의 display 장치 경우 전자빔의 세기로서 계조를 표현한다. 그러나 PDP 경우 방전 현상을 이용하여 밝기를 표현하므로 특성상 방전 유, 무 두 가지 상태만 존재 하기 때문에 화면의 밝기를 방전 횟수로 표현한다.

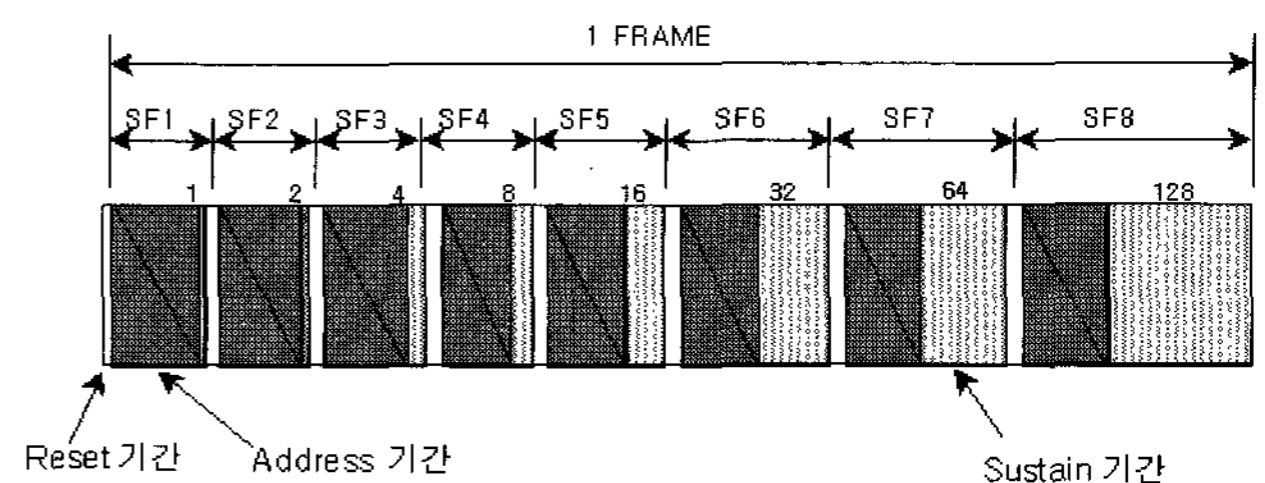
현재 AC PDP의 경우에는 [그림 1]과 같이 1 frame의 시간을 다른 펄스 개수를 갖는 복수개의 subfield로 분할하고 이 subfield를 조합하여 원하는 계조를 표현하는 방식을 사용하고 있다.

매 subfield에는 항상 이전의 subfield에 의해 형성된 벽 전하를 소거하는 Reset기간(예비 방전 기간), 각 Cell의 방전 여부에 따른 벽전하를 형성시키는 어드레싱 기간 및 실제 밝기 표현하는 방전이 발생하는 유지(sustain)방전 기간으로 구성된다.

1. Reset 기간

PDP 구동 파형 중 가장 중요한 부분이 Reset 기간이다.

PDP Panel에는 수 백만개의 Cell이 존재하고 이 셀들은 모두 조금씩 다른 방전 전압을 가지며 주변의 온도나 기압 등에 의해 영향을 받는다. 그러나 구동을 할 때는 하나의 결정된 전압으로 모든 셀들을 방전을 하여야 하기 때문에 많



[그림 1] ADS 구동방법의 Sub field의 형태와 배열

은 어려움이 따른다.

이를 효과적으로 제어하기 위해서는 Reset 구간 내에서 이전의 Subfield에서 생성된 벽전하를 소거하고 재 Set-up 하여 즉, 어드레스 방전을 하기 위한 벽전하를 재형성하면서 셀 간의 방전 전압의 차이를 해결하는 것이 매우 중요하다.

이를 해결하기 위하여 세폭 펄스, 저 전압 펄스, Ramp 펄스 등의 여러 형태의 기법을 적용한다.

Reset 구간 내에서는 미세 방전을 하며 가장 짧은 구간을 가지고 있기 때문에 실지로 많은 전류를 필요로 하지 않는다. 그러나 적용 방식별로 다른 종류의 전압이 요구되어진다. 현재 대부분의 회사에서 Ramp 파형을 혹은 유사한 방법을 적용 하고 있다. Ramp 파형을 적용 시에는 플라즈마 panel의 구동 전압 중 가장 높은 전압이 (Set-up voltage) 요구된다.

2. Address 기간

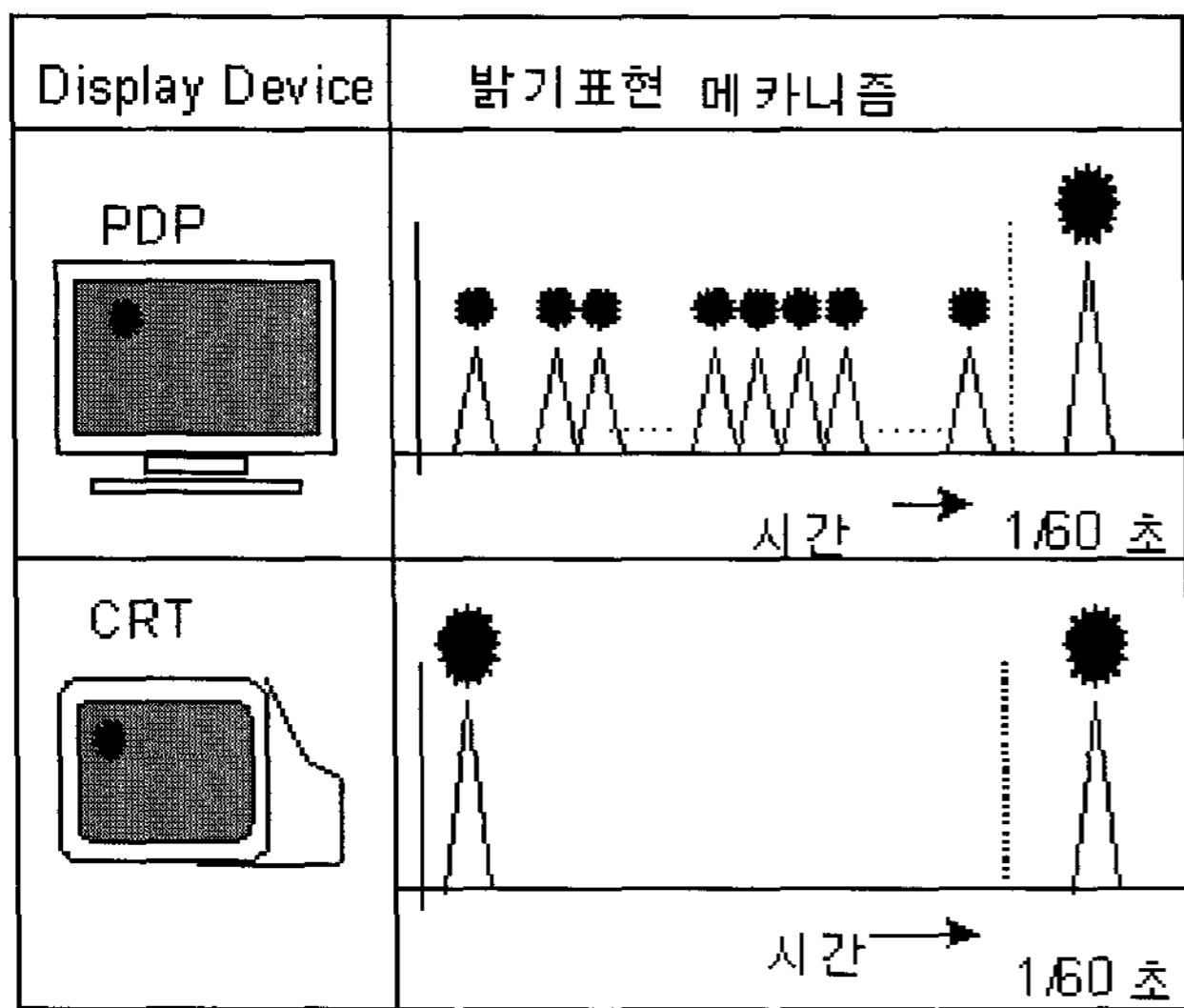
어드레스 기간은 수 백만개의 셀에 화상 정보에 따라 유지(Sustain)방전을 하기 위한 벽전하를 형성시키는 기간 즉, 각각의 셀에 On/Off 여부를 기입하는 기간이다.

각각의 셀에 동시에 data를 기입할 수 없기 때문에 선 순차주사(line progressive scan)로써 기입방전을 발생시켜 Panel 각 셀에 표시 Data를 기입한다.

어드레스 기간은 Reset 기간과 같이 벽전하만 형성시켜야 하므로 상대적으로 Sustain 전압보다는 낮은 Address 전압 및 각 line을 순차적으로 선택하는 Scan 전압이 필요한 기간이다.

3. Sustain 기간

Sustain 방전 즉 실지 계조를 표현하는 유지 방전이 발생하는 기간으로 플라즈마 Panel의 대부분의 전력을 소모하는 기간이다.



[그림 2] PDP와 CRT 밝기 표현

전 Scan 전극 및 전 유지 전극에 유지 펄스를 인가하여 기입 방전에 의해 벽 전하를 형성하고 있는 표시 셀에서 이 유지 펄스에 의해 면 방전을 일으킨다. 약 1회의 유지 펄스의 발광 강도는 일정한 것으로 소정의 회수의 유지 펄스를 인가함으로써 발광 휘도를 얻는다.

[그림 2]에서와 같이 일반 CRT 계통의 디스플레이 소자는 전자 빔의 세기로 계조를 표현 하며 편향에 의해 주사 형태로 디스플레이 한다. PDP 경우 전 화면을 동시에 유지 방전을 하기 때문에 CRT 계통의 디스플레이 소자 보다는 큰 펄스형의 전류를 사용하는 특성을 갖고 있다. 특히 높은 계조의 Sub field([그림 1]의 SF8)기간에서는 유지 방전 횟수가 많기 때문에 매우 큰 Power 공급이 필요한 기간이다.

4. 기타 PDP 전원 특성

대형 디스플레이 장치로서 벽걸이 등을 실현하기 위해서는 제품의 슬림화가 기본으로 요구되어 진다. Power부 또는 Panel 구동부에는 대전류 및 고속 스위칭 부분이 많기 때문에 국부적인 발열이 발생할 가능성이 많다. 따라서 PDP 전원의 경우 고효율 박형 전원부 설계가 절대적으로 선행되어 이루어져야 하며 방열 설계를 고려하여야 한다.

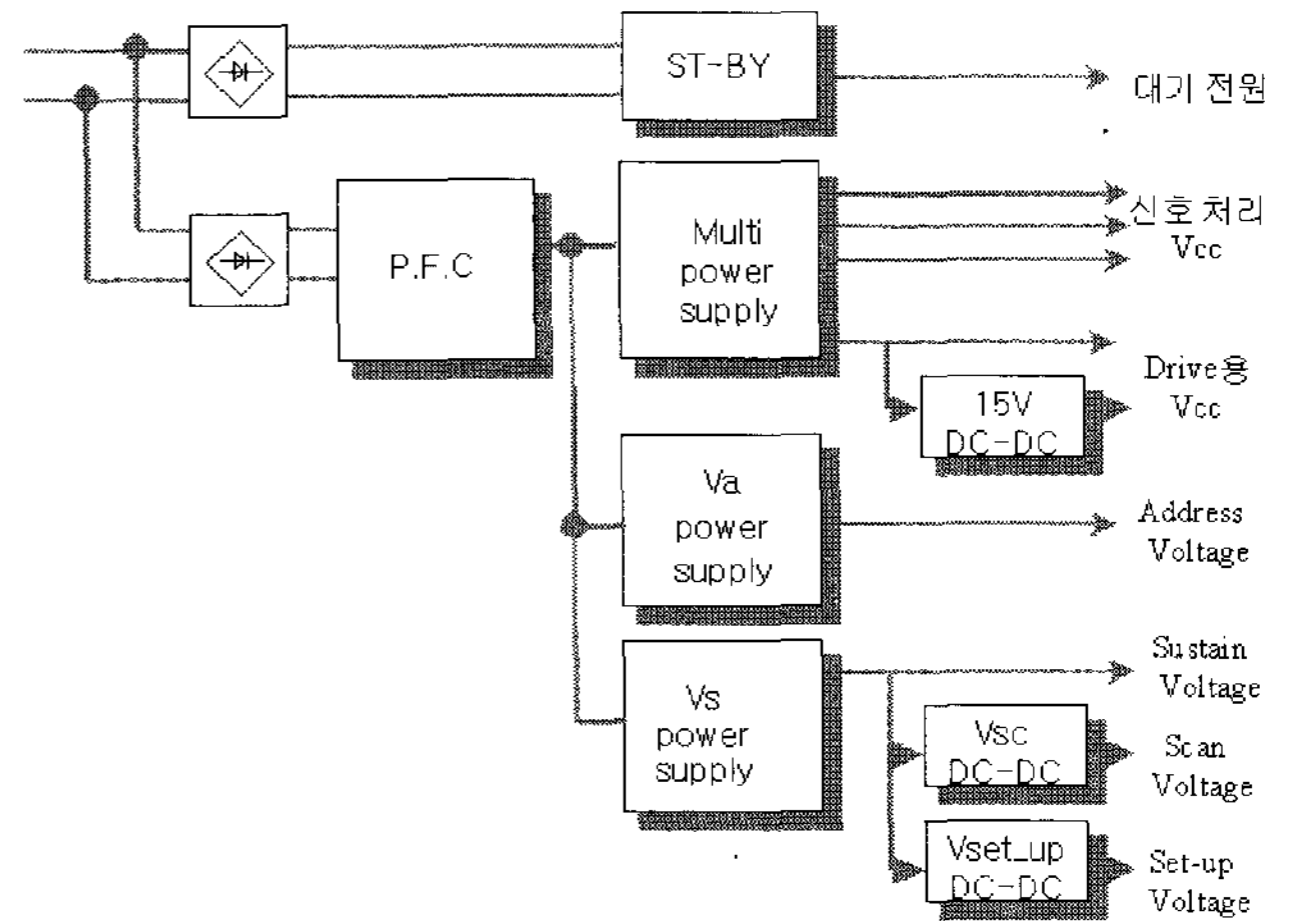
III. PDP Power 시스템

PDP Power system에서 적용 전원 방식은 각社の PDP 구동 방식에 따라 상당한 차이를 보이고 있으나 기본 구성은 유사하다.

PDP 전원부 경우 기본적으로 P.F.C(power factor correction)을 적용하여 전원의 고조파 규격을 만족시키면서 입력 전류에 의한 AC filter부의 손실을 최소화 시키고 있다.

또한 각각 전원부의 Pre-regulator로서 각 전원부에 입력 하는 형태를 가지게 된다.

이는 입력 전압이 변동하여도 P.F.C에서 일정 DC 전압



[그림 3] PDP Power의 구성 예

을 출력함으로써 각각의 전원부에 입력 전압 변동에 의한 부담없이 안정화를 취하는데 용이하게 한다. 일반적으로 대용량인 Sustain power 및 Address power는 각각의 Power supply로 공급하며, 드라이브용 및 신호처리용 전원은 Multi 출력 전원을 구성하여 공급한다. Address 전원 및 기타 전원을 단일 전원부로 구성하는 경우도 있다.

1. P.F.C(power factor correction)

전자, 전기 기기용 전원으로 직류전원은 반드시 필요하다. 이 직류전원은 통상 상용 교류전원을 정류 평활 함으로써 얻어진다. 이 때문에 출력 직류전원에는 상용 주파수 혹은 2배의 주파수 성분을 가진 리플전압이 함유된다. 이 리플전압은 평활회로에 Choke Input형을 사용하면 작아지지만 저주파수용 Choke의 사용에 의해 체적 및 중량이 증가하는 문제가 있다. 이 때문에 TV를 비롯한 대부분의 기기의 전원은 Choke을 제거한 Capacitor Input형 정류 회로를 사용한다.

그러나 Capacitor Input형 정류회로에서 입력전원의 PEAK 부분에서만 전류가 흐르기 때문에 입력전류 파형이 펄스 모양으로 되어 고조파의 발생 및 역률이 저하되는 문제점이 발생한다.

고조파 발생은 공급전력의 질을 저하시키고 계통 내 기기의 이상진동 및 소손, 제어장치의 오동작, 그리고 통신선로의 유도장해를 유발시키는 원인이 된다. 한편 역률의 저하로 전력 송전 손실이 증가하게 된다. 따라서 고조파가 함유된 교류전력 분배가 커져감에 따라 세계 각국에서 그 중요성을 인식하여 교류전원의 규정 표준을 엄격한 조건으로 개정하는 결과를 가져왔다. 이와 같은 상황에서 고조파 억제와 역률 개선이 가능한 AC-DC Converter의 기술개발이 확대되

고 적용하고 있다.

이 역률 개선 회로는 PWM Converter, ACTIVE 필터, 고역률 Converter, 스위칭 모드 정류기(SMR) 등 많은 호칭이 있으며 여러 가지의 회로 방식이 제안, 검토되고 있다.

PDP Power System에서의 역률 개선 회로는 여러 제안된 방식 중 PWM 제어에 의한 승압 Converter 방식을 주로 적용하고 있다.

2. Sustain power Supply

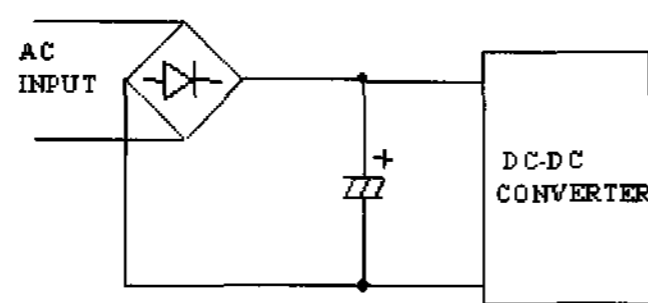
Sustain power 경우 [그림 5]에서와 같이 PDP 전력의 대부분을 공급하는 블럭으로 대용량 고효율의 전원이 반드시 실현 되어야 하는 부분이다. 일반적으로 포워드형 컨버터 혹은 공진형 컨버터가 주로 적용되고 있다.

전자기기용 전원 장치에서 연속 제어방식의 시리즈 드로퍼 대신에 스위칭 전원장치가 대부분 적용되고 있다. 또한 전원 장치에 기본적으로 요구되고 있는 사항이 소형 경량화이다.

전원부에 사용되고 있는 인덕터나 트랜스 등의 자기소자 및 평활 콘덴서는 동작 주파수를 상승 시킴으로서 소형화 할 수 있기 때문에, 스위칭 주파수의 고주파수화는 스위칭 전원의 소형화에 아주 효과적인 방법이며 오늘날 소형 전원부에서는 200~500 KHz까지 채용하고 있다. 실제 연구 분야에서는 MHz대 스위칭을 실현시키고 있다.

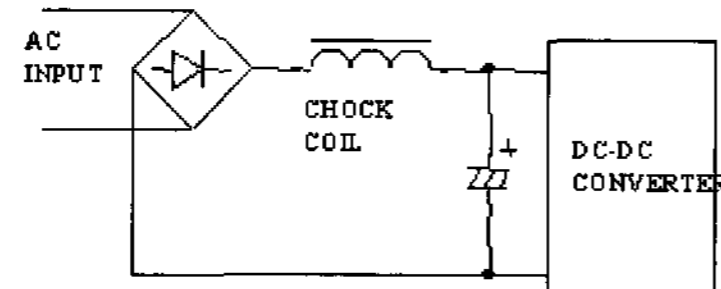
이에 따라 기존의 구형 파형의 스위칭 컨버터에서는 급격한 스위칭에 따른 스위칭 손실 증가 및 서지의 증가로 성능을 유지할 수 없다.

그 대책으로 공진회로를 사용하여 스위칭 소자의 전압 전류 파형을 사인 파형으로 한 공진형 컨버터가 개발되어 주목을 끌고 있다. 물론 공진형 컨버터에도 문제점은 많이 있다. 고주파에 따른 특히 철손의 해석 및 표피 효과 근접 효과



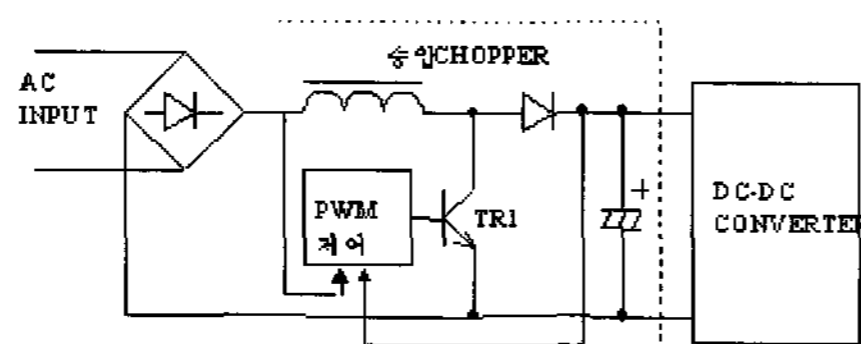
(A) Capacitor input 형 회로

- 입력 역률이 0.55-0.65 정도로 매우 나쁨
- 입력 전류의 고조파 왜곡 발생



(B) CHOKE INPUT 형 정류회로

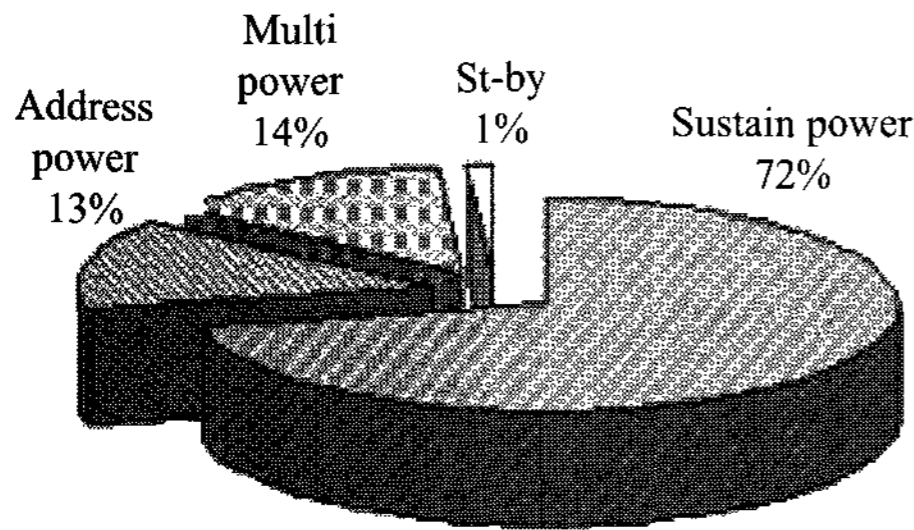
- 회로 구성간단
- 역률 1에 근접 난이
- Chockcoil이 크고 무거움



(C) 승압CHOPPER 방식

- 회로구성 복잡
- 역률 0.95 이상
- Noise 증대
- 2개의 Converter 주파수 상호 간섭
- 대출력용에 적합

[그림 4] PFC 회로 비교



[그림 5] Power 계통별 Consumption Breakdown

과에의 한 동손의 증가 등의 자기소자의 손실이 그것이다. 즉 반도체의 손실은 감소하지만 자기 소자에 상당한 부담을 준다.

그러나 당초 저 에너지 관점에서의 전원의 고 효율화는 필수적이지만 제품에 적용되는 실용 전원에서는 단위체적당 또는 단위 표면적당의 손실 전력을 고려한 소형화가 필요하고 따라서, 방열을 고려한 실장 기술이나 냉각 기술을 고려 시 PDP sustain power는 공진형 컨버터를 계속 적용할 가능성이 높다.

3. Multi power Supply

PDP Power 중 소비전력 면에서 Sustain 계통의 Power 가 대부분을 차지하고 기타 부분은 적으나 출력 특성상 저 전압 대전류를 요구하며 단일 출력이 아닌 복수의 출력을 필요하게 된다.

이를 각기 다른 전원부로 구성할 수도 있으나 이는 많은 공간을 요구하게 된다. 따라서 단일 전원부에서 복수 출력을 구성 하기 용이한 플라이백 컨버터 또는 포워드 컨버터를 주로 적용한다. 플라이백 컨버터 또는 포워드 컨버터는 1차 측의 duty를 control하여 정전압을 유지하기 때문에 복수 출력의 경우 기준 전원의외에 출력은 Post Regulator를 적용한다.

Post Regulator 종류로는 dc-dc converter, Linear Regulator 등을 적용하고 있다.

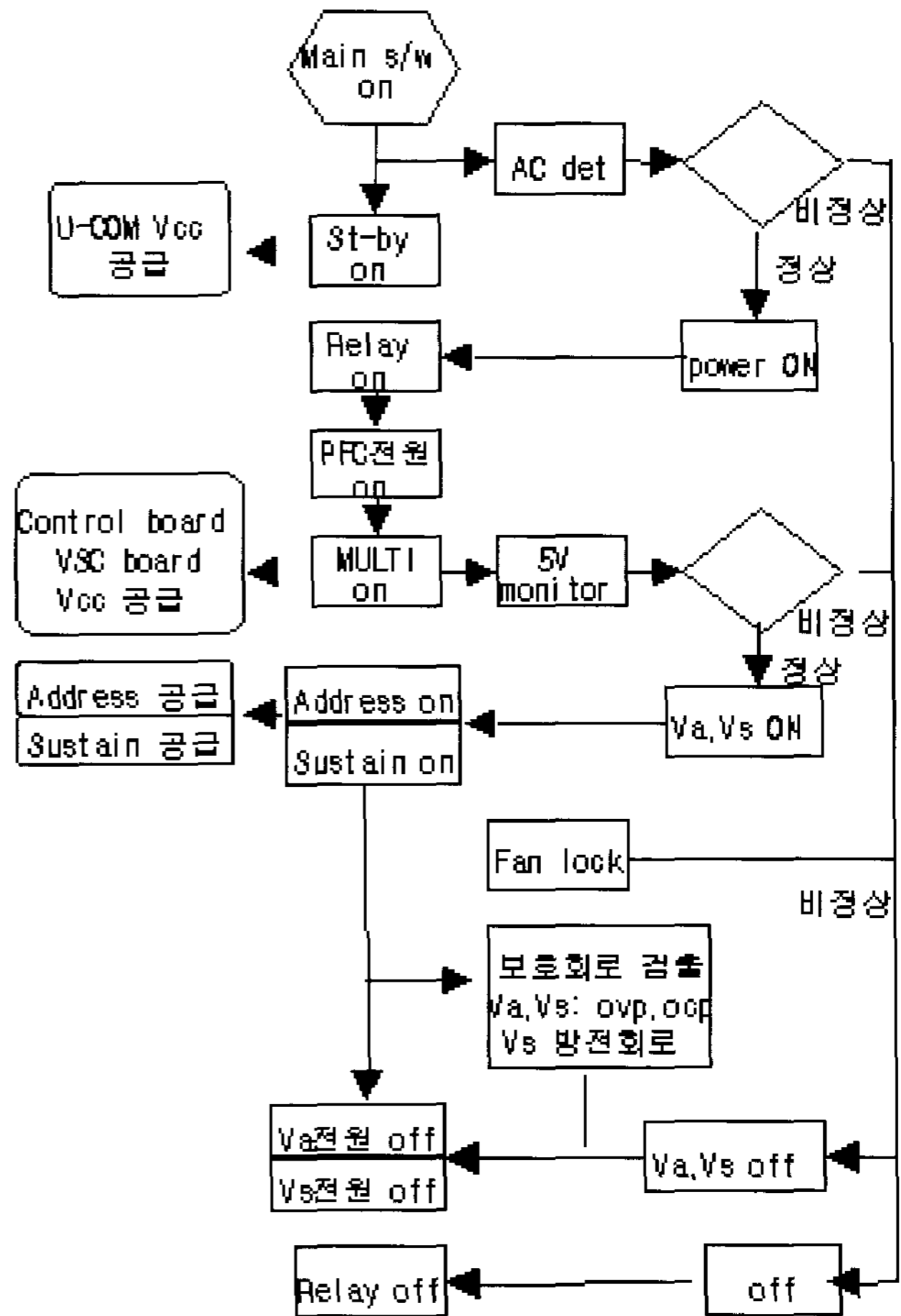
4. PDP 전원의 보호회로 및 Control

PDP 전원의 특징 중의 하나가 panel의 구동부는 수많은 전극에 각각의 필요 전원을 고속 스위칭 하여 공급 하기 때문에 거의 대부분 반도체를 이용한 스위칭 소자로 구성되어 있다. 따라서 이를 보호 하고 초기의 전원 투입 및 제거시 이상 방전을 발생하지 않게하기 위해서는 Panel의 전원 공급시 및 제거시 반드시 전원의 순서를 지켜야 할 필요가 있다.

전원 투입시에는 먼저 신호 처리부, Panel Control부, Address 계통, Sustain 계통의 순으로 전원을 공급하여야 한다.

전원 제거시는 투입시의 역 순서를 만족하여야 한다.

이를 만족하기 위해서는 [그림 6] 같이 각종의 보호회로와 각각의 출력을 모니터링 하는 신호를 필요로 하고 이를



참 고 문 헌

- [1] S. Mikoshiba , “Plasma display 最新技術” , ED research.
- [2] Larry F. Weber, “Plasma display device challenges” Asia display '98, pp.15-23.
- [3] Young-wan Cho, Oh-koung Kwon, “A new Driving Method for High Resolution AC PDP” 電子工學會 論文誌 2001, 7 SC編 4號, pp.45-53.
- [4] S. Sato, Y. Suehiro, “High Efficiency Soft-Switching Threephase PFC convertor” SANKEN社 technical report 99, 12 vol. 31 no. 1, pp.40-49.
- [5] Ned Mohan, Tore M. Undeland, William P. Robbins, “Power electronics” John Wiley & Sons, Inc., 1995, pp.301-348
- [6] G. Chryssis, “High Frequency Switching Powersupplies : Theory and Design”, McGraw-Hill, 1984.
- [7] R. E. tarter, “Principle of Solid Stste Power Conversion”, H. W. Same Co., 1985.