

고속 홈네트워크를 위한 IEEE 802.11a 모뎀 설계와 구현

A Design and Implementation of an IEEE 802.11a Modem for
a Home Network of high speed

서정현, 이재훈, 조경록 · 충북대학교 정보통신공학과 통신회로 및 시스템 설계연구실
박광로 · 한국전자통신연구원 네트워크연구소 홈네트워크팀
Junghyun Seo, Jehoon Lee, Kyoungrok Cho
· Communication Circuit and System Design Lab. Chungbuk Nat'l Univ.
Kwangroh Park · Home Network Team, Network Technology Laboratory, ETRI

요약

본 논문에서 실내환경의 무선통신 표준안으로 고려되는 OFDM(orthogonal frequency division multiplexing)모뎀의 성능 향상을 위해 새로운 설계 방법을 제안하였다. 고속 홈네트워킹에서 요구하는 데이터 전송을 6~54Mbps를 만족하도록 향상된 알고리즘을 이용하여 FFT/IFFT를 설계하였고, 무선환경을 고려하여 파일럿 신호를 이용하는 보다 향상된 채널등화기법과 구조를 제안하였다. 또한 메모리 구조를 가지는 \tan^{-1} 회로를 이용하여 회로의 반송파 옵셋 추정기를 설계하였다. FPGA를 통하여 HDL단계에서 검증하고, 표준라이브러리를 이용하여 ASIC(application specific integrated circuit)으로 구현하였다.

ABSTRACT

In this paper, we propose the new design method for the OFDM based modem that is considered a standard of wireless communication in indoor environments. We

designed a improved FFT/IFFT in order to satisfy a data rate 6~54Mbps required homenetworking of high speed and a improved channel equalization circuit using pilot signals for modile environments. And we designed a carrier offset estimator that uses the \tan^{-1} circuit to organize a memory structure. All steps are verified performance through a FPGA and are implemented ASIC to use a standard library cell.

1. 서론

최근 실내 환경에서 무선 디지털 통신은 특유의 유동성과 이동성의 장점으로 활발한 연구가 진행중이다. 홈네트워킹에도 고속의 무선 방식이 요구되면서, 높은 주파수를 사용하는 기저대역에서 고속 데이터 전송에 적합한 방식으로 다중 반송파를 사용한 OFDM 방식이 활발히 연구되고 있다. 특히 OFDM 방식은 고정적인 채널을 가지면서 고속의 데이터 전송이 가능함으로서 고속 무선 통신을 필요로 하는 홈네트워킹에 잘 부합

된다.

OFDM 시스템에서 IFFT와 FFT는 신호를 변복조 하며, 대량의 데이터를 분산시키는 중요한 역할을 한다. 인접한 신호들을 완전하게 분쇄시킬 뿐만 아니라, 단지 약간의 페이딩 효과만을 가지게 한다.

ISI는 각 데이터 블록에 가드 인터벌(guard interval)을 더함으로써 피할 수 있고, 사용되는 가드 인터벌은 채널의 최대 다중경로 지연시간보다 길어야 한다. 하지만 모든 시스템의 가드 인터벌을 채널 조건에 맞춰서 길게 줄 수는 없고 어느 정도 고정적인 길이를 할당하며 그 이후의 ISI(Inter Symbol Interference) 제거는 등화기에 의존하게 된다. 이를 위해 부가적으로 파일럿 신호를 이용한 새로운 등화기법과 시간영역에서의 등화구조에 관심이 집중되고 있다[1].

OFDM 시스템은 부반송파의 직교성을 이용하므로 무선 채널로 전송된 신호를 정확히 복조하기 위해서는 신호의 시간 동기 및 반송파 주파수 동기가 매우 중요하다[2]. 송신단과 수신단 사이의 오실레이터의 오차와 도플러 주파수 천이 등에 의해 발생하는 반송파 주파수 오프셋은 전체 부반송파간의 직교성에 영향을 주게 되어 부 채널간의 ICI(Inter-Channel Interference), 위상 회전, 크기 감소등의 왜곡이 발생하여 시스템 전체 성능을 저하 시킨다. 본 논문에서는 반송파 주파수 오프셋을 보상하기 위하여 메모리 구조를 갖는 새로운 \tan^{-1} 회로를 제안하고 반송파 주파수 오프셋 추정기에 적용하였다.

무선 실내 네트워크의 성능은 통신채널과 반사 그리고 산란에 의한 신호 왜곡에 의해서 제한된다. 2차원 ray 실내 환경은 5-40ns의 rms 지연 발산에 의해서 특성화 된다. 실내 환경은 움직임이 제한된 객체들에 의해서 동적인 채널은 고려되지 않고, 단지 주파수 선택적 페이딩이 대

부분을 차지하게 되며, 심각한 채널은 고려되지 않는다[3].

현재 무선 홈네트워킹에서는 2GHz 주파수 대역을 사용하는 802.11b가 적용되어 있으나, 11Mbps의 최대 전송 속도로는 멀티미디어 환경을 구축하기가 어려운 단점을 갖는다. 따라서 본 논문에서는 최대 54Mbps의 전송속도를 가지는 OFDM방식의 모뎀을 홈네트워크에 적합하게 설계 및 구현하였다. 본 논문의 내용은 다음과 같이 구성되어있다.

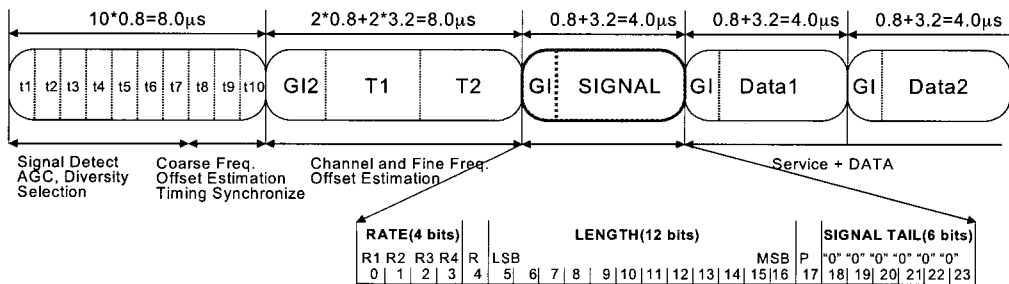
2절에서는 홈네트워크에서 요구하는 물리계층 규격을 설명하였고, 3절에서는 OFDM 모뎀에서 중요한 역할을 하는 주파수 동기블록과 IFFT/FFT, 등화기 등의 구현 구조와 기능에 대해 설명하였다. 4절에서는 FPGA와 ASIC으로 구현한 모뎀을 검증하였고, 5절에서는 결론을 맺는다.

II. OFDM 모뎀 요구 규격

OFDM 시스템은 기본적으로 BPSK, QPSK, 16-QAM, 64-QAM의 변복조 방법을 사용하며 다양한 데이터전송율을 지원한다. 본 논문에서 시스템은 <표 1>의 변조방식을 적용하여 변조된 52개(48개의 OFDM symbol, 4개의 Pilot)의 부반송파를 사용한다. 채널 코딩율이 $R=1/2$, $3/4$ 인 FEC(Forward Error Correction)방식의 콘볼루션을 사용한다[4]. 시스템의 신호 구조를 [그림 1]에서 보여주고, MAC으로부터 [그림 1]처럼 데이터를 받아들인다.

〈표 1〉 Rate 의존 파라미터

Data rate (Mbits/s)	Modulation	Coding rate	Coded bits Per OFDM Symbol(N_{CBPS})	Data bits Per OFDM Symbol(N_{DBPS})
6	BPSK	1/2	48	24
12	QPSK	1/2	96	48
24	16-QAM	1/2	192	96
36	16-QAM	3/4	192	144
54	64-QAM	3/4	288	216



(그림 1) OFDM 신호 구조

Ⅲ. OFDM 모뎀 설계

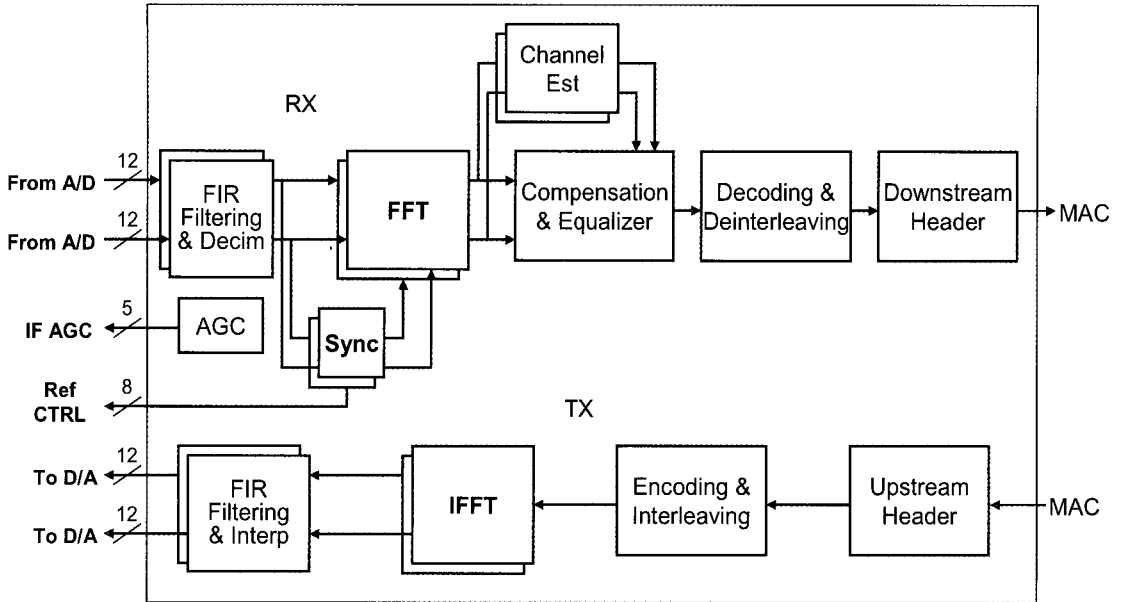
OFDM 모뎀은 크게 송신부, 수신부로 구성되며, 송신부는 프레임 생성기, 채널 인코더, OFDM 변조기로 구성되고 수신부는 동기부, OFDM 복조기, 채널등화기, 채널디코더, 프레임 제거기 등으로 구성된다. 모뎀의 블록 다이어그램은 [그림 2]와 같다.

1. PPDU 프레임 생성기/제거기

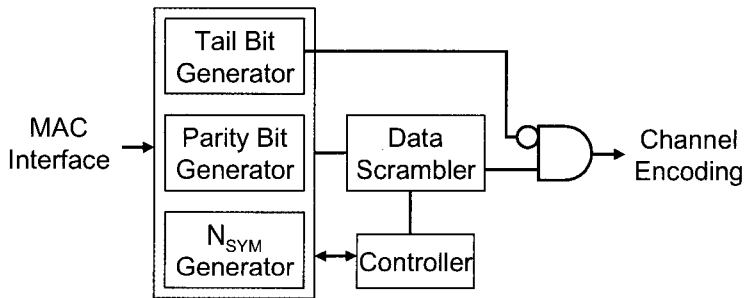
송신부의 PPDU(Physical Protocol Data Unit) 프레임 생성기의 기능은 PPDU 헤더 생성, 헤더에 대한 패리티 비트 생성, PSDU Tail/Pad 비트 생성, 프레임 심볼수 계산, 데이터 스크램블링 등

이며, PPDU 프레임 생성기는 [그림 3]과 같다. 수신부의 PPDU 프레임 제거기의 기능은 패리티 검사, 프레임 심볼수 계산, 데이터 디스크램블링 등이 있다[4].

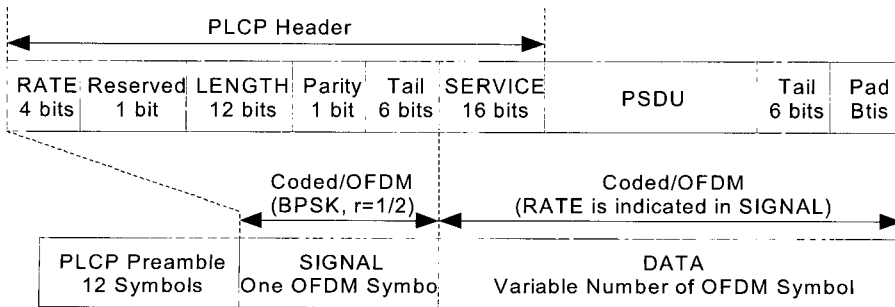
PPDU 프레임 구조는 [그림 4]와 같고, SIGNAL이라고 하는 하나의 OFDM 심볼은 Length, Rate, Reserved bit, Parity bit, 그리고 6개의 Tail bits로 구성되며 송신은 BPSK 변조방식을 사용한다. DATA라고 하는 여러 개의 OFDM 심볼은 PLCP 헤더의 Service 필드와 PSDU와 6개의 Tail bits로 구성되며 송신은 Rate 필드에 정의된 내용을 통해 변조방식과 데이터 속도가 결정된다. 특히, DATA Tail과 Pad 비트의 위치는 Rate와 Length 필드를 이용하여 연산해야 하고, 심볼수와 Pad 비트수는 식 (1)로 구한다[4].



(그림 2) OFDM 모뎀의 블록 다이어그램



(그림 3) PPDU 프레임 생성기



(그림 4) PPDU 프레임 형식

$$N_{SYM} = Ceil\left(\frac{16 + 8 \times LENGTH + 6}{N_{DBPS}}\right)$$

$$= Ceil(Q + R) = \begin{cases} Q + 1, & R \neq 0 \\ Q, & R = 0 \end{cases} \quad (1)$$

$$N_{DATA} = N_{SYM} \times N_{DBPS}$$

$$N_{PAD} = N_{DATA} - (16 + 8 \times LENGTH + 6)$$

N_{SYM} 은 생성될 심볼수이고, Q 는 계산된 심볼을 나타내는 몫이고, R 은 나머지를 나타낸다. $Ceil(x)$ 함수는 x 보다 크거나 같은 가장 작은 정수를 구할 수 있으며, N_{DATA} 는 생성되는 데이터필드의 비트 수이고, 심벌의 나머지 공간에 패드비트 N_{PAD} 만큼 삽입된다.

$$S(x) = x^7 + x^4 + 1 \quad (2)$$

데이터 스크램블러의 생성 다항식은 식 (2)와 같고, 127비트 시퀀스를 반복적으로 발생시키는 [그림 5]의 구조를 갖는다. 데이터 스크램블링은 SERVICE 필드 이후의 데이터, 즉 PSDU부터 적용되고, Tail 비트에서는 '0'을 출력해야 한다. 또한 OFDM 모뎀에서는 6~54Mbps의 가변적 데이터 속도를 지원하기 때문에 스크램블러/디스크램블러는 데이터 속도에 따라 동작속도가 달라진다.

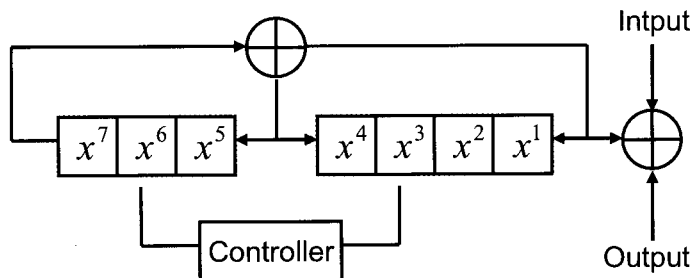
2. 채널 인코딩/디코딩

송신부의 채널 인코더는 콘볼루션널 인코더와 인터리버로 구성되고, 수신부의 채널 디코더는 디인터리버와 비터비디코더로 구성되어 있다. 송신부의 PPDU 프레임 생성기의 출력은 콘볼루션널 인코더에 의해서 코딩율 $R=1/2$ 과 $2/3$ 로 부호화되며, 다항식은 식 (3)과 같고 [그림 6]의 구조를 갖는다[4].

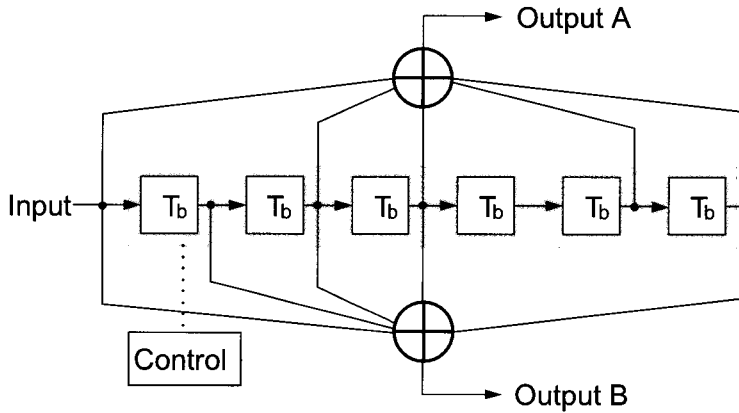
$$\text{Output } A: g_0 = 133_8$$

$$\text{Output } B: g_1 = 171_8 \quad (3)$$

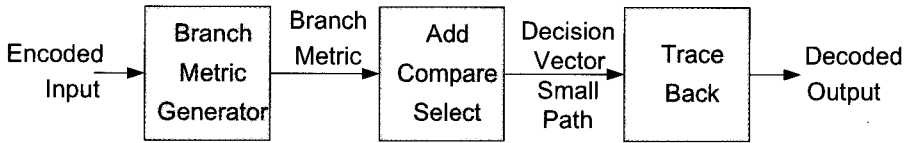
길쌈 부호기와 Viterbi 복호기는 우수한 오류정정 능력 때문에 위성통신과 Digital Cellular System, 등에 널리 사용되고 있다. 길쌈 부호의 특징은 백색잡음(AWGN) 채널에서 오류정정 능력이 특히 우수하다. Viterbi 알고리즘은 Branch Metric(BM)과 Path Metric(PM)이라는 변수를 통해 최대유사디코딩을 수행한다. Viterbi 알고리즘의 디코딩은 트렐리스의 각 상태에 연속적인 입력값에 대해 PM과 BM을 가산하여(add) 작은 값의(compare) PM을 선택하고(select), 이에 대한 경로 정보(decision bit)를 저장한다. 이런 과정을 통



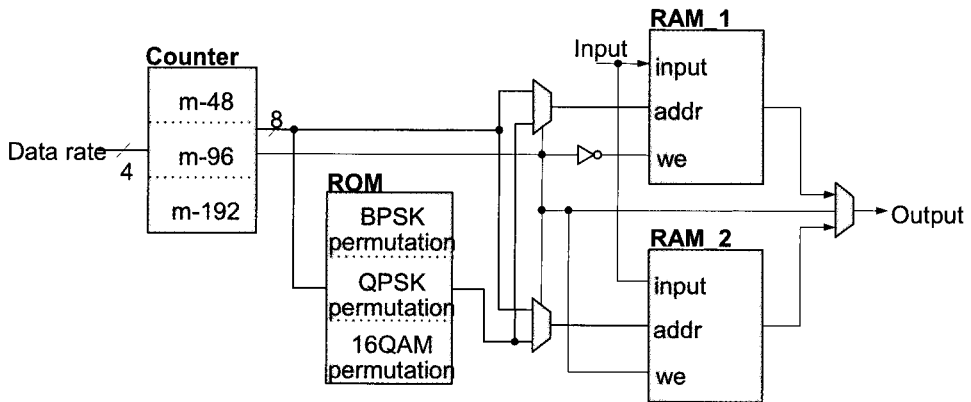
(그림 5) 스크램블러/디스크램블러의 구조



(그림 6) 콘볼루션널 인코더의 구조



(그림 7) Viterbi 디코더



(그림 8) 인터리버/디인터리버의 구조

해 모아진 경로 데이터를 일정시간 후부터 다시 거슬러 올라가(trace back) 최소 경로를 찾아가게 된다. 이때 선택된 경로가 디코딩 결과로 출력된다. 일정시간은 데이터가 디코딩 깊이 즉, 레지스터 수만큼을 뜻한다. 디코딩 깊이 이전에는 유효하지 않은 데이터가 출력되며 디코딩 깊이 이후

부터는 연속적인 데이터가 출력된다.

Viterbi 디코더의 사양은 디코딩 깊이는 40이고 경성판정을 사용하였다. Viterbi 디코더의 전체 구조는 [그림 7]과 같이 크게 BMG(Branch Metric Generator), ACS(Add-Compare-Select), TB(Track Back)의 세 부분으로 구성된다.

인터리버와 디인터리버는 각각 두 개의 교환 순열로 정의되며, 두 순열을 조합하면 데이터 전송율에 따라 48, 96, 192, 288 길이를 갖는 수의 배열이 되며, 이는 한 개의 OFDM 심볼 내에서 데이터의 순서를 뒤섞는 역할을 한다. 인터리버와 디인터리버의 구조는 (그림 8)과 같이 카운터, ROM, RAM으로 이루어져 있고, 데이터 전송율에 따라 접근하는 카운터와 ROM이 달라지고, RAM은 데이터 전송율에 관계없이 공유한다.

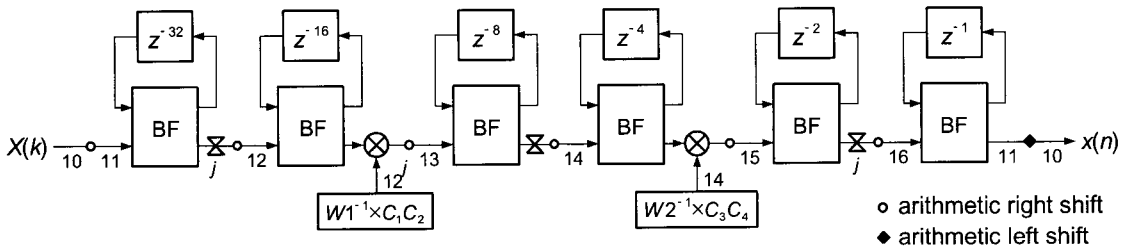
3. OFDM 변조기/복조기

송신부의 OFDM 변조기는 변조 맵핑, FFT, 보호구간 삽입, 심볼 웨이브 셰이핑 등으로 이루어져있고, 수신부의 OFDM 변조기는 보호구간 제거, IFFT, 복조 디맵핑 등으로 구성된다.

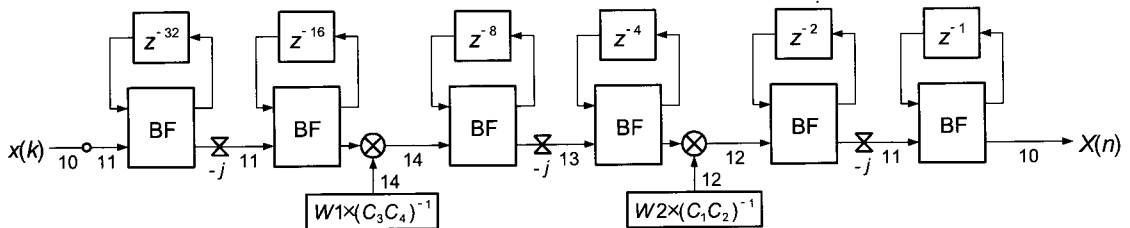
변조 맵핑/복조 디맵핑 블록에서는 채널 코딩 블록으로부터 전송된 데이터를 IFFT/FFT하기 적절한 데이터로 바꾸는 역할을 한다. 이는 부채널

을 주파수를 고려한 심볼내 '데이터 순서 변환'과 클럭 주파수를 고려한 '데이터 클럭 변환' 그리고 '부반송파 복조 맵핑(Subcarrier Modulation Mapping)'이 있다. 데이터 순서 변환은 쓰기/읽기 주소가 다른 DP-RAM(dual port RAM)을 이용하고, 주파수영역에서 dc-offset값이 있는 0번째 캐리어가 시간영역의 중심으로 보내지게 된다. 데이터 전송율에 따라서 다양한 데이터 클럭이 필요하며, 최소 6MHz에서 최대 72MHz의 클럭이 필요하다. 데이터 클럭변환은 쓰기/읽기 클럭 및 주소가 다른 DP-RAM으로 설계하였다.

IFFT와 FFT는 64포인트이며 Radix-2² 알고리즘을 이용하였다. IFFT/FFT의 구조는 총 6단계의 주파수 축음 연산과정과 마지막에 출력의 순서를 정렬하는 RAM으로 이루어져 있고, (그림 9)와 같이 구성되어 있다. 64-QAM 모드에서의 동작을 위해 알고리즘과 회로의 개선이 수행되었다.



(a) IFFT의 블록도



(b) FFT의 블록도

(그림 9) Radix-2² IFFT와 FFT의 구조

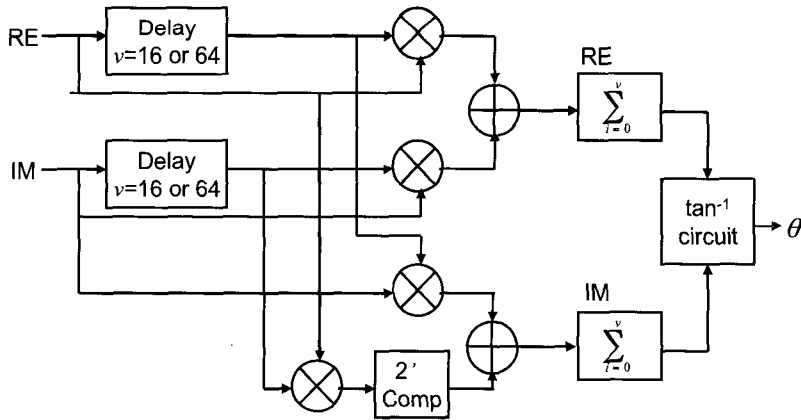
4. 동기부

OFDM 방식의 성능을 좌우하는 것이 동기부이다. 동기부는 심볼 동기와 반송파 주파수 동기로 나누어지며, 모두 훈련신호를 이용하여 동기를 맞춘다. 심볼 동기는 수신된 신호와 짧은 훈련신호(short training signal)의 상호상관함수를 이용하여 구해진다. 식(4)와 (5)에서 심볼동기와 주파수 동기에 관한 상관관계를 보여준다. $x(n)$ 은 송신측 short 훈련 신호이고, $y(n)$ 은 수신측의 신호이다. 상관관계를 통하여 심벌의 동기점을 찾게 된다. N 은 64-carrier, D 는 훈련신호의 수, $y(k)$ 는

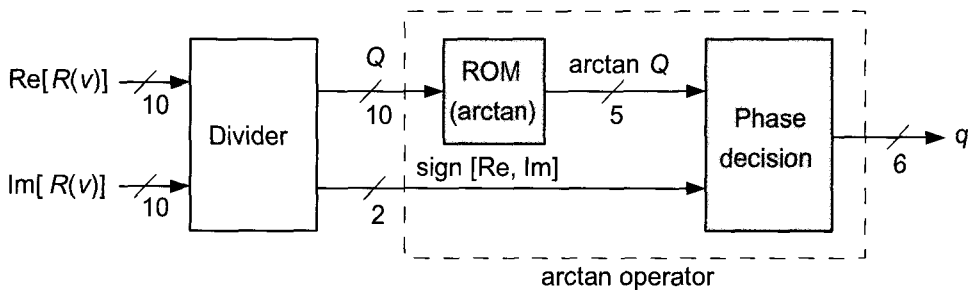
수신된 훈련신호이다. OFDM 시스템에서 요구하는 반송파 주파수 동기의 허용 오차는 부반송파(subcarrier) 간격의 1%이내 이어야 한다. 따라서 IEEE 802.11a 무선랜의 부반송파 사이의 간격은 312.5kHz 이므로, 허용되는 오차는 0.3125kHz 이내 이어야 한다[4,7].

$$\delta = \max \left| \sum_{n=0}^{15} x^*(n)y(k+n) \right| \tag{4}$$

$$\theta = \frac{N}{2\pi \times D} \angle \left(\sum_{k=0}^D y^*(k)y(k+D) \right) \tag{5}$$



(그림 10) 반송파 주파수 오프셋 추정기의 블록도



(그림 11) tan⁻¹ 회로

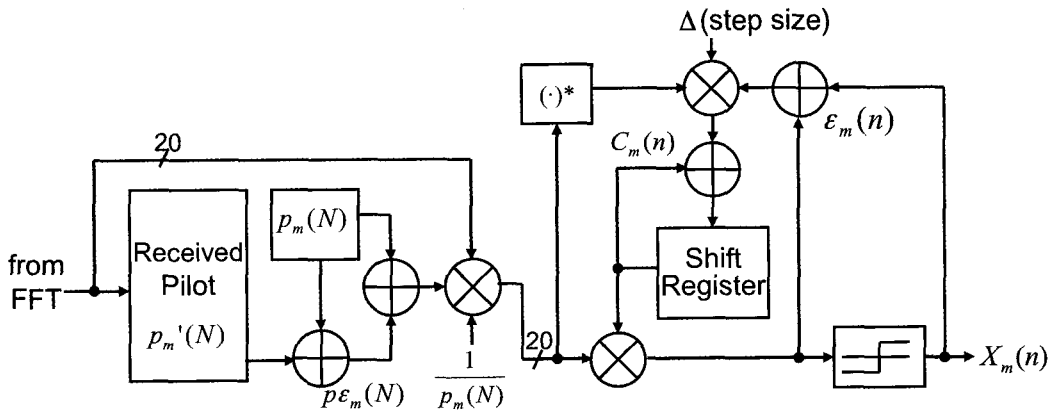
본 논문에서의 RM 회로는 자기 상관 함수의 결과를 argument 연산하여 수신된 신호의 반송파 주파수 오프셋의 양을 추정한다. [그림 10]에서 제안된 반송파 주파수 오프셋 추정기의 블록도를 보여주며, [그림 11]의 제안된 회로는 나눗셈 연산기, RM ROM, 위상 결정기로 구성되어 있다[6]. 나눗셈 연산기는 상관함수기로 구한 실수부와 허수부의 나눗셈 연산을 처리하고, RM ROM은 나눗셈기의 몫을 이용하여 $0 \sim \pi/2$ 까지의 위상을 얻어낸다. 이 결과를 이용하여 위상 결정기에서 RM 회로 입력의 실수부와 허수부의 부호를 이용하여 각 사분면을 결정하여 $-\pi \sim \pi$ 의 위상을 출력한다.

구현한 회로는 크게 나눗셈 연산부와 RM ROM, 위상 결정기로 구성되며, 동작 속도는 $0.35\mu\text{m}$ CMOS공정에서 $0.475\mu\text{s}$ 이며, RM 전단의 상관 연산기의 지연이 $0.2\mu\text{s}$ 이므로 반송파 주파수 오프셋 추정기는 $0.675\mu\text{s}$ 에서 동작을 한다. 이는 IEEE 802.11a 데이터 포맷의 보호구간의 시간인 $0.8\mu\text{s}$ 보다 짧으므로 FFT 연산이 이루어지기 전에 데이터의 손실이 없이 반송파 주파수 오프셋을 보정이 가능하다. 제안된 구조는 초기 반송파 주파수 동기화 및 미세 반송파 주파수 동기화에 RM

회로를 공유하여 사용이 가능하다. FPGA로 구현된 회로는 AWGN 5dB에서 초기 반송파는 $\pm 625\text{kHz}$, 미세 반송파는 $\pm 156.25\text{kHz}$ 의 측정 범위를 보였으며 이는 IEEE 802.11a WLAN 규격을 충분히 만족하고 있다.

5. 채널 추정과 등화기

OFDM 시스템은 높은 반송파 주파수를 사용하며, 고속 데이터 전송 서비스를 제공하는 반면 도플러 페이딩 주파수(doppler fading frequency)는 신호를 감쇄시키며 채널 추정 성능을 저하시킨다. 새로운 채널 보상 알고리즘은 파일럿 신호를 사용하는 새로운 구조로 구현되었다. 기존의 방법과는 달리 파일럿 신호를 이용해서 페이딩에서 생긴 왜곡을 먼저 보상하고 채널과 심벌의 간섭을 단일탭 등화기로 제거하였으며, 파일럿 신호를 이용한 채널 보상회로에 나눗셈기가 적용되지 않으면서 향상된 성능을 얻을 수 있는 알고리즘을 제안하여 회로의 동작속도와 크기에서 이익을 얻는다. 알고리즘 수식의 전개는 식(6)과 같으며 $h_m(N)$ 은 채널 등답이고, $p\epsilon_m$ 은 채널의 에러이며, $p_m(N)$ 은 송신측의 파일럿 신호로 $(x + jy)$ 로



(그림 12) 주파수 영역의 등화기 구조

표현할 수 있다. 수신된 파일럿 신호를 $p'_m(N)$ 이라 했을 때 $(x' + jy')$ 으로 표현된다[5].

$$\begin{aligned}
 p\epsilon_m(N) &= p'_m(N) - p_m(N) \\
 \frac{1}{h_m(N)} &\approx \frac{p_m(N) - p'_m(N) + p_m(N)}{p_m(N)} \\
 &= \frac{2(x + jy) - (x' + jy')}{x + jy} \quad (6) \\
 &= \frac{1}{x}(2x - x' - jy') = \alpha(2x - x' - jy')
 \end{aligned}$$

[그림 12]에서 보여지듯이 시간영역 DFE를 제외한 주파수 영역 채널 보상회로만을 포함하기 때문에 전반부의 파일럿 채널을 이용한 채널추정 및 보상회로와 후반부의 단일탭 등화기로 구성된다. 본 논문에서 제안된 방법은 채널 보상회로는 간단하게 구현할 수 있는 이점을 갖고, 전력과 속도뿐만 아니라 알고리즘 측면에서도 시스템 성능 향상을 얻을 수 있다. 높은 데이터 전송율을 갖는 고속의 데이터 전송서비스에서 무선환경을 극복하기 위해 파일럿 채널을 적용하며, 기존의 채널 보상 회로에 비교해서 20%에 해당하는 회로 크

〈표 2〉 주파수 영역에 사용된 채널 보상 회로 비교(5)

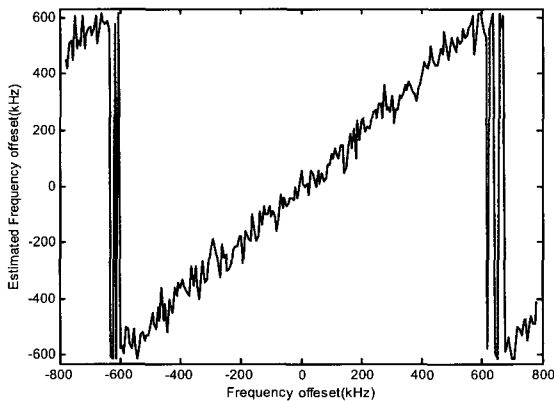
Value	Conventional	Proposed
Circuit(bits)		
Complex divider(10/10)	1	0
Complex multiplier(10×10)	5	2
Multiplier(10×10)	0	1
Adder(10+10)	2	4
Square(10)	1	0

기로 향상되거나 같은 성능을 얻을 수 있었다.

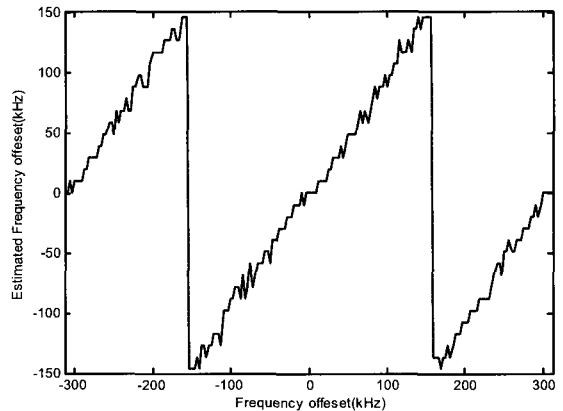
〈표 2〉에서 기존의 방법과 비교한 제안된 채널 보상회로의 구조를 보인다. 구현된 ASIC에서 최대 48MHz의 동작주파수를 가졌고, 다중 변복조 방식에 알맞게 동작하여 만족할수 있는 성능을 얻을 수 있었다.

IV. 성능분석 및 실험결과

[그림 13]은 AWGN 5dB에서 반송파 주파수 오프셋 추정 성능이다. 반송파 주파수 오프셋의 양은 정규화된 주파수 오프셋을 -1.0부터 0.01씩 1.0까지 증가시켰다. [그림 13-b]에서 초기 반송파 주

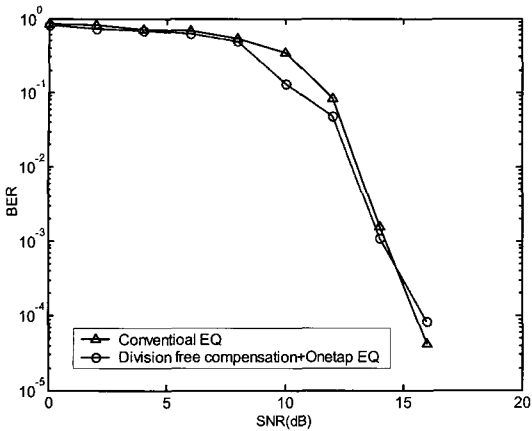


(a) 초기 반송파 주파수 오프셋

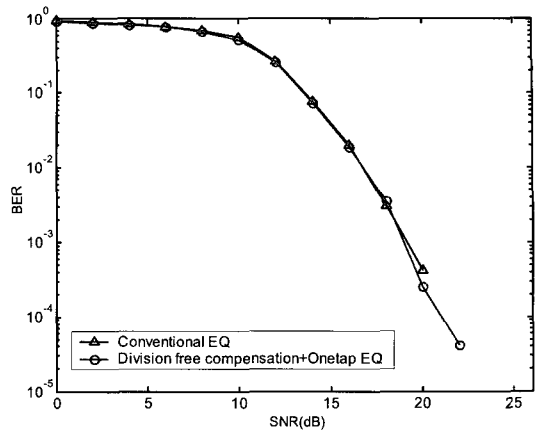


(b) 미세 반송파 주파수 오프셋

(그림 13) 반송파 주파수 오프셋 성능 곡선(AWGN 5dB)

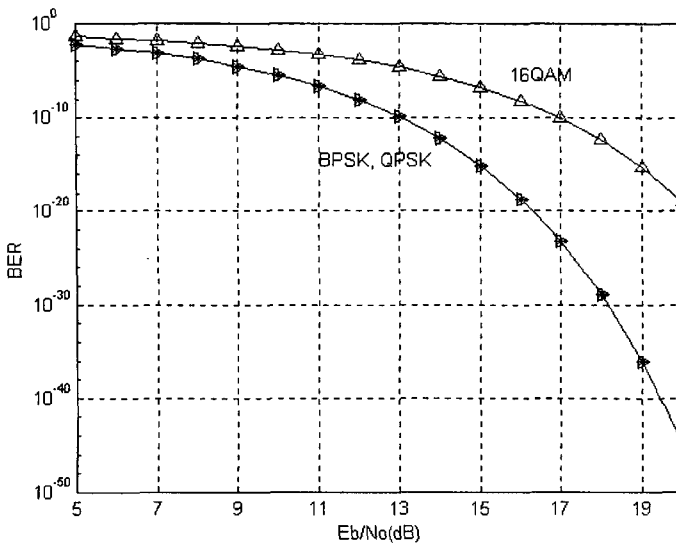


(a) 16-QAM



(b) 64-QAM

(그림 14) AWGN 환경에서의 등화기 출력비교



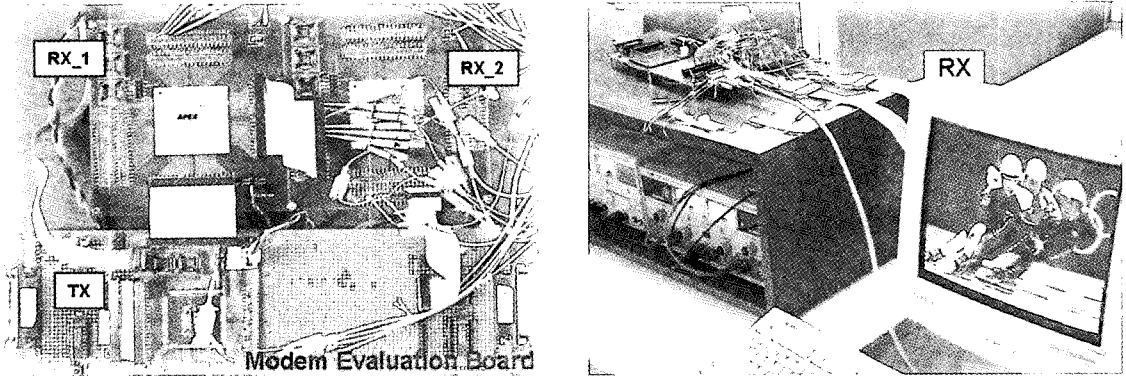
(그림 15) OFDM모뎀 시스템의 전체 성능 곡선

과수 읍셋의 경우보다 잡음에 의한 영향이 작음을 확인할 수 있다. 이는 초기 반송파 주파수 읍셋 추정은 16개의 훈련신호에 대한 상호 상관 함수의 결과를 사용하며, 미세 반송파 주파수 읍셋 추정은 64개의 훈련 신호에 대한 상호 상관 함수의 결과를 사용하였기 때문이다[6].

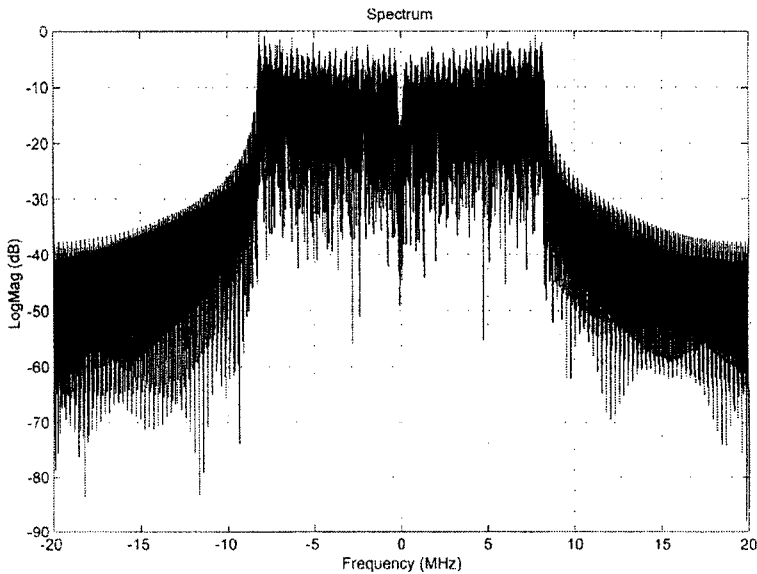
[그림 14]는 최대의 데이터 전송속도를 낼 수

있는 64-QAM을 미세한 페이딩 채널에서 수신부의 채널보상회로의 출력을 시뮬레이션 한 BER곡선이다. 제안된 알고리즘은 근사값을 채널 보상에 적용하였으나, 고속전송에서 기존의 방법과 동일한 성능을 보였다[5].

FPGA를 이용한 모뎀전체의 성능분석은 송.수신단의 Coder 동작속도로 인해서 16-QAM까지



(그림 16) FPGA 테스트 보드에서의 영상전송



(그림 17) 송신단 출력의 스펙트럼곡선

수행하였다. 64-QAM 방식의 만족스러운 성능평가는 ASIC에서 가능하다. [그림 15]는 OFDM 방식 모뎀전체의 성능곡선을 보여준다. E_b/N_0 20dB에서 16-QAM의 경우 BER은 10^{-20} 정도가 된다.

FPGA테스트에 사용된 HDL과 게이트 레벨 그리고 back-annotation 작업에 의해서 얻어진 netlist는 초기에 알고리즘 검증에 위하여 사용되었던 Matlab의 입력데이터를 이용하여 테스트 백

터로 검증되었다. Annotation과정에서 생성되는 모든 단계는 Matlab의 출력데이터와 비교되었고 같은 성능으로 검증되었다. 라우팅시 생성되는 SDF파일을 이용하여 데이터와 컨트롤 신호의 지연시간을 첨부하여 verilog-XL에서 데이터 플로우를 확인하였다. [그림 16]은 FPGA에서의 테스트 보드와 영상전송 실험을 보여준다.

정보가전기기에 맞는 실험을 위해 영상 이미지를 이용하여 멀티미디어에 적용이 가능한지 검토

하였으며, 실험에 사용된 영상데이터는 16QAM 변조방식을 이용하였다. 실험 조건은 $10\text{dB } E_b/N_0$ 에 영상데이터 $16384(2^{14})\text{octets}$ 의 데이터를 넣었으며, FPGA에서의 실시간적인 클럭한계 속도로 인해서 실제 동작을 축소하여 테스트 하였다. 각 전송율에서 OFDM 모뎀은 정상 동작하였고, BER은 10^{-5} 이었다.

송신단의 FIR 필터 처리후에 D/A된 출력 데이터를 스펙트럼 분석기를 이용하여 본 결과를 [그림 17]에서 보여준다. 스펙트럼의 가운데와 양쪽에 DC 오프셋값이 들어가 있음을 확인할수 있고, 대역폭은 16.6MHz를 가진다.

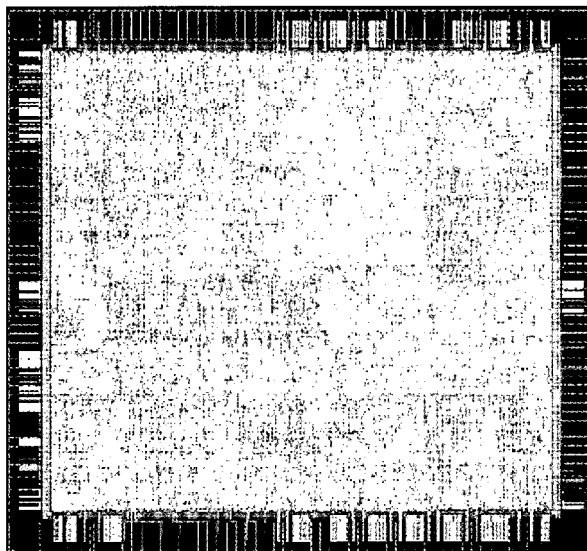
Matlab으로 검증된 OFDM 무선랜 변복조 알고리즘은 synopsys를 이용하여 표준셀라이브러리로 합성하였고, Verilog-XL을 이용하여 합성된 회로를 시뮬레이션 하여 검증하였다. 이런 단계를 거쳐 검증된 회로는 Samsung 0.35 μm semicustom CMOS 208pin공정을 이용하여 제작되었으며, LVS 단계에서 최대 80MHz의 동작속도를 가졌으며 제안된 알고리즘 및 회로는

Matlab에서의 시뮬레이션 결과와 동일하였다. [그림 18]에서 Frame cell에서 place & routing된 layout plot을 보여준다.

V. 결론

OFDM 기반의 모뎀은 최대 54Mbps의 전송속도로 무선랜을 이용하는 여러분야에 적용되고 있다. 홈네트워킹은 채널환경이 평이하면서 고속의 멀티미디어 전송을 요구하기 때문에 현재 OFDM 모뎀은 실내환경의 가정정보 응용 사업에 큰 아이템으로 떠 오르고 있다. 64-QAM 방식에서 54Mbps의 데이터 전송기술은 시스템에 높은 효율을 가져오는 반면 설계와 구현 단계에서는 고도의 기술을 필요로 한다.

논문에서 구현된 시스템은 기존의 OFDM방식 모뎀에 성능향상을 위한 고속의 FFT/IFFT를 이용하고, 다중경로 채널과 페이딩에 강한 새로운 채널 보상기법과 등화기 그리고, RM기법을 이용



(그림 18) OFDM Modem Samsung 0.35 μm semicustom CMOS layout plot

한 동기회로등 개선된 알고리즘을 이용하여 성능 향상을 도모하였다. FPGA 테스트 단계에서 모든 라이브러리를 표준화하여 140만게이트의 크기를 가졌고, 디지털 모뎀 전체를 삼성 0.35 μ m CMOS공정으로 제작하였다.

저자 소개



서정현

2001년 2월 충북대학교 전기전자공학
부 학사

2001년 3월~현재 충북대학교 정보통신공학과 석사과정

관심분야 : 통신회로, 무선랜,
반도체설계



이제훈

1998년 2월 충북대학교 정보통신공학과 학사

2001년 2월 충북대학교 정보통신공학과 석사

2001년 3월~현재 충북대학교 정보통신공학과 박사과정

관심분야 : 홈 네트워크, 통신용 ASIC 설계



박광로

1982년 경북대학교 전자공학과(학사)

1985년 경북대학교 대학원(석사)

2002년 충북대학교 대학원(박사)

1984년~현재 ETRI 네트워크연구소
홈네트워크팀장(책임
연구원)

관심 분야 : 홈 네트워크 기술, 무선LAN 기술, VoIP 기술, L-Biz



조경록

1977년 경북대학교 전자공학과 공학사

1989년 일본 동경대학교 전자공학과 공학석사

1992년 일본 동경대학교 전자공학과 공학박사

1979년~1986년 (주)금성사 TV연구소 선임연구원

1992년~현재 충북대학교 정보통신공학과 부교수

관심 분야 : VLSI 시스템설계, 통신 시스템용 LSI 개발, 고속 마이크로프로세서 설계

■ 참고문헌

- [1] Y. Sun, "Bandwidth-efficient wireless OFDM," *IEEE J. Select. Areas Commun.*, vol. 19, no. 11, pp. 2267-2278, Nov. 2001.
- [2] T. Pollet, M. van Bladel and M. Moeneclaey, "BER sensitivity of OFDM systems to carrier frequency offset and Wiener phase noise," *IEEE Trans. On Commun.*, vol.43, no.2/3/4, pp.191-193, Feb/Mar/Apr. 1995.
- [3] S. A. Fechtel, "A novel approach to modeling and efficient simulation of frequency-selective fading radio channels," *IEEE J. Select. Areas Commun.*, vol. 11, no. 3, pp. 422-431, Apr. 1993.
- [4] *WLAN MAC and PHY Specifications : High-speed Physical Layer in the 5 GHz Band*, IEEE Std 802.11a Supplement to IEEE Std Part 11, Sep. 1999.
- [5] Junghyun Seo, et al., "An improved channel estimation technique in OFDM based modems," *ITST2002*, Nov. 2002.
- [6] Suyoung Kim, et al., "Design of an \tan^{-1} circuit for the carrier frequency offset compensation of IEEE 802.11a PHY," *APSOC2002*, Nov. 2002.
- [7] P. H. Moose, "A technique for orthogonal frequency division multiplexing frequency offset correction," *IEEE Trans. On Commun.*, vol.42, no.10, pp.2908-2914, Oct. 1994.
- [8] S. Trautmann and N. J. Fliege, "A new equalizer for multitone systems without guard time," *IEEE Commun. Letters*, vol. 6, no. 1, pp. 34-36, Jan. 2002.
- [9] J. Rinne, "An equalization method using preliminary decision for orthogonal frequency division multiplexing systems in channels with frequency selective fading," *IEEE Conf. Veh. Techno.*, vol. 3, pp. 1579-1583, May. 1996.
- [10] H. Boumard and A. Mammela, "Channel estimation versus equalization in an OFDM WLAN system," *IEEE Conf. Veh. Techno.*, vol. 1, pp. 653-657, 2001.
- [11] J. Lu, T. T. Tjhung, F. Adachi and C. L. Huang, "BER performance of OFDM-MDPSK system in frequency-selective Rician fading with diversity reception," *IEEE Trans. Veh. Techno.*, vol. 49, no. 4, pp. 1216-1225, Jul. 2000.
- [12] T. Pollet and M. Moeneclaey, "Synchronizability of OFDM signal," in *Proc. Globecom '95*, vol.3, pp.2054-5058, Nov.1995
- [13] R. van Nee and R. Prasad, *OFDM for Wireless Multimedia Communications*, Boston, London : Artech House, Jul. 2000
- [14] J. J. van de Beek, M. Sandell, and P. O. Borjesson, "ML estimation of time and frequency offset in OFDM systems," *IEEE Trans. on Commun.*, vol. 45, no. 7, pp. 1800-1805, Jul. 1997.
- [15] IEEE, Binary Floating-point Arithmetic, IEEE standard 854, Aug. 1985.
- [16] John P. Hayes, *Computer Architecture and Organization*, McGRAW-HILL, 1988.
- [17] Waser, S., and M. J. Flynn, *Introduction to Arithmetic for Digital System Designers*, Holt, Rinehart, & Winston, 1982.