

論文2002-39TC-11-6

CPW MMIC 칩 실장을 위한 실리콘 MEMS 패키지 설계

(Design of Silicon MEMS Package for CPW MMICs)

金鎮良*, 金成鎮*, 李海英*

(Jin-Yang Kim, Sung-Jin Kim, and Hai-Young Lee)

요약

본 논문에서는 CPW MMIC 실장시 발생하는 기생 공진 현상을 제거하기 위한 새로운 구조의 실리콘 MEMS 패키지를 제안하였다. 또한 세 가지 형태의 실리콘 칩 캐리어(gold-plated high resistivity, lightly doped, high resistivity) 상에 GaAs CPW 패턴을 제작하고 해석/측정함으로써, 제안된 패키지의 성능을 확인하였다. 해석 및 측정 결과 제안된 MEMS 패키지는 비저항이(resistivity) $15 \Omega \cdot \text{cm}$ 인 실리콘 캐리어(carrier)를 사용함으로써 기생 공진 현상을 효과적으로 억제시킬 수 있었다.

Abstract

A MEMS(Micro Electro Mechanical System) package using a doped-silicon(Si) carrier for coplanar microwave and millimeter-wave integrated circuits is proposed in order to reduce parasitic problems of leakage, coupling and resonance. The proposed carrier scheme is verified by fabrication and measuring a GaAs CPW(Coplanar Waveguide) on the three types of Si-carriers(gold-plated high resistivity, lightly doped, high resistivity). The proposed MEMS package using the lightly doped($15 \Omega \cdot \text{cm}$) Si-carrier shows parasitic-free performance since the lossy Si-carrier effectively absorbs and suppresses the resonant leakage.

Keywords : MEMS, CPW, HRS, PPL, Resonance

I. 서론

현재까지 무선통신 시스템은 사용주파수와 대역폭이 날로 높아져 왔으며, 수 년 전부터는 밀리미터파 대역의 회로 설계 기술까지도 활발히 연구되어지고 있는 실정이다. 특히 차량 충돌방지 시스템, 초고속 무선 LAN(Local Area Network) 그리고 LMDS(Local Multipoint Distribution Service)와 같은 초고주파 및 밀리미터파 통신 시스템들은 개발의 필요성과 막대한 시장성이 이

미 검증되었으며, 따라서 저가격/고성능의 집적회로 및 실장 기술이 절실히 요구되어지고 있다^[1]. 최근 이러한 밀리미터파 집적회로로서, flip-chip과의 호환성이 우수하고 웨이퍼 thinning을 위한 추가적인 후면공정(backside processing)이 필요 없으며 고주파 분산효과(dispersion effect)가 작은 CPW기반의 MMIC소자 개발이 크게 증가하고 있다^[2]. 그러나 이와 같은 MMIC 설계 기술수준에 비해 설계된 MMIC 칩의 실장 기술은 매우 낙후되어 있으며, 그 결과 패키지 성능에 의해 시스템 전체의 성능을 저하시키는 결과를 초래하였다^[3]. 결과적으로, 최적화된 밀리미터파 시스템 개발을 위해서 MMIC 설계 기술과 함께 병행되어야 할 중요한 과제가

* 正會員, 亞洲大學校 電子工學部

(Department of Electronics Engineering, Ajou University)

接受日字:2002年4月9日, 수정완료일:2002年10月17日

실제된 회로와 시스템에 적합한 저가격/고성능의 패키징 설계 기술개발이라 할 수 있다.

현재 초고주파 및 밀리미터파 대역의 패키징으로써는 세라믹이 주로 사용되어지고 있으며, LTCC(Low Temperature Co-fired Ceramic) 공정을 이용하여 제작되었다. 세라믹 패키지는 급전선로의 고주파 전송특성이 우수하다는 장점을 가지고 있으나, 가공이 복잡하고 공정 가격이 높을 뿐만 아니라 재료자체의 열 전도율이 매우 낮다는 단점을 지니고 있다. 반면 실리콘을 이용한 MEMS 패키지는 기본적으로 HRS(High Resistivity Silicon : 4-7 k Ω ·cm) 기판을 사용함으로써 기존의 MEMS 공정을 통한 미세 가공이 쉽고 열 전도율도 우수할 뿐만 아니라, GaAs와 비견할만한 고주파 특성을 갖는다는 장점들을 지니고 있다^[4-5]. 따라서 실리콘 MEMS 패키지를 이용한 CPW MMIC의 실장기술은 저가격/고성능 초고주파 및 밀리미터파 시스템 구현을 위

한 이상적인 조합이라 할 수 있다. 그러나 일반적으로 CPW 형태의 회로들은 실장시 기생 공진 현상 등의 문제점들이 발생하게 된다^[6-7]. 더욱이 기존의 실리콘 MEMS 패키지를 사용한 CPW MMIC의 실장에서도 이러한 문제점들이 그대로 나타날 수 있게 된다.

본 논문에서는 기 발표된적이 있는 결과들을 기반으로 CPW MMIC 실장시 발생하는 기생 현상들을 제거하기 위한 실리콘 MEMS 패키지를 제안하였다^[8]. <그림 1(a)>는 CPW 실장시 발생하는 기생 공진현상을 개략적으로 나타내고 있다. 본 논문에서 제안된 실리콘 MEMS 패키지는 이러한 문제를 제거하기 위해 칩 캐리어로서 적당히 도핑(doping)된 실리콘(1-30 Ω ·cm)을 사용하였으며, <그림 1(b)>는 이러한 도핑된 실리콘의 영향을 간단히 도시하고 있다. 또한 제안된 구조의 효과를 검증하기 위해 제작된 테스트(test) CPW 패턴(pattern)의 측정 및 해석결과 기생 공진 현상을 효과적으로 제거할 수 있었다.

II. 본 론

1. 제안된 실리콘 MEMS 패키지

현재 초고주파 및 밀리미터파 대역용 무선통신 시스템에 있어서, MEMS 기술은 경박단소화된 고성능의 RF(Radio Frequency)부품 및 회로들을 개발하기 위해 사용되고 있다^[9-12]. 더욱이 최근에는 이러한 소자들뿐만 아니라, 패키지의 제작에까지 연구가 진행되고 있다. 특히 실리콘은 MEMS 공정을 통한 정확한 미세 가공이 용이하며 전기적/열적 물질 특성이 우수하기 때문에, 고주파 MEMS 패키지 재료로서 매우 적합하다 할 수 있다^[5, 13]. 그러나 기존에 제안된 실리콘 MEMS 패키지의 경우 그 제작 공정이 다소 복잡하다^[5]. 이와 같이 복잡한 구조를 단순화하기 위하여, 2장의 실리콘웨이퍼만을 사용하는 간단한 구조의 MEMS 패키지가 제안되기도 하였다^[11]. 기 제안된 실리콘 MEMS 패키지들은 공통적으로 칩 캐리어로서 gold-plated HRS 기판을 사용하고 있으며 비아(via)를 통하여 패키지 접지면과 연결되어 있다. 이러한 패키지를 이용한 CPW 형태 회로의 실장은 <그림 1(a)>와 같은 기판 공진 현상을 유도하게 된다. 본 논문에서는 이 같은 기생현상을 효과적으로 억제할 수 있는 실리콘 MEMS 패키지를 제안하였다. <그림 2>는 본 논문에서 제안된 실리콘 MEMS 패키지의 구성도를 나타내고 있다.

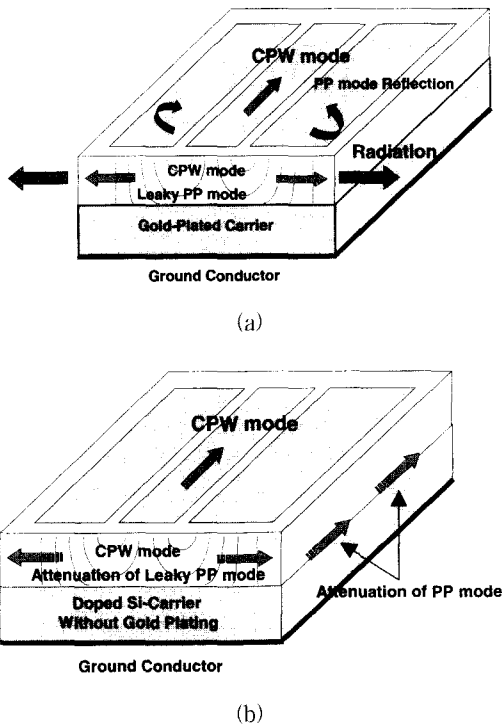


그림 1. MEMS 패키지의 캐리어에 따른 CPW 기생 성분 (a) gold-plated HRS 캐리어. (b) 도핑된 실리콘 캐리어

Fig. 1. Parasitic problems of the CPW attached on chip-carriers of MEMS package (a) a gold-plated carrier. (b) a doped Si carrier without gold plating.

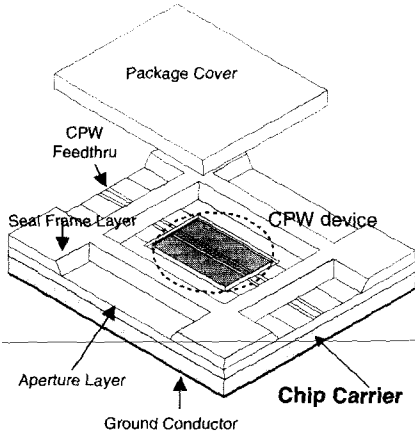


그림 2. 제안된 CPW MEMS 패키지 구조
Fig. 2. Proposed coplanar MEMS package with a CPW device.

제안된 MEMS 패키지는 7500 Å의 산화막(thermal oxide)을 갖는 IIRS<100>와 15 Ω·cm의 비저항을 갖는 도핑된 실리콘웨이퍼를 사용하여 설계되었다. 패키지 cover 층과 seal frame 층 그리고 aperture 층은 IIRS를 사용하며, 도핑된 실리콘웨이퍼는 칩 캐리어로서 기생 공진을 억제하기 위해 사용된다. 이때 cover 층과 seal frame 층은 1장의 IIRS 웨이퍼로 가공할 수 있으며, 따라서 총 3장의 웨이퍼를 사용하여 패키지를 제작할 수 있다. 또한 패키지의 CPW 급전부(feed-thru)는 aperture 층에 형성되었고, 패키지 캐비티(cavity)내부의 CPW소자와는 본드와이어나 리본으로 연결될 수 있다.

2. 제작 및 측정

본 논문에서는 패키지에 삽입된 실리콘 캐리어의 효과에 초점을 두기 위해, <그림 3>에 나타난 것처럼 aperture 층과 seal frame 층 그리고 패키지 cover가 없는 상태로 단순히 세 종류의 칩 캐리어(gold-plated HRS, 15 Ω·cm Si, HRS)상에 CPW를 제작하여 측정하였다.

측정될 CPW는 웨이퍼 thinning 작업과 후면 금속처리 작업을 하지 않은 상태로 625 μm 두께의 GaAs 기판 상에 제작되었고, 전도성이 없는 에폭시(epoxy)를 사용하여 500 μm 두께의 칩 캐리어에 접착되었다. CPW의 전체적인 크기는 가로와 세로가 각각 10 mm, 9 mm로서, 제작과 측정의 용이성을 위해 실제의 소자보다 확대되어 제작되었다. 그러나 기판이나 캐리어의 두께는 기생 공진 특성에 많은 영향을 미치므로 실제 경우와 같도록 선택하였다¹³⁾. 또한 CPW는 50 Ω 특성 임피던스를 구

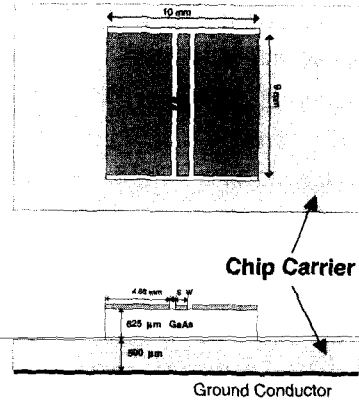


그림 3. 칩 캐리어 효과를 검증하기 위한 테스트 CPW 패턴

Fig. 3. Test CPW pattern to verify the chip-carrier effects.

현하기 위해 100 μm의 선폭과 70 μm의 슬롯을 갖도록 설계되었다. 이때 CPW 패턴은 200 Å의 Cr막 위에 금을 1 μm로 증착한 후 lift-off 공정을 이용하여 제작되었다. 이렇게 제작된 시료는 벡터 회로망 측정기와 on-wafer probing을 통하여 0.5-40 GHz까지 측정되었다.

3. 해석 및 측정 결과의 고찰

<그림 4>는 gold-plated HRS 캐리어 상에 제작된 CPW의 측정결과와 해석결과를 0.5-40 GHz 대역에서 비교하여 나타내고 있다. 해석은 FEM(Finite Element Method) 알고리즘을 사용하는 EM simulator를 이용하였으며, 실제의 물질 값들을 고려하였다¹⁶⁾. 측정 및 해석결과 10 GHz 부근의 주파수 대역부터 PPL(Parallel Plate Line)모드라 하는 기생모드로 인하여, 매우 심한 공진 현상이 관찰되었다¹⁷⁻¹⁸⁾. 측정 및 해석 결과로부터 공진 주파수를 비롯한 전체적인 특성들이 매우 잘 일치함을 확인하였고, 따라서 FEM 해석의 신뢰성을 확인할 수 있다. 이때 공진 주파수 f_r 은 아래의 계산식을 따르며¹⁹⁾, 실제 측정결과와 평균 1 GHz내의 오차범위 내에서 잘 일치함을 확인하였다. <표 1>은 측정 및 FEM과 계산식에 의한 공진 주파수를 비교하여 나타내고 있다. 또한 표에서 보여지고 있는 결과는 측정시 관찰되는 모든 공진 주파수들을 나타내는 것이 아니며, 상대적으로 산란계수(scattering parameter) 변화가 큰 지점에서의 주파수만을 나타내고 있다.

$$f_{mn} = \frac{c}{\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{2a}\right)^2 + \left(\frac{n}{2b}\right)^2}$$

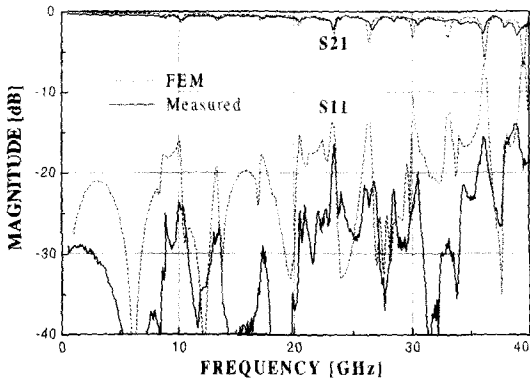


그림 4. gold-plated HRS 캐리어 상에서의 CPW 측정 및 해석 결과

Fig. 4. Measured and calculated S-parameters of the CPW on the gold-plated HRS carrier.

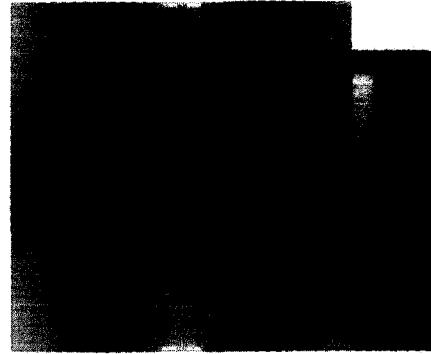
표 1. 측정 및 FEM과 계산식의 공진 주파수 비교

Table 1. Comparison of resonant frequency.

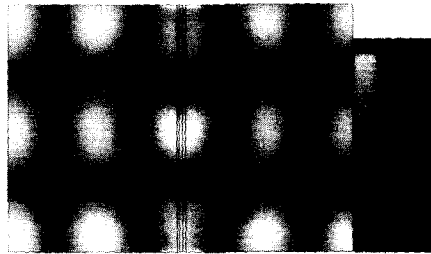
mode number		resonant frequency fr [GHz]	
m	n	계산식	FEM/Meas.
2	0	8.35	8.6
2	1	9.56	10.1
2	2	12.5	13.2
2	3	16.23	17.1
4	2	19.11	20.5
4	3	21.75	22.6
4	4	24.97	26.3
4	5	28.6	30
6	4	31.18	33
6	5	34.15	36
6	6	37.46	39

여기서 m과 n은 공진 모드번호이고 a(10 mm)와 b(9 mm)는 CPW의 가로와 세로를 나타낸다.

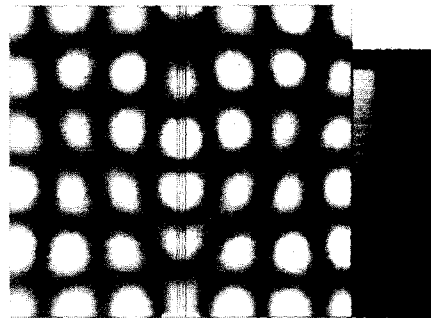
<그림 5>는 <그림 4>에서 나타내고 있는 FEM 해석 결과로부터 몇 개의 공진 주파수에서의 전계분포(electric field distribution)를 도시하고 있으며, GaAs 기판 내에 정재파(standing wave)가 형성됨을 확인할 수 있다. 그림에서 나타내고 있는 전계분포는 흰색에 가까울수록 전계세기(electric field intensity)가 센 것을 의미하고, 검은 색은 전계세기가 영점(zero-intensity point)인 곳을 나타낸다. 또한 CPW의 가장자리 부분들이 모두 open boundary를 형성하고 있으므로 가장자리 부분은 항상 최대의 전계세기를 갖는다. 따라서 공진 주파수에서의



(a)



(b)



(c)

그림 5. 공진 주파수에서의 전계분포 (a) (2,1) 모드: $f_{2,1} = 10.1$ GHz. (b) (4,2) 모드: $f_{4,2} = 20.5$ GHz. (c) (6,5)모드: $f_{6,5} = 36$ GHz

Fig. 5. Electric field distribution at resonant frequencies (a) (2,1) mode: $f_{2,1} = 10.1$ GHz. (b) (4,2) mode: $f_{4,2} = 20.5$ GHz. (c) (6,5)mode: $f_{6,5} = 36$ GHz.

공진 모드 수는 가로(m), 세로(n) 각각 영점의 수와 일치한다. 이러한 전계분포로부터, <그림 4>에서 도시하고 있는 산란계수의 날카로운 변동들이 기판 공진에 의한 것임을 확인할 수 있다. 더불어 이때의 기판 공진은 CPW 모드가 PPL 모드로 커플링(coupling)됨으로써 형성된다는 것을 알 수 있다.

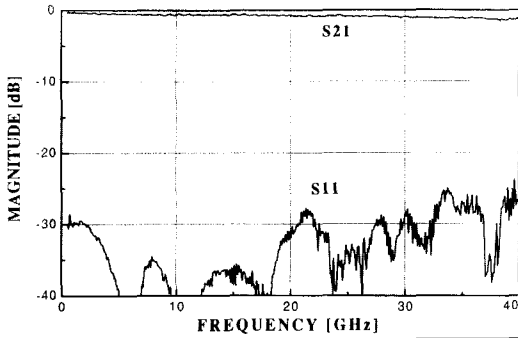


그림 6. 15 $\Omega \cdot \text{cm}$ 실리콘 캐리어 상에서의 CPW 측정 결과

Fig. 6. Measured S-parameters of the CPW on the 15 $\Omega \cdot \text{cm}$ Si carrier.

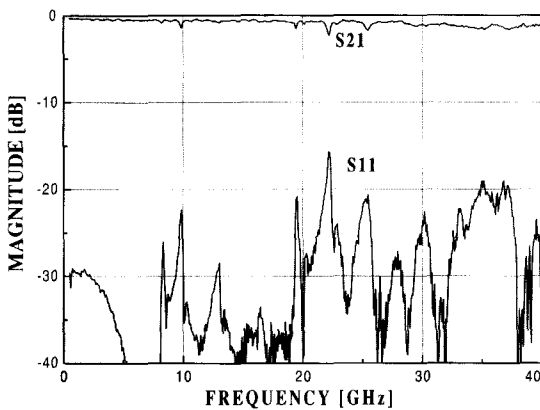


그림 7. HRS 캐리어 상에서의 CPW 측정 결과

Fig. 7. Measured S-parameters of the CPW on the HRS carrier.

<그림 6>은 15 $\Omega \cdot \text{cm}$ 의 실리콘 캐리어 상에 제작된 CPW의 측정 결과를 나타내고 있다. 그림에서 보이는 것처럼 손실이 있는 실리콘 캐리어를 사용함으로써 기존의 기생 공진 현상을 효과적으로 제거할 수 있음을 확인하였다. 이는 손실이 있는 실리콘의 저항 손실 (ohmic loss)에 의해서 공진 모드가 크게 감쇄 (attenuation)되어지기 때문이다¹⁶⁾. 이러한 방법은 본 논문에서 제안된 패키지에 사용될 구조로서, CPW MMIC 소자의 실장에 매우 적합하다는 것을 확인할 수 있다. 또한 제작된 CPW의 슬롯과 기판 높이의 비가 약 0.1정도로 작기 때문에 대부분의 CPW 모드는 GaAs기판 내의 슬롯 부근에 위치하게 된다. 따라서 <그림 5>에서 보여지는 삽입손실은 추가된 실리콘 캐리어에 의한 것이 아니라, 주파수의 제공근에 비례하는 CPW 전송선로의 도체손실에 의한 것임을 알 수 있다.

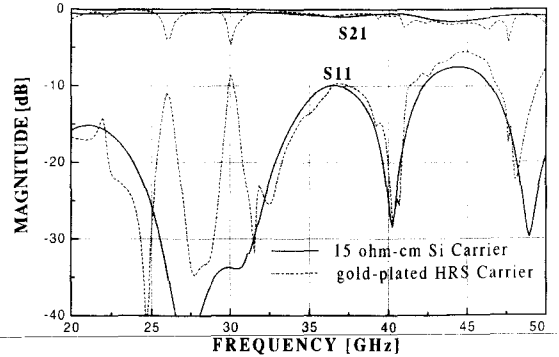


그림 8. MEMS 패키지(그림 2)의 FEM 해석 결과

Fig. 8. FEM calculated S-parameters of the MEMS package(Fig. 2).

마지막 테스트 패턴으로서, HRS 캐리어 상에 제작된 CPW의 측정결과가 <그림 7>에 나타나 있다. 전체적으로 gold-plated HRS 캐리어를 사용했을 때 보다 공진 현상이 감소된 것처럼 보이지만, 이는 사용된 HRS에 의해 공진 모드가 억제된 것이 아니라 기판의 두께가 1125 μm 로 증가했기 때문이다. 즉, 슬롯에 비해 기판의 두께가 매우 커지면 기생 PPL 모드의 형성이 감소되어지기 때문에 공진 현상이 비교적 적게 유도 된 것이다. 결과적으로 HRS 캐리어의 경우에도 공진 현상이 전체 주파수 영역에 걸쳐 여전히 존재하게 된다.

이러한 결과를 기반으로 <그림 2>에 나타낸 MEMS 패키지 전체를 FEM을 사용하여 해석하였으며, 그 결과를 <그림 8>에 도시하였다. <그림 8>에서 점선은 칩 캐리어로서 gold-plated HRS를 사용한 경우이고, 실선은 15 $\Omega \cdot \text{cm}$ 실리콘 캐리어를 사용한 경우의 결과이다. 이때 해석된 패키지는 전자기적으로 차폐되어 있지 않기 때문에, 해석 결과에서 발생한 공진 현상은 캐비티에 의한 것이 아니고 GaAs 기판에 의한 것임을 알 수 있다¹⁷⁾. 해석시 사용된 각 층별 두께나 물질 값 그리고 기판 두께 등은 앞 2절에서 나타내고 있는 것과 같다. 다만, 일반적인 패키지의 캐비티 및 aperture 크기에 맞도록 CPW의 크기를 5 mm \times 5 mm로 재 모델링하여 20-50 GHz 대역에서 해석을 수행하였다. 해석 결과, 15 $\Omega \cdot \text{cm}$ 실리콘 캐리어를 사용함으로써 CPW 소자의 실장시 발생할 수 있는 기생 공진 현상을 매우 효과적으로 제거할 수 있었다.

III. 결 론

본 논문에서는 초고주파 및 밀리미터파 대역용 CPW MMIC 실장을 위한 새로운 실리콘 MEMS 패키지 구조를 제안하였다. 제안된 패키지는 MMIC 칩 캐리어로서 비저항이 $15 \Omega \cdot \text{cm}$ 인 실리콘을 사용하고 있다. 이러한 패키지의 성능을 검증하기 위해 세 가지 형태의 캐리어 (gold-plated HRS, $15 \Omega \cdot \text{cm}$ Si, HRS) 상에 GaAs CPW를 제작하고 0.5-40 GHz대역에 걸쳐 해석/측정하였다. 해석 및 측정 결과, $15 \Omega \cdot \text{cm}$ 실리콘을 사용함으로써 CPW 실장시 발생하는 기생 공진 현상이 측정 주파수 대역에 걸쳐 효과적으로 제거됨을 관찰할 수 있었다. 또한, 실제 경우에서의 효과를 관찰하기 위해, CPW 패턴을 제안된 패키지에 실장한 후 FEM을 사용하여 20-50 GHz까지 해석하였다. 해석결과 실제 패키징된 상태에서 기생 공진 현상을 효과적으로 억제할 수 있음을 확인하였다. 따라서 본 논문에서 제안된 실리콘 MEMS 패키지를 이용하여 저가격/고성능의 초고주파 및 밀리미터파 대역 시스템 구현을 가능하게 할 것으로 기대된다.

참 고 문 헌

- [1] Y. Campos-Roca, L. Verweyen, M. Neumann, M. Fernandez-Barciela, M. C. Curras-Fancos, E. Sanchez-Sanchez, A. Hulsmann, M. Schlechtweg, "Coplanar pHEMT MMIC Frequency Multipliers for 76 GHz Automotive Radar," *IEEE Microwave and Guided Wave Letters*, vol. 9, No. 6, pp. 242~244, June. 1999.
- [2] T. Hirose, K. Makiyama, K. Ono, T. M. Shimura, S. Aoki, Y. Ohashi, Yokokawa, and Y. Watanabe, "A Flip-chip MMIC Design with Coplanar Waveguide and Transmission Line in the W-band," *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-46, pp. 2276~2281, Dec. 1998.
- [3] Y. C. Shih, K. Kasel and L. Fong, "A High Performance Quartz Package For Millimeter-wave Applications," *IEEE MTT-S Int. Symp. Dig.*, pp. 1063~1066, 1991.
- [4] A. C. Reyes, S. M. El-Ghazaly, and S. Dorn, "Silicon As A Microwave Substrate," *IEEE MTT-S Int. Symp. Dig.*, pp. 1759~1762 1994.
- [5] Rashaunda M. Henderson, and Linda P. B. Katchi, "Silicon-based Micromachined Packages for High-frequency Applications," *IEEE Trans. Microwave Theory and Techniques*, vol. 47, No. 8, pp. 1563~1569, Aug. 1999.
- [6] C. C. Tien, C. C. Tzuang, S. T. Peung, C. C. Tien, C. C. Chang, J. W. Huang, "Transmission Characteristics of Finite-width Conductor-backed Coplanar Waveguide," *IEEE Trans. Microwave Theory and Techniques*, vol. 41, pp. 1616~1624, Sep. 1993.
- [7] W. H. Haydl, "Resonance Phenomena and Power Loss in Conductor-backed Coplanar Structures," *IEEE Microwave and Guided Wave Letters*, vol. 20, No. 12, pp. 514~516, Dec. 2000.
- [8] S.-J. Kim, H.-S. Yoon, and H.-Y. Lee, "Suppression of Leakage Resonance in Coplanar MMIC Packages Using a Si Sub-Mount Layer," *IEEE Trans. Microwave Theory and Techniques*, vol. 48, pp. 2664~2669, Dec. 2000.
- [9] Pierre Blondy, Andrew R. Brown, Dominique Cros, and Gabriel M. Rebeiz, "Low-loss Micromachined Filters for Millimeter-wave Communication Systems," *IEEE Trans. Microwave Theory and Techniques*, vol. 46, No. 12, pp. 2283~2288, Dec. 1998.
- [10] Qun Wu Bumman Kim, "MEMS Technology Moves Increasingly Toward Microwave Applications," *Microwave&RF* pp. 97~104, July 2001.
- [11] Thomas M. Weller, Linda P. B. Katchi, and Gabriel M. Rebeiz, "High Performance Microshield Line Components," *IEEE Trans. Microwave Theory and Techniques*, vol. 43, No. 3, pp. 534~543, Mar. 1995.
- [12] B. Pillans, S. Eshelman, A. Malczewski, J. Ehmke, and C. Goldsmith, "Ka-band RF MEMS Phase Shifters for Phased Array Applications," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 195~199, 2000.

[13] Herbert Reichl and Volker Grosser, "Overview and Development Trends in the Field of MEMS Packaging," 14th IEEE International Conference on Micro Electro Mechanical Systems, pp. 1~5, 2001.

[14] 권영수, 이해영, 박재영, 부종욱, "초고주파 집적 회로를 위한 새로운 실리콘," 한국전자과학회 종합 학술발표회 논문집 Vol. 10, No. 1, pp. 104~108, 2000.

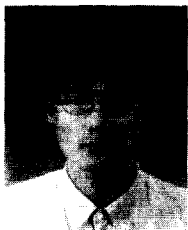
[15] G.-A. Lee, H.-Y. Lee, "Suppression of the CPW Leakage in Common Millimeter Wave Flip-Chip Structures," IEEE Microwave and Guided Wave Letters, vol. 8, No. 11, pp. 1~3, Nov. 1998.

[16] HFSSSTM(High Frequency Structure Simulator), ver 8.0, Ansoft

[17] 서재욱, 김진양, 이해영, "밀리미터파용 세라믹 패키지에서의 기생공진 해석 및 억제 방법," 전자공학회논문지, 제 39권, TC편, 제 2호, pp. 43~49, 2002.

[15] G.-A. Lee, H.-Y. Lee, "Suppression of the CPW

저 자 소 개



金 鎮 良(正會員)

1999년 : 아주대학교 전자공학부 졸업(공학사). 2001년 : 아주대학교 대학원 전자공학부 졸업(공학석사). 2001년~현재 : 아주대학교 대학원 전자공학부 박사과정 재학. <주관심분야 : 밀리미터파용 수동소자의

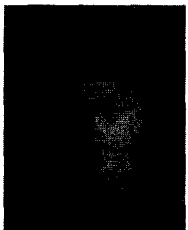
최적화 기법, 밀리미터파 회로 모듈링 및 패키징 기법, MEMS 패키지 설계>



李 海 英(正會員)

1980년 : 아주대학교 전자공학과 졸업(공학사). 1980년~1982년 : 한국과학기술원 전기 및 전자공학과(공학석사). 1987년~1989년 : Dept. of E.E Univ. of Texas at Austin(공학박사). 1990년~1992년 : 금성중앙

연구소(현 LG 전자기술원) 책임연구원. 1992년~현재 : 아주대학교 전자공학부 교수. <주관심분야 : 밀리미터파 회로 모듈링 및 MEMS 패키징 기법, RFIC 및 MMIC 최적 설계, EMI/EMC를 고려한 초고속 PCB설계 기법>



金 成 鎮(正會員)

1996년 : 아주대학교 전자공학부 졸업(공학사). 1998년 : 아주대학교 대학원 전자공학부 졸업(공학석사). 2000년 : 아주대학교 대학원 전자공학부 박사과정 수료. <주관심분야 : RFIC/MMIC 설계 및 패키지

최적 설계>