

論文2002-39TE-3-1

고속 저잡음 PLL 클럭 발생기

(A High Speed and Low Jitter PLL Clock generator)

趙正煥*, 鄭正和**

(Jeong Hwan Cho and Jong Wha Chong)

요약

본 논문에서는 다중 PFD(Phase Frequency Detector)와 적응 전하펌프 회로를 설계하여 지터 잡음 특성과 주파수 획득 과정을 향상시킨 새로운 PLL 클럭 발생기를 제안한다. 기존의 PLL은 넓은 데드존과 듀티 사이클 특성을 갖고 있기 때문에 지터잡음을 발생하고, 긴 지연시간 때문에 고속 동작에는 부적합하다. 본 논문에서는 이러한 문제를 해결하기 위하여, TSPC(True Single Phase Clocking) 회로를 이용하여 다중 구조를 갖는 PFD를 설계하였다. 데드존 특성, 듀티 사이클의 제한조건을 개선할 수 있도록 회로를 설계하였으며, 탁월한 지터잡음 성능을 향상시킬 수 있었다. 또한 적응 전하펌프 회로를 사용하여 PLL을 설계하였으며 루프필터의 전하펌프 전류를 증가시킴으로써 주파수 획득 특성을 개선 할 수 있었다. Hspice 시뮬레이션을 수행한 결과, 제안한 PLL은 데드존이 0.01ns 미만이고, 입력신호의 듀티 사이클에 무관하며, 50ns의 빠른 획득시간을 갖는 것을 확인할 수 있었다. 따라서 제안된 회로는 고성능 마이크로프로세서 및 디지털시스템에 적용될 수 있다.

Abstract

This paper presents a new PLL clock generator that can improve a jitter noise characteristics and acquisition process by designing a multi-PFD(Phase Frequency Detector) and an adaptive charge pump circuit. The conventional PLL has not only a jitter noise caused from such a demerit of the wide dead zone and duty cycle, but also a long delay interval that makes a high speed operation unable. An advanced multi-structured PFD circuit using the TSPC(True Single Phase Clocking) circuit is proposed, in which it shows an excellent functionalities in terms of the jitter noises by designing its circuit with the exact dead zone and duty cycle. Our new designed adaptive charge pump in the loop filter of a PLL can improve an acquisition characteristic by adaptively increasing of current. The Hspice simulation is done to evaluate the performance of the proposed circuit. Simulation result shows that our PLL has under 0.01ns in the dead zone, no influence from the duty cycle of input signals and under 50ns in the acquisition time. This circuit will be able to be used in develops of high-performance microprocessors and digital systems.

Keyword : PFD, PLL, dead zone, duty cycle, charge pump

* 正會員, 金浦大學 電子情報系列

(Division of Electrical Eng., Kimpo College)

** 正會員, 漢陽大學校 電子電氣컴퓨터工學部

(Division of Electrical and Computer Eng., Hanyang University)

接受日:2002年7月4日, 수정완료일:2002年9월13일

I. 서론

회로기술의 발전에 따라 고주파수에서 동작하며 빠른 주파수 응답특성을 갖는 클럭 발생기와 주파수 합성기에 대한 필요성이 증가하고 있다. 따라서 PLL은 클럭 발생, 주파수 합성 및 데이터 복원 등의 기능을 수행하

기 위하여 마이크로프로세서, 디지털회로, 통신회로 등에서 널리 응용되고 있는 필수적인 회로이다. 이러한 응용 회로에서는 고속의 처리능력과 지터특성을 개선시킨 PLL을 요구하고 있다. 따라서 주파수 획득 속도(acquisition speed)가 빠르며 지터 잡음을 감소시킨 결과 PLL이 안정적으로 동작 할 수 있도록 PLL 구성요소들의 성능을 향상시키는 연구가 진행되고 있다.^[1,2]

최근 PLL의 연구 동향은 주파수 획득시간(acquisition time)과 지연시간을 향상시키거나 데드존을 개선하는 방향으로 연구가 활발히 진행되고 있다. 주파수 획득시간과 지연시간이 길어지면 고속동작이 어렵고 데드존이 크면 정확한 동기를 맞출 수 없고 지터 잡음을 많이 발생한다. 따라서 이러한 문제점 때문에 고주파 대역에서 PLL이 동작의 제한을 받게 된다.^[3,4] 한편, 디지털 시스템은 소모전력을 최소화하기 위하여 시스템 클럭이 자주 켜짐과 꺼짐을 반복하기 때문에 클럭을 공급하는 PLL은 주파수 및 위상을 신속하게 정렬시킬 수 있는 기능을 가져야 한다. PLL의 구성요소에 있어서 PFD로 널리 사용되고 있는 3-state PFD는 다수의 트랜지스터로 구성되어 회로의 지연 시간이 길고, 넓은 데드존을 갖는다. 따라서 3-state PFD를 사용한 PLL은 고주파수에서 동작하는데 부적합하다. 또한 최근에 데드존의 단점을 해결하기 위해서 개발된 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 듀티 사이클이 같아야 한다는 제한조건이 있기 때문에 다이내믹 PFD를 이용하여 구성된 PLL은 안정한 동작을 할 수가 없다.^[5,6]

본 논문에서는 PLL이 가지고 있는 이러한 문제점들을 해결하기 위하여 TSPC(True Single Phase Clocking) CMOS 회로를 이용하여 고속 통신회로에 적용하기 위한 새로운 다중 PFD(multi-PFD)와 적응 전하펌프(adaptive charge pump)를 제안한다. 제안된 PFD는 데드존 특성과 듀티 사이클의 변화에 대한 출력의 영향을 개선하여 고주파수에서도 지터 잡음을 발생시키지 않는다. 또한 목표값을 추적해 가는 주파수 획득과정을 위상 오차에 따라 선형 영역과 비선형 영역으로 분리하고 적응 전하펌프 회로가 동작하여 전하펌프 전류를 증가시켜 주파수 획득 속도를 향상 시켰다. 따라서 본 논문에서 제안한 클럭 발생기는 고속으로 동작하며 지터특성을 개선시켰기 때문에 안정한 동작을 필요로 하는 고성능 통신회로의 동작에 적합하다. 기존의 PFD와 성능을 비교한 결과 데드존이 0.01ns 미만으로

거의 존재하지 않으며, 듀티 사이클의 변화와 무관한 출력특성을 나타내어 지터를 발생시키지 않으며 응답특성이 50ns 만큼 개선되었음을 확인할 수 있었다. 본 논문의 구성은, 2장에서 기존 PFD의 구조와 문제점을 설명하였고 3장에서는 이러한 문제점을 해결하기 위하여 새로운 PFD를 제안하였고 그 구조와 입출력 특성을 설명하였다. 4장에서는 제안된 PFD와 기존의 PFD의 성능 평가를 시뮬레이션을 통하여 검증하고, 5장에서 결론을 맺는다.

II. PLL 클럭 발생기의 해석

전하펌프 PLL을 이용한 클럭 발생기는 그림1과 같이 PFD, 전하펌프, 루프필터, VCO로 구성된다. 동작을 살펴보면 이러한 PFD는 기준신호와 VCO 출력신호의 위상과 주파수를 비교하여 UP과 DN 신호를 출력하며 이러한 PFD의 출력신호에 따라 전하펌프는 UP, DN, NULL 상태를 가지며 루프필터에 전류를 공급한다. 루프필터는 고주파 성분을 제거하고 VCO의 제어전압을 출력하며, 이 제어전압에 의해 발생하는 VCO 출력신호에 따라서 PLL을 동작시킨다. PLL의 주요 구성요소인 PFD는 기준 신호와 VCO 출력 신호 사이의 위상과 주파수를 비교하여 오차 신호를 출력하는 기능을 한다. 현재 널리 사용되고 있는 PFD의 동작원리와 문제점을 살펴보면 아래와 같다.

1. 3-state PFD

일반적으로 많이 사용하는 3-state PFD의 구조는 두 개의 D-플립플롭과 한 개의 AND 게이트로 이루어져 있다.^[1] 이 구조는 기준 신호와 VCO 출력 신호의 상승 천이에 따라 동작하기 때문에 PFD의 출력은 입력의 듀티 사이클에 관계없이 동작한다. 이러한 동작은 세 가지 논리 상태(UP=DN=0, UP=0 DN=1, UP=1 DN=0)

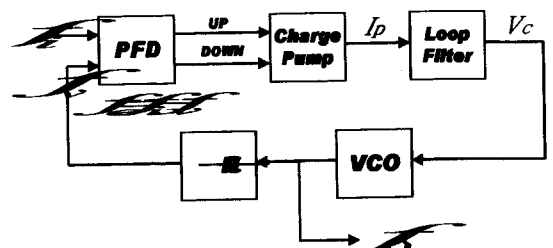


그림 1. PLL 클럭발생기의 기본구조
Fig. 1. Basic structure of the PLL clock generator.

일 때)를 발생한다. 그러나, PLL이 동기 되었을 때 UP 신호와 DN 신호가 모두 “1” 인 경우가 존재한다. 동작 원리상으로는 UP 신호와 DN 신호가 “1” 인 경우에는 AND 게이트를 통하여 두 개의 D-플립플롭이 즉시 리셋 되어야 한다. 하지만 논리회로의 지연 시간으로 인해서 또 하나의 상태(UP=DN=1)가 존재한다. 이러한 PFD 자체의 지연 시간은 PFD의 최대 동작 주파수를 제한한다. 따라서 PFD 자체의 최대 동작 주파수를 높여주기 위해서는 PFD의 지연 시간을 되도록 작게 하여야 한다. 또한, 고주파수 대역에서 정상적인 동작을 위해서는 데드존 특성이 매우 작아야 한다. 3-state PFD는 지연 시간이 길어서 고주파 대역에서 사용이 부적합하고 데드존이 넓기 때문에 지터 잡음을 많이 만들어 낸다.^[5]

2. 다이내믹 CMOS PFD

최근 들어 PFD의 속도를 향상시키기 위해서 다이내믹 CMOS 논리회로를 이용한 PFD가 개발되고 있다.^[5] 다이내믹 CMOS 논리회로를 이용한 PFD는 3-state PFD와 비교하면 입력에서 출력까지의 지연 시간이 단축되어서 고주파수에서 동작 할 수 있고 데드존을 크게 줄일 수 있는 장점이 있다. 그러나 다이내믹 CMOS 논리회로는 기준 신호와 VCO 출력 신호의 듀티 사이클이 같아야 한다는 단점 때문에 사용에 제한을 받는다. 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 듀티 사이클이 다르면 PFD 출력신호의 펄스폭이 바뀌게 된다. 즉, 3-state PFD는 에지 천이로 동작하지만 다이내믹 PFD는 레벨 천이로 동작하여 상승천이와 하강천이 모두에 영향을 받는다. 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 듀티비가 다르면 정확한 동기를 맞출 수 없다. 따라서 다이내믹 PFD는 기준 신호와 VCO 출력 신호의 듀티 사이클이 같다는 전제조건에서 동작되어야 한다.^[6]

III. 제안된 다중 구조 PFD

1. 제안된 PFD의 구조 및 특성

본 논문에서는 앞에서 설명한 바와 같이 기존의 PFD가 갖는 문제점을 해결하기 위하여 TSPC CMOS 회로로 구성된 새로운 PFD를 제안한다. 제안된 PFD가 듀티 사이클에 무관한 출력 특성을 나타내게 하려면, 위상 오차에 비례하는 펄스폭이 듀티 사이클의 영향을

받지 않아야 한다. 이러한 과정을 만들기 위해서 그림 2와 같은 PFD를 제안한다. 즉, A 신호와 기준 신호를 AND 게이트의 입력으로 하여 UP 신호를 출력하고, B 신호와 VCO출력 신호를 또 다른 AND 게이트의 입력으로 하여 DN 신호를 출력한다. 그림 2 에서 제안된 PFD의 출력 파형은 3-state PFD의 출력 파형과 동일하다. 그러나 3-state PFD와 다이내믹 PFD에서는 출력 파형의 UP 신호와 DN 신호가 동시에 “1” 이 되는 부분이 있지만, 제안된 PFD는 UP 신호와 DN 신호가 동시에 “1” 이 되는 부분이 없다. UP 신호와 DN 신호가 동시에 “1” 이 된다는 것은 전하펌프의 PMOS와 NMOS가 동시에 포화영역에서 동작하는 것을 의미한다. 이때 중요하게 고려할 사항이 PMOS와 NMOS의

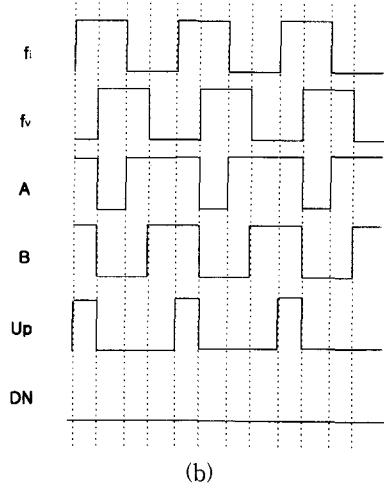
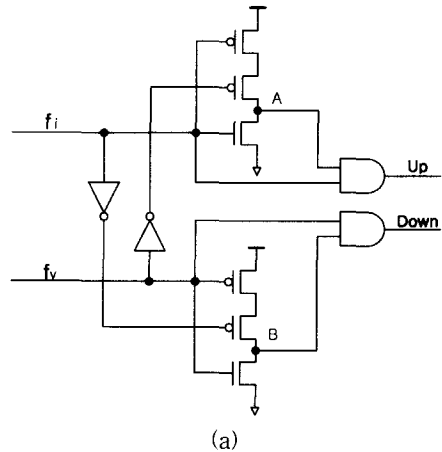


그림 2. 제안된 PFD (a) 구조 (b) 입출력 특성
Fig. 2. Proposed PFD. (a) Structure (b) Input & output characteristics

드레인 전류의 불일치 문제이다. 즉, PMOS와 NMOS에 각각 흐르는 드레인 전류가 같지 않을 경우에 PMOS와 NMOS가 동시에 ON이 된다면, 전류의 변화량은 "0"이 되지 못한다. 즉, 전류가 더 흘러 들어오거나 더 흘러 나가게 된다. 그 결과로 VCO의 제어 전압이 흔들리게 되고, VCO에 의한 지터 잡음이 많이 발생하게 된다. 일반적으로 전하펌프의 PMOS와 NMOS의 드레인 전류를 정확히 일치시키기는 어렵다. 따라서 PFD는 이러한 전류 불일치에 영향을 덜 주도록 설계하여야 한다.

2. 다중 구조로 설계된 PFD

PLL의 주파수 획득속도를 향상시키기 위해서는 루프 대역폭을 넓히거나 VCO의 이득을 크게 해야 한다. 그러나 루프 대역폭을 넓히면 잡음의 영향을 받기 쉽고, VCO의 이득을 크게 하면 비선형성의 문제가 발생한다. 또한 PLL의 출력 주파수를 증가시키는 VCO 출력신호는 PFD에 의해 기준 입력신호와 비교되고, 그 차이에 의해 주파수를 증감시키기 때문에 주파수의 변화가 큰 경우에는 시간 지연이 발생한다. 따라서 위와 같은 문제점을 해결하기 위하여 본 논문에서는 새로운 구조의 다중 PFD와 적응 전하펌프를 제안한다. 주파수 획득과정을 선형 영역(위상오차(ϕe) < $|\pi|$)과 비선형 영역(위상오차(ϕe) > $|\pi|$)으로 분리 하였다. 선형 영역에서는 동일한 루프 특성을 유지하며 목표값을 추적한다. 비선형 영역에서는 전하펌프의 출력전류를 변화시켜 신속하게 선형 영역에 진입하게 함으로써 전체적인 루프 사이클을 단축시킨다. 제안된 PFD는 그림 2과 같

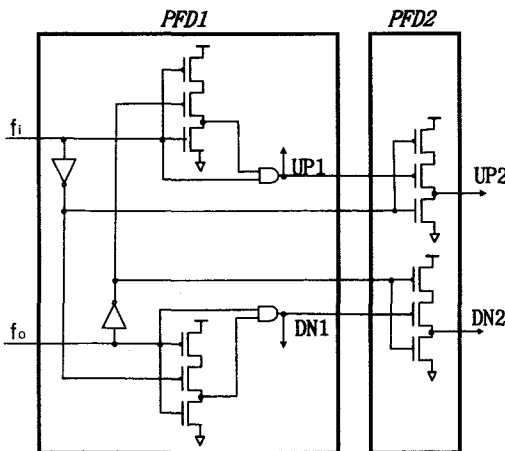


그림 3. 제안된 다중 PFD
Fig. 3. Proposed multi PFD.

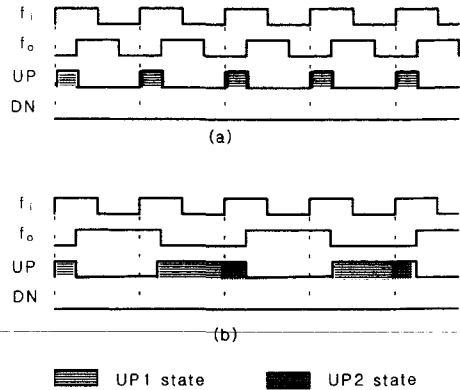


그림 4. 제안된 PFD의 출력 특성 (a) $f_i=f_o$, (b) $f_i=2f_o$.
Fig. 4. Output characteristics of the proposed PFD. (a) $f_i=f_o$ (b) $f_i=2f_o$.

외은 PFD에 TSPC 논리회로를 추가하여 그림 3과 같이 PFD1과 PFD2로 구성되며 그림 4과 같은 특성을 출력한다.

3. 적응 전하펌프

루프필터에 전류를 공급하는 적응 전하펌프회로는 그림 5와 같이 구성된다. 위상오차가 $|\pi|$ 이내(선형 영역)일 때는 PFD1만이 동작하여 선형 전하펌프 전류(I_p)만이 루프필터에 공급된다. 그러나 위상오차가 $|\pi|$ 를 초과(비선형 영역)할 때는 PFD1과 PFD2가 동시에 동작하여 비선형 전하펌프 전류($2I_p$)를 발생시켜 루프필터 출력전압을 신속하게 동기상태로 증가시킨다. 이때, 선형 영역과 비선형 영역을 판별하는 논리상태를 알아보면, 위상오차가 $|\pi|$ 이내일 때는 그림 4(a)와 같이 기준 입력신호(f_i)의 상승 에지가 연속해서 발생하기 전에 VCO신호(f_o)의 상승 에지가 발생하는 상태이다. 따라서 PFD1이 동작하여 UP1 신호가 출력되어 적응 전하펌프에서는 선형 전하펌프 전류(I_{p1})가 출력되어 루프필터로 인가 된다. 위상오차가 $|\pi|$ 를 초과 할 때는 그림 4(b)와 같이 VCO신호(f_o)의 상승 에지가 발생하기 전에 기준 입력신호(f_i)의 상승 에지가 연속해서 발생하는 상태이다. 따라서 PFD1과 PFD2가 동작하여 UP1과 UP2 신호가 출력되어 적응 전하펌프에서는 비선형 전하펌프 전류($2I_p=I_{p1}+I_{p2}$)가 출력되어 루프필터로 인가된다.

이때의 출력특성을 알아보면, 전하펌프에서 전류원이 on되는 시간을 t_p 라고 할때 전하펌프는 $I_p t_p$ 의 전하를 루프필터에 펌핑(pumping) 한다.

전하펌프의 출력전류는

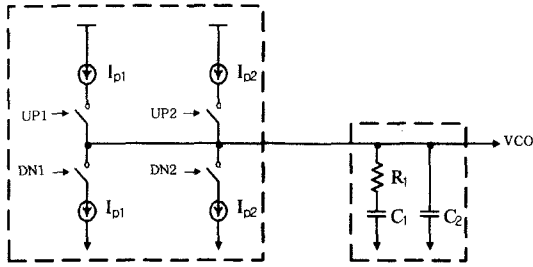


그림 5. 제안된 적응 전하펌프 회로
Fig. 5. Proposed adaptive charge pump.

$$i_d(t) = I_p[u(t) - d(t)] \quad (1)$$

여기서, $u(t)$, $d(t)$ 는 전하펌프의 스위칭(UP, DN) 시간 이고,

평균출력전류는

$$\begin{aligned} \overline{i_d(t)} &= I_p[\overline{u(t) - d(t)}] \\ &= \frac{I_p}{2\pi} \cdot \phi_e(t) \end{aligned} \quad (2)$$

이고, 이로 인한 루프필터의 출력 전압은

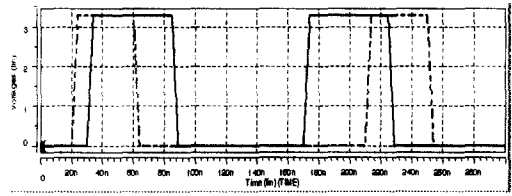
$$\begin{aligned} v_f(t) &= v_f(t_0) + I_p \cdot R + \frac{1}{C} \int_{t_0}^t I_p dt \\ &= v_f(t_0) + I_p \cdot R + \frac{I_p}{C}(t - t_0) \end{aligned} \quad (3)$$

(3)식과 같이 루프필터의 출력전압은 전하펌프의 전류원(I_p)의 크기에 비례한다. 즉 전하펌프의 전류를 증가시키면 루프필터의 과도상태 응답을 신속하게 증가시킬 수 있다.

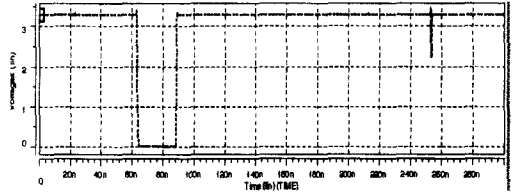
따라서 PLL이 비동기 상태에서 동기상태로 주파수를 증가시키는 주파수 획득 과정에서 제안된 PFD와 전하펌프를 적용하여 PLL의 루프 사이클을 감소시켜 주파수 획득시간을 개선하였다. 또한 데드존과 듀티 사이클의 제한조건을 개선한 PFD를 설계하여 지터 잡음을 감소시켰다.

IV. 시뮬레이션 결과

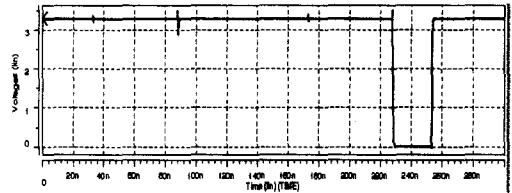
제안된 내용의 검증은 Hspice를 이용하여 시뮬레이션 하였다. 전체 PLL을 시뮬레이션을 하기 위해서 PFD와 전하 펌프, 루프 필터를 3.3V의 전원전압과 0.35 μ m CMOS 모델 파라미터를 사용하여 설계하였다. 그림 6는 제안된 PFD의 입출력 특성곡선을 시뮬레이션 하였다. 입력신호의 위상차이에 따라서 UP신호와



(a)



(b)



(c)

그림 6. 제안된 PFD의 입출력 특성 (a) 입력신호 (b) UP신호 (c) DN신호

Fig. 6. Input & output characteristics of the PFD. (a) Input signal (b) UP signal (c) DN signal

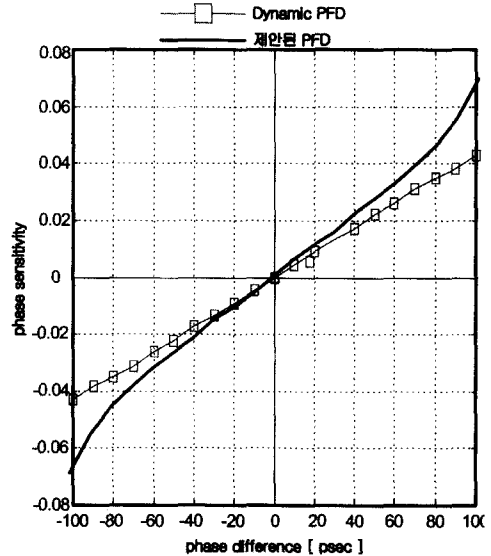


그림 7. PFD의 dead zone 특성

Fig. 7. Dead zone of the PFD.

DN신호가 출력 됨을 알 수 있다 그림 7은 다이내믹 PFD와 제안된 PFD의 데드존 특성을 비교한 것이다.

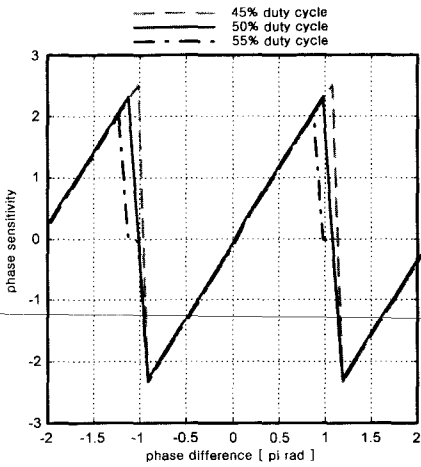
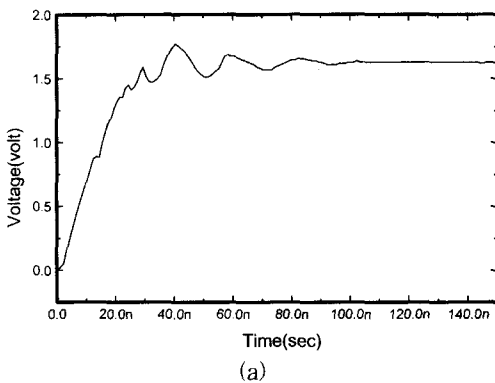
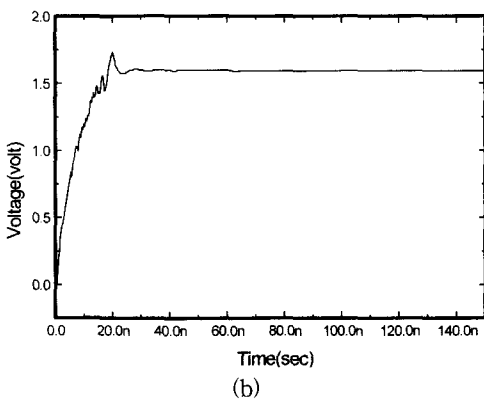


그림 8. 제안된 PFD의 듀티 사이클의 변화에 따른 특성 곡선

Fig. 8. Phase characteristics of the proposed PFD with different duty cycles.



(a)



(b)

그림 9. PLL 클럭 발생기의 응답특성 (a) 다이내믹 PFD (b) 제안된 PFD

Fig. 9. Response characteristics of the PLL clock generator. (a) Dynamic PFD (b) Proposed PFD

다이내믹 PFD와 제안된 PFD는 데드존이 거의 없는 것으로 나타났다. 그림 8은 제안된 PFD가 기준 신호와 VCO 출력 신호의 듀티 사이클이 변화 할 때 PFD의 출력 신호가 어떻게 변화하는지를 나타내고 있다. 기준 신호의 듀티 사이클은 50%로 고정된 후에 VCO 출력 신호의 듀티 사이클을 각각 45%, 50%, 55%로 하여 실험을 하였다. VCO 출력신호의 듀티 사이클이 변해도 PFD의 출력 신호는 거의 변화가 없음을 알 수 있다. 즉, $-\pi \sim \pi$ 구간에서는 듀티 사이클과 무관하게 동일한 출력 신호가 나오는 것을 알 수 있다. 따라서 제안된 PFD는 듀티 사이클의 변화에 따른 지터 잡음을 발생시키지 않음을 확인 할 수 있었다. 그림 9은 PLL의 응답 특성을 확인하기 위하여 다이내믹 PFD로 구성된 PLL과 제안된 PFD와 적응 전하펌프로 구성된 PLL의 응답특성을 비교하였다. 응답특성을 확인하기 위해 입력 주파수를 추종하는 과도특성을 VCO의 제어전압으로 나타내었다. 제안된 PFD가 다이내믹 PFD에 비해 50ns 만큼 신속하고 안정적으로 기준 주파수 입력에 응답하는 것을 확인 할 수 있었다.

V. 결론

본 논문에서는 고속, 저잡음 특성을 갖는 PLL 클럭 발생기를 설계하기 위하여 TSPC CMOS 논리회로로 구성된 다중 PFD와 적응 전하펌프회로를 제안하였다. 제안된 PFD는 데드존이 존재하지 않으며 듀티 사이클의 변화에 따른 출력특성의 변동이 전혀 없다. 따라서 제안된 PFD를 사용한 PLL은 고속 동작에서도 지터 잡음을 발생시키지 않는다. 또한 위상 오차에 따라 다중 구조로 설계된 PFD는 적응 전하펌프의 전류를 증가시켜 응답특성을 향상시킨다. 3.3V의 동작전원과 0.35 μ m CMOS 공정 파라미터를 이용한 Hspice 시뮬레이션을 수행하여 제안된 내용을 입증하였고, 기존의 PFD와 성능을 비교한 결과 데드존이 0.01ns 미만으로 거의 존재하지 않으며, 듀티 사이클의 변화와 무관한 출력특성을 나타내어 지터를 발생시키지 않으며 응답특성이 50ns 만큼 개선되었음을 확인할 수 있었다. 따라서, 제안된 회로는 고성능 마이크로프로세서 및 디지털시스템에 유용하게 적용될 수 있을 것으로 사료된다.

참 고 문 헌

- [1] B. Razavi, *Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design*, IEEE Press, 1996.
- [2] Kyoo Hyun Lim et al., "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE JSSC*, Vol. 35, No. 6, pp. 807-815, June 2000.
- [3] Sungjoon Kim et al., "A 960Mbps/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," *IEEE JSSC*, Vol. 32, No.5, pp.691-699, May 1997.
- [4] D. W. Boerstler, "A Low-Jitter PLL Clock Generator for Microprocessors with Lock Range of 340-612 MHz," *IEEE JSSC*, Vol. 34, No. 4, pp. 513-519, Apr. 1999.
- [5] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector," *IEEE JSSC*, Vol. 33, No. 2, pp. 295-299, Feb. 1998.
- [6] Jung-Dong Cho, et al., "A High-Speed, Low-Power Phase Frequency Detector and Charge-Pump Circuits for High Frequency Phase-Locked Loops," *IEICE Trans. Fundamentals*, Vol. E82-A, No. 11, pp. 2514-2520, Nov. 1999.
- [7] Tae-Hun Kim and Beomsup Kim, "Dual-loop Digital for Adaptive Clock Recovery," in *Proc. IEEE JSSC*, Vol. 4, pp. 410-414, July 1999.
- [8] W. Rhee, "Design of Low-Jitter 1-GHz Phase-Locked Loops for Digital Clock Generation," in *Proc. IEEE Sympo. on Cir. and Sys*, Vol. 2, pp. 520-523, May 1999.

저 자 소 개

趙 正 煥(正會員)

1988년 : 한양대학교 전자공학과 졸업(학사). 1990년 : 한양대학교 대학원 전자공학과 졸업(석사). 1995년~현재 : 한양대학교 대학원 전자공학과 박사과정. 1990년~1991년 : LG전자 중앙연구소. 1991년~

1996년 : 한국생산기술연구원. 1996년~현재 : 김포대학 전자정보계열 교수. 공업계측제어기술사. <주관심분야 : VLSI 설계, 디지털시스템 설계 및 응용>

鄭 正 和(正會員) 第37卷 SP編 第2號 參照