

PVD 공정을 이용한 Si 양자점 형성 전산모사

김윤성 · 정용재[†]

한양대학교 세라믹공학과

(2002년 4월 26일 접수; 2002년 5월 9일 승인)

The Simulation of Si Quantum Dot Formation in PVD Process

Yun-Sung Kim and Yong-Chae Chung[†]

Department of Ceramic Engineering, Hanyang University, Seoul 133-791, Korea

(Received April 26, 2002; Accepted May 9, 2002)

초 록

본 연구에서는 PVD 공정으로 Si 양자점 형성시 증착조건 변화가 증착된 양자점 크기와 분포에 미치는 영향을 Monte Carlo법을 응용한 전산모사를 통하여 정량적으로 분석하였다. 전산모사시 PVD 공정에서 일반적으로 제어 가능한 기판 온도, 증착시간, 가스압력과 타겟-기판거리를 공정변수로 선택하였다. 계산 결과 증착속도가 0.05 nm/sec이고 기판온도 490°C, 증착시간 7 sec, 가스압력 3 mTorr, 타겟-기판거리가 8 cm일때 증착 밀도가 $1 \times 10^{12} \text{ cm}^{-2}$ 인 Si 양자점 형성이 가능할 것으로 예측되었다.

ABSTRACT

In this study, the effect of the processing parameters in PVD process on the size and the distribution of deposited Si quantum dots was quantitatively investigated by computational simulation utilizing Monte Carlo method. The processing parameters, substrate temperature, deposition time, gas pressure and target-substrate distance were selected as variables since those parameters are often selected as variables in PVD experiments. It is predicted that the density of $1 \times 10^{12} \text{ cm}^{-2}$ Si quantum dots can be deposited on the substrate when the deposition rate is 0.05 nm/sec at the substrate temperature of 490°C, deposition time of 7 sec, gas pressure of 3 mTorr and target-substrate distance of 8 cm.

Key words : Monte Carlo simulation, PVD process, Quantum dot formation

1. 서 론

최근 나노 크기의 양자점 형성과 제어는 반도체 기술이 발전함에 따라 소자를 기가(giga)또는 테라(tera)급으로 고집적화 하는데 있어서 필수적인 기술로 대두되고 있다. 반도체 소자의 고집적화에 있어 지금까지 사용되어온 MOS(Metal Oxide Semiconductor)소자는 source와 drain 사이의 channel이 짧아지면서 나타나는 누설전류 발생과 게이트 산화물이 얇아짐에 따른 전자의 터널링 현상과 같은 한계성을 나타내기 때문에 이러한 문제를 극복하기 위한 방법으로 양자점을 이용한 SET(Single Electron Transistor)소자개발이 연구되고 있다.¹⁻³⁾

SET는 하나의 전자를 이용하여 디바이스의 특성을 바꾸는 트랜지스터로서 전력을 적게 소비하고 고밀도 집적이 가능한 장점이 있지만, SET 소자가 상온에서 작동하기 위

해서는 양자점 크기가 수 nm가 되어야 하고,³⁾ 테라급 수준의 고집적 회로용 소자의 제작을 위해서는 $1 \times 10^{12} \text{ cm}^{-2}$ 의 밀도를 가지는 균일한 양자점의 형성이 반드시 선행되어야 하는 어려움이 있다.⁴⁾

현재까지의 양자점 형성 기술은 주로 EBL(Electron Beam Lithography), AFM(Atomic Force Microscopy), STM(Scanning Tunneling Microscopy)을 중심으로 시도되어 왔다. 그러나 상기 방법들은 균일한 크기와 배열을 가진 양자점을 만들 수 있지만 공정 특성상 그 자체가 가질 수 밖에 없는 낮은 생산효율(throughput)의 해결이 항상 문제로 남아있다. 반면에 대량생산이 가능한 PVD(Physical Vapor Deposition), CVD(Chemical Vapor Deposition), MBE(Molecular Beam Epitaxy), 화학적합성에 의한 양자점 형성 기술은 한 번에 웨이퍼 전체에 양자점 형성이 가능하기 때문에 높은 생산효율을 나타내는 경제성 있는 기술로 알려져 있다.

그 중 스퍼터링 공정을 이용한 PVD 공정은 오랫동안 반도체 산업에 적용이 되어 기술축적이 많이 이루어진 기

[†]Corresponding author : yongchae@hanyang.ac.kr
Tel : 82-2-2290-0507 Fax : 82-2-2281-5308

술이다. 이러한 PVD 공정을 이용하여 원하는 크기와 밀도를 가지는 양자점을 기판위에 증착시키기 위해서는 기판온도, 증착시간, 가스압력과 타겟-기판거리로 대변되는 공정변수 각각이 양자점의 분포에 미치는 독립적인 영향을 알아야 한다. 공정 변수를 독립적으로 변화시켜 결과를 실험적으로 얻어내기에는 실험장치의 구현을 포함하여 여러 가지 난제가 있을 뿐만 아니라, 실험이 가지는 특성인 고비용과 시간이 오래 걸리는 단점을 가지고 있다. 이에 본 연구에서는 저비용으로 단기간에 결과를 얻을 수 있을 뿐만 아니라 독립적인 공정변수의 조절이 용이한 PVD 공정 시뮬레이터를 이용하여 공정 변수의 독립적인 변화에 따라 증착되는 Si 양자점의 크기와 분포의 영향을 정량적으로 분석하였다.

2. 실험방법

본 연구에서는 PVD 공정을 통한 Si 양자점 형성에 Monte Carlo 시뮬레이션을 적용시켜 증착조건 변화에 따른 양자점 분포 변화를 전산모사 하였는데, SIMBAD (v2.1, Reaction Design Co.)가 소프트웨어로 사용되었다.

일반적으로 박막 증착 공정 시뮬레이션에서는 증착 공정을 원자들이 타겟에서부터 기판에 도달하기까지의 과정과 기판에 도달한 후의 원자들의 거동으로 크게 두 부분으로 나누어 고려한다.^{5,6)} 각각의 공정변수의 변화에 따른 양자점 형성의 변화를 알아보기 위해 본 연구에서는 원자들이 타겟으로부터 기판에 도달하기까지 움직임에 영향을 미치는 변수로 가스압력과 타겟-기판거리를 선택하였고, 기판에 도달한 원자들의 핵생성과 성장을 통해 박막이 형성되는 과정에 해당하는 공정변수로는 기판온도와 증착시간을 선택하였다.

증착된 양자점 분포는 양자점 크기와 양자점 사이거리 및 균일도로서 관찰하였다. 양자점 크기와 양자점 사이거리는 Fig. 1에서와 같이 양자점을 형성하는 가장자리의 원자를 기준으로 하여 측정하였다. 이때 측정을 위해 증착기판 표면 중 폭이 1 μm 의 크기를 가지는 가상의 창(window)을 설정하고, 이 창을 통해 관측이 가능한 기판 위에 증착된 양자점 크기와 양자점 사이거리를 모두 측정하여 통계처리를 하였다. 양자점 크기와 양자점 사이거리의 균일도를 측정하기 위한 방법은 평균 양자점 크기

와 평균 양자점 사이거리가 가지는 표준편차의 범위로서 나타내었는데, 즉 표준편차를 평균값으로 나눈 값의 100분율로 균일도를 규정한 후 측정된 데이터를 이용하여 양자점 크기와 양자점 사이거리의 균일도를 계산하였다.

3. 결과 및 고찰

증착공정 중 원자들이 기판에 도달한 후 양자점을 형성하는 부분에서 고려한 증착조건 변화는 기판온도와 증착시간이다. 본 시뮬레이터에서 기판온도를 직접적으로 제어가 불가능하기 때문에 기판온도와 확산거리의 지수함수적인 관계를 식(1)로부터 유도하였다.

$$L = \sqrt{D_0 \exp\left(\frac{-E_a}{kT}\right) t} \quad (1)$$

여기서 L은 확산거리를 나타내며 D_0 는 확산상수, E_a 는 활성화에너지, k는 볼츠만 상수, T는 기판온도이다. t는 monolayer 형성 시간을 의미한다. 본 논문에서는 식(1)의 확산거리 L의 조절을 통해 기판온도의 변화에 따른 증착된 양자점의 분포 변화를 분석하였다.⁷⁾ 확산거리는 하나의 원자가 기판에서 이동할 수 있는 최대거리로 가정하였고, 확산거리 변화는 경험적으로 양자점 크기 및 양자점 사이거리가 시각적인 변화를 나타내는 범위로서 1 nm에서부터 16 nm까지 변화시켰다. 그리고 공정조건으로 Ar 가스압력은 3 mTorr, 타겟-기판거리는 8 cm, 증착되는 원자의 개수는 $5000 \mu\text{m}^{-2}$ 로 설정하였다. 여기서 증착되는 원자의 개수는 기판크기가 1 μm 일 때 수 nm의 양자점 크기와 약 $1 \times 10^{12} \text{ cm}^{-2}$ 밀도를 갖는 양자점을 형성할 수 있는 경험치로 얻은 개수이다. 시뮬레이션 결과 확산거리가 증가하면 기판에서의 원자 이동거리가 길어져 양자점 크기와 양자점 사이거리가 증가하는 경향을 Fig. 2에서 확인할 수 있었다. Fig. 2는 일정한 면적에 양자점들이 최밀충진형태로 배열된다는 가정 하에 계산된 단위면적당 밀도를 삽입시킨 그림으로서 확산거리가 증가하면 양자점의 밀도가 감소함을 알 수 있었다. 따라서 확산거리가 증가하면 원자들이 기판 위에서 새로운 양자점을 형성하기 보다는 원자 이동에 의해 보다 큰 크기의 양자점을 형성하게 됨이 판단되었다. 결과로부터 확산거리가 약 8 nm일 때 양자점 크기가 약 6.00 nm이고 양자점 사이거리는 약 4.75 nm로서 테라급 소자의 양자점 밀도($1 \times 10^{12} \text{ cm}^{-2}$)와 일치함을 알 수 있었다.

증착시간의 변화에 따른 양자점 분포 변화를 알아보기 위해 일정시간이 지나면 기판에 도달하는 원자 수는 포화되어 일정하게 된다는 가정을 도입하였다. 따라서 본 연구에서는 단위시간에 일정하게 도달하는 원자 수를 조절하여 증착시간을 변화시켰다. 임의의 시간 동안에 증가되는 원자 수는 경험적으로 증착시간의 변화에 따라 양

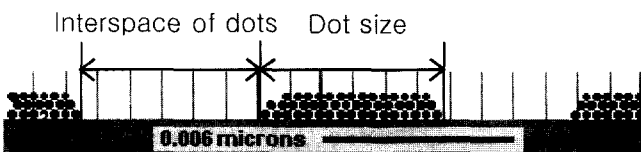


Fig. 1. The schematic diagram of dot size and interspace of dots.

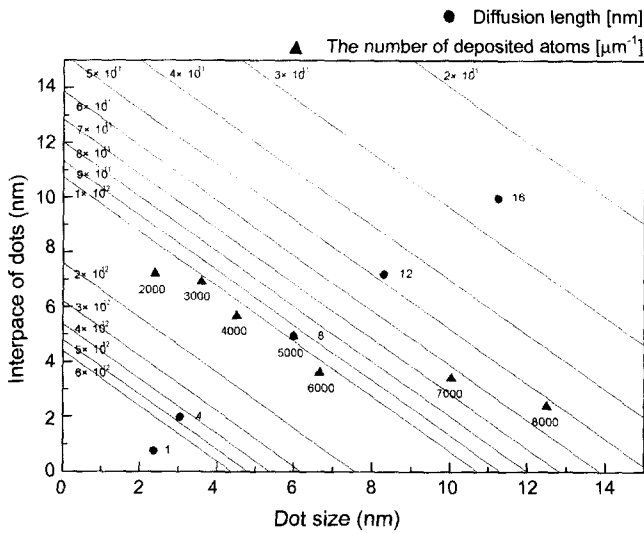


Fig. 2. The variation of density of dot, dot size and interspace of dots with the change of diffusion length and the number of deposited atoms.

자점 크기 변화를 시각적으로 확인 가능한 $1000 \mu\text{m}^{-1}$ 를 사용하였다. 증착시간에 대한 변화를 대신하여 원자 수를 $2000 \mu\text{m}^{-1}$ 에서부터 $8000 \mu\text{m}^{-1}$ 까지 $1000 \mu\text{m}^{-1}$ 씩 증가시켰고, 확산거리는 8 nm로 기판온도에 따른 양자점 크기와 양자점 사이거리 및 균일도 분석에서 알 수 있듯이 테라급 Si 양자점 밀도에 적합한 기판온도로서 적용시켰다. Fig. 2에서 확인할 수 있듯이 시뮬레이션 결과 증착원자 수가 $2000 \mu\text{m}^{-1}$ 에서부터 $6000 \mu\text{m}^{-1}$ 까지 $1 \times 10^{12} \text{ cm}^{-2}$ 밀도 선상을 따라 양자점 크기는 증가하고 양자점 사이거리는 감소하는 결과를 나타냈다. 이는 초기에 결정된 양자점이 성장함을 확인 할 수 있는 결과이다. 그리고 증착원자 수가 $6000 \mu\text{m}^{-1}$ 이상에서부터 양자점 사이거리의 변화폭이 줄어들고 양자점 크기의 변화폭이 증가하는 결과로서 밀도가 감소하는 경향이 나타났다. 이는 증착시간이 증가함에 따라 양자점과 양자점간의 부분적인 결합이 발생한 것으로 추정된다.⁸⁾ 양자점간의 부분적인 결합은 양자점 크기의 불균일과 양자점 사이거리의 불균일로 인해 발생된다고 판단되고, 이의 결과를 확인하기 위해 확산거리가 8 nm이고 증착원자 개수가 $5000 \mu\text{m}^{-1}$ 일 때의 양자점 크기와 양자점 사이거리의 표준편차 결과를 Fig. 3에 나타내었다. 그림에서 확인할 수 있듯이 양자점 크기의 표준편차(1.82 nm)보다 양자점 사이거리의 표준편차(2.09 nm)가 더 큰 결과로부터 양자점 사이거리의 불균일이 양자점간의 부분적인 결합에 더 많은 영향을 미치는 것으로 생각되고, 앞서 나타난 표준편차의 경향은 다른 결과에서도 전반적으로 나타났다.

확산거리를 1 nm에서 16 nm까지 변화시키기에 따라 양자점 크기와 양자점 사이거리의 균일도를 측정 한 결과 양

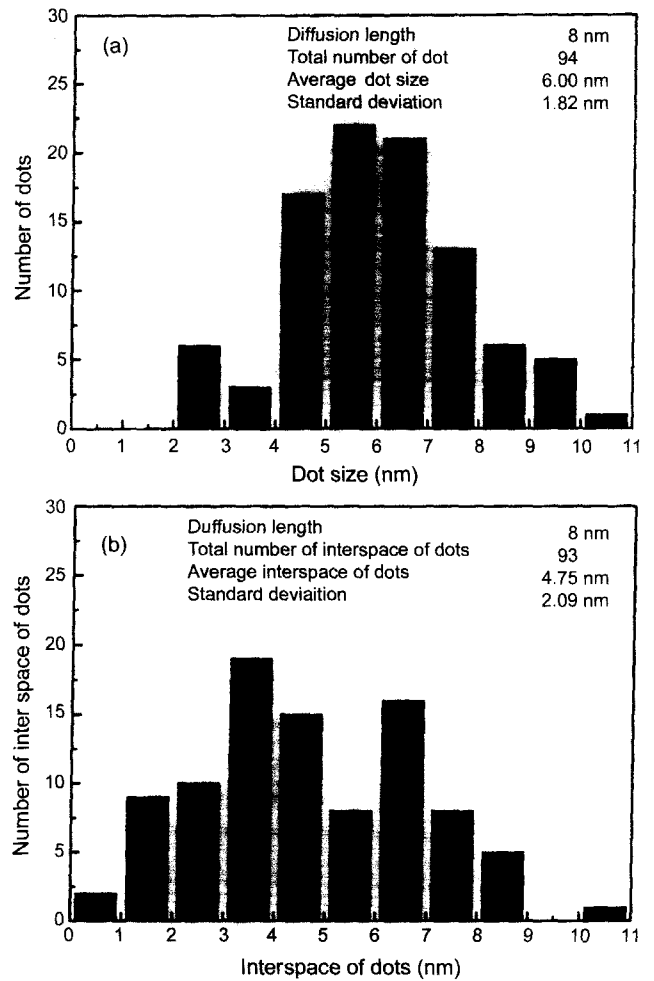


Fig. 3. The distribution of (a) dot size and (b) interspace of dots.

자점 크기의 균일도 변화폭이 약 55%에서 약 30%로 나타났고, 양자점 사이거리의 균일도 변화폭은 약 50%에서 약 40%로 나타났다. 이로부터 양자점 크기의 균일도 보다 양자점 사이거리의 균일도 제어가 더 어렵다는 것을 상대비교를 통해 알 수 있었다. 그러나 양자점 크기와 양자점 사이거리의 균일도 변화가 확산거리의 증가에 따라 비례적으로 나타나지 않고, 확산거리 8 nm까지는 균일도가 향상되지만 8 nm 이상에서는 균일도가 거의 변하지 않았다. 이는 확산거리가 8 nm 이전에서는 원자의 기판 운동에너지가 증가될 수록 보다 안정적인 위치로 원자이동에 의해 균일도가 향상하지만 그 이상의 확산거리에서는 양자점의 초기 핵 형성 시 불균일한 위치 때문에 원자의 기판에서 이동에너지가 많아진다고 해도 초기 불균일한 핵의 성장 결과가 나타나게 되어 양자점의 밀도가 감소하고 균일도의 향상이 줄어드는 경향이 나타남으로 생각된다. 증착시간에 따른 양자점 크기의 균일도 변화는 원자 수가 $2000 \mu\text{m}^{-1}$ 에서부터 $6000 \mu\text{m}^{-1}$ 까지는 변화가 거의 없

는 약 30%의 균일도를 나타냈고, 7000 μm^{-1} 와 8000 μm^{-1} 에서는 균일도가 약 40%로 변하는 경향을 나타냈다. 이는 증착시간에 따른 양자점간의 부분적인 결합이 발생됨이 확인되는 결과이다. 그리고 증착시간에 따른 양자점 사이거리의 균일도 변화는 약 45%로 변화가 거의 없었다.

본 연구로서 확산거리 8 nm, 증착원자 개수 5000 μm^{-1}

일 때 테라급 소자에서 요구되는 Si 양자점의 밀도와 일치함을 알 수 있었다. 이의 결과를 실제 PVD 공정에서의 기판온도와 증착시간으로 알아보기 위해 burial case를 적용시키고 앞서 제시한 식(1)과 다음의 식(2)을 이용하였다.

$$t = \frac{d}{R} \tag{2}$$

여기서 d는 monolayer의 두께이고 R은 증착속도이다. t는 monolayer 형성시간으로 기판거리를 1 μm 로 하였을 때 Si 원자 3430 μm^{-1} 를 형성하는 시간이 된다. 식(1)에서의 확산상수와 활성화 에너지는 실험값으로 얻은 $D_0=1.65 \times 10^{20} \text{ nm}^2/\text{sec}$ 와 $E_a=2.9 \text{ eV}$ 로서 적용시켰고,⁹⁾ 식(2)의 monolayer의 두께는 Si 원자를 기준으로 하여 $d=0.236 \text{ nm}$ 를 적용시켰다. 위의 식들의 조합에 의해 증착속도에 따른 확산거리와 증착원자 수를 나타낸 그림을 Fig. 4(a),(b)에 제시하였다. Fig. 4(a)는 증착원자수를 5000 μm^{-1} 로 고정하여 확산거리 1~16 nm가 실제 PVD 공정에서 기판온도는 약 425~520°C로 나타났고, Fig. 4(b)는 확산거리를 8 nm로 고정하여 증착원자 수 2000~8000 μm^{-1} 가 실제 PVD 공정에서 증착시간은 약 3~12 sec로 나타났다. 위의 결과로부터 테라급 Si 양자점 형성은 증착속도가 0.05 nm/sec 일 때 기판온도와 증착시간의 조건은 약 490°C와 약 7 sec임을 유도할 수 있었다.

가스압력과 타겟-기판거리는 앞서 말한바와 같이 증착 공정 중 원자들이 타겟에서부터 기판에 도달하기까지의 과정에서 고려되는 변수이며 기판에 입사되는 원자들의 입사각 분포 즉 angular distribution을 변화시킨다.⁶⁾ Angular distribution은 원자들이 기판에 입사될 때 기판의 surface normal vector에 대한 입사각 분포로서 양자점의 형성 및 성장에 영향을 주는 인자이다.¹⁰⁾ 따라서 기판온도와 타겟-기판거리의 변화에 의한 angular distribution의 변화에 따른 양자점의 분포 변화를 알아보았다. Angular distribution을 변화시키기 위해 공정조건으로 가스압력은 1 mTorr에서부터 15 mTorr까지 3 mTorr씩 증가시키고, 타겟-기판거리는 1 cm에서부터 24 cm까지 4 cm씩 증가시켰다. 가스압력과 타겟-기판거리 변화에 따른 angular distribution 변화 결과를 Fig. 5(a),(b)에서 볼 수 있다. 가스압력과 타겟-기판거리가 양자점 크기와 양자점 사이거리에 미치는 영향을 분석하기 위해 angular distribution을 나타낸 그래프 중 가로 폭과 높이의 차이가 큰 가스압력(1, 3, 15 mTorr)과 타겟-기판거리(1, 4, 8 cm)를 선택하여 독립적으로 변화시켰다. 즉 입사되는 원자들이 수직으로 입사되는 분포와 경사각을 갖고 입사되는 분포들이 양자점 형성에 미치는 영향을 비교하기 위해 앞서 연구결과로부터 테라급 Si 양자점 형성조건인 증착시간(원자 수) 5000 μm^{-1} , 기판온도(확산거리) 8 nm로 고정하여, 타겟-기판거리가 8 cm

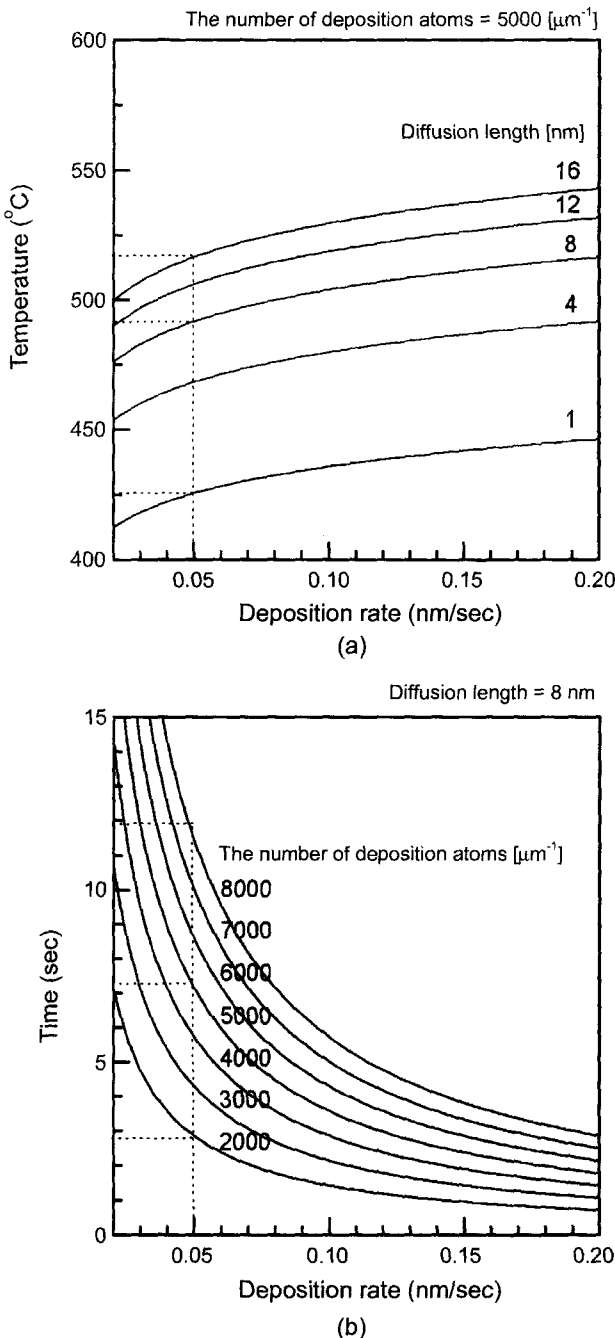


Fig. 4. The relation of (a) substrate temperature vs. deposition rate and (b) deposition time vs. deposition rate.

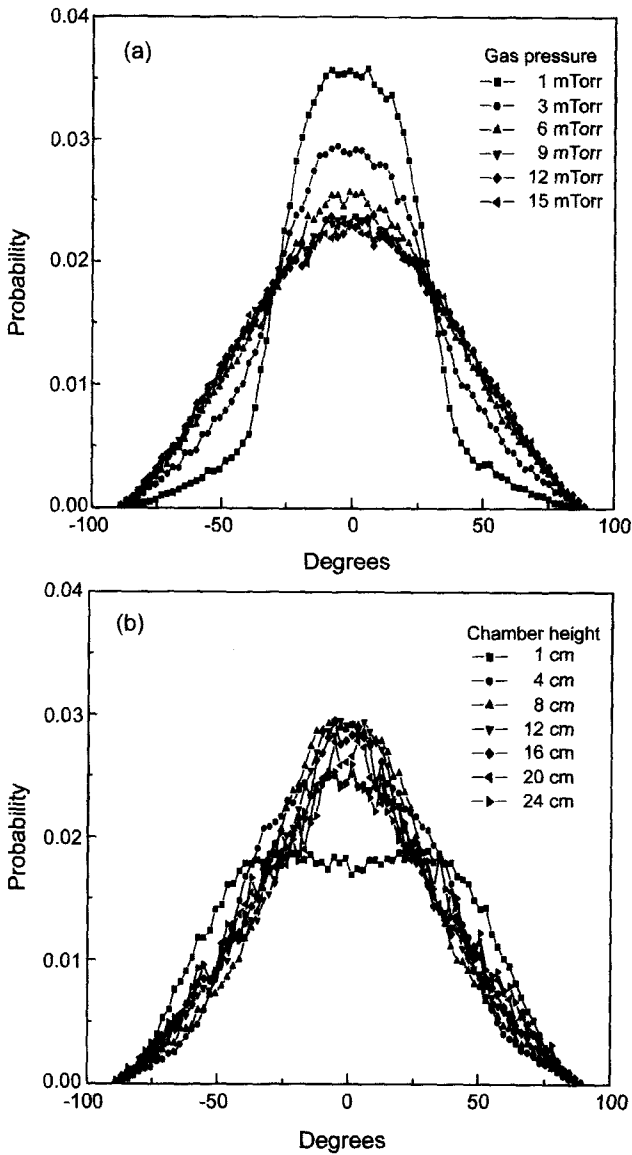


Fig. 5. The angular distribution of the sputtered with the change of (a) gas pressure and (b) target-substrate distance.

일 때 가스압력을 1, 3, 15 mTorr로 변화시켰고, 가스압력이 3 mTorr일 때 타겟-기판거리를 1, 4, 8 cm로 변화시켰다. 가스압력과 타겟-기판거리의 변화에 따른 양자점 크기와 양자점 사이거리 변화를 Fig. 6(a),(b)에 나타내었다. 가스압력 3 mTorr, 타겟-기판거리 8 cm로 양자점을 형성했을 때와 angular distribution의 변화에 따라 양자점을 형성했을 때의 양자점 크기와 양자점 사이거리 결과는 큰 변화가 없음을 알 수 있었고, 균일도의 변화도 거의 변화가 없음을 알 수 있었다. 이는 확산거리가 8 nm로 Si 원자 크기의 약 33배의 거리만큼 기판에서의 원자 이동에너지가 원자들의 입사각의 변화 영향보다 양자점 형성에 지배적으로 작용함이 판단된다.

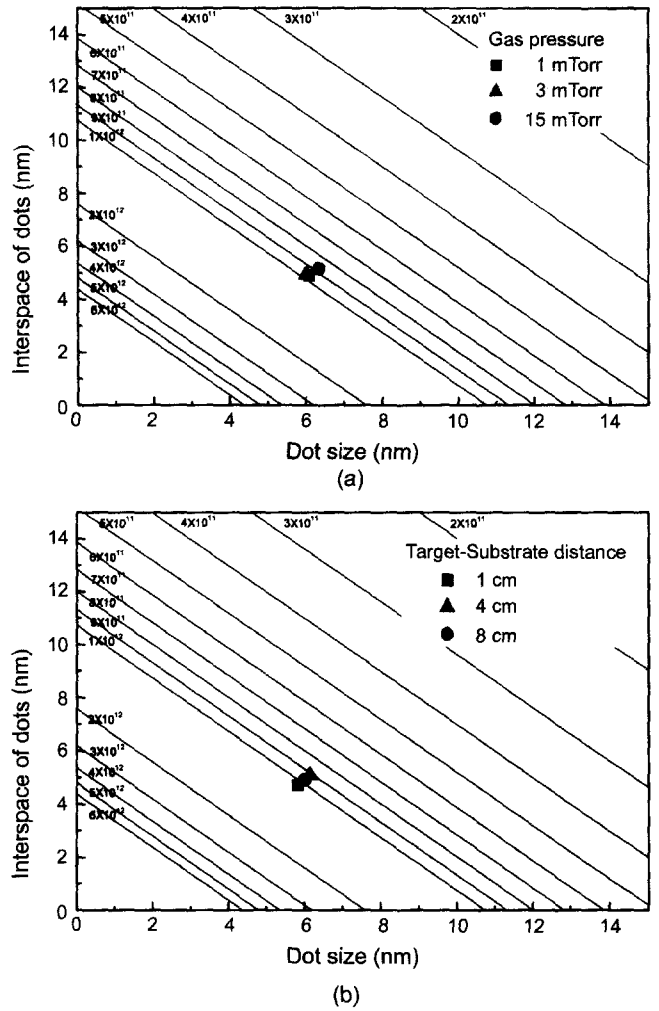


Fig. 6. The variation of density of dot, dot size and the size of interface of dots with the change of (a) gas pressure and (b) target-substrate distance.

4. 결 론

본 연구에서는 PVD 공정으로 Si 양자점 형성시 증착조건 변화가 증착된 양자점 크기와 분포에 미치는 영향을 전산모사를 통하여 정량적으로 분석하였다. 증착조건은 PVD 공정에서 제어가 가능한 기판온도, 증착시간, 가스압력과 타겟-기판거리를 선택하였다. 전산모사 결과 기판온도가 증가할수록 양자점 크기와 양자점 사이거리가 증가하였고, 양자점 밀도는 감소하였다. 증착시간의 증가에 따라서는 양자점 크기가 증가하였고 양자점 사이거리는 감소하였다. 반면에 양자점 밀도는 입계시간 전까지는 초기밀도와 거의 일치하였으나 입계시간이 지난 후에는 감소함을 나타내었는데, 가스압력과 타겟-기판거리의 변화는 양자점 크기와 양자점 사이거리 및 밀도에는 거의 영향을 미치지 않았다. 본 연구결과로부터 기판온도는 확산거리로서 약 8 nm, 증착시간은 증착되는 원자 수로서

약 $5000 \mu\text{m}^{-1}$, 즉 실제 PVD 공정에서 증착속도가 0.05 nm/scc 일때 약 490°C 의 기판온도, 약 7 sec의 증착시간, 3 mTorr의 가스압력이고 8 cm의 타겟-기판거리로 sputtering 할 때 양자점 크기가 약 6.00 nm, 양자점 사이간격이 약 4.75 nm이고 양자점 밀도가 약 $1 \times 10^{12} \text{ cm}^{-2}$ 인 테라급 Si 양자점을 형성할 수 있는 증착조건을 제시 할 수 있었다.

감사의 글

본 연구는 과학기술부 · 한국과학재단 지정 한양대학교 세라믹공정연구센터 지원에 의해 수행되었으며, 이에 감사드립니다.

REFERENCES

1. L. Guo, E. Leobandung and S. Y. Chou, "A Single-electron Transistor Memory Operating at Room Temperature," *Science*, **275** 649-51 (1997).
2. B-H. Choi, S. W. Hwang, I. G. Kim, H. C. Shin, Y. Kim and E. K. Kim, "Fabrication and Room-temperature Characterization of a Silicon Self-assembled Quantum-dot Transistor," *Appl. Phys. Lett.*, **73** [21] 3129-31 (1998).
3. H. Ishikuro and T. Hiramoto, "Quantum Mechanical Effects in the Silicon Quantum Dot in a Single-electron Transistor," *Appl. Phys. Lett.*, **71** [25] 3691-93 (1997).
4. T-S. Yoon, J-Y. Kwon, D-H. Lee, K-B. Kim, S-H. Min, D-H. Chae, D. H. Kim, J. D. Lee, B-G. Park and H. J. Lee, "High Spatial Density Nanocrystal Formation Using Thin Layer of Amorphous $\text{Si}_{0.7}\text{Ge}_{0.3}$ Deposited on SiO_2 ," *J. Appl. Phys.*, **87** [5] 2449-53 (2000).
5. B. Lewis and J. C. Anderson, *Nucleation and Growth of Thin Films*, pp.1~15, Academic press, New York, 1978.
6. M. J. Brett, S. K. Dew and T. J. Smy, "Thin Film Microstructure and Process Simulation Using SIMBAD," pp. 1-79 in *Thin Films-modeling of Film Deposition for Micro-electronic Applications*, Edited by S. Rossangel, Academic press, San Diego, 1995.
7. S. K. Dew, T. Smy and M. J. Brett, "Simulation of Elevated Temperature Aluminum Metallization Using SIMBAD," *IEEE Trans. Electron Dev.*, **39** [7] 1599-606 (1992).
8. A. Bosacchi, P. Frigeri, S. Franchi, P. Allegri and V. Avanzini, "InAs/GaAs Self-assembled Quantum Dots Grown by ALMBE and MBE," *J. Cryst. Growth*, **175/176** 771-76 (1997).
9. A. T. Voutsas and M. K. Hatalis, "Structure of As-deposited LPCVD Silicon Films at Low Deposition Temperatures and Pressures," *J. Electrochem. Soc.*, **139** [9] 2659-65 (1992).
10. T. Smy, L. Tan, K. Chan, R. N. Tait, J. N. Broughton, S. K. Dew and M. J. Brett, "A Simulation Study of Long Throw Sputtering for Diffusion Barrier Deposition into High Aspect Vias and Contacts," *IEEE Trans. Electron Dev.* **45** [7] 1414-25 (1998).