

세폭소거 펄스 방식을 적용한 AC PDP에서의 동특성 전압 마진

論文

51C-11-6

Dynamic Voltage Margin of AC PDP with the Narrow Erase Pulse Method

安楊基* · 尹東漢**
(Yang-Ki An · Dong-Han Yoon)

Abstract - This paper proposes the new narrow erase method to erase wall charges formed in an AC plasma display panel (PDP) cell. In the proposed method, pulse timing of switch at the sustain period is adjusted for inducing a weak discharge. Then, after the narrow erase, the voltage of the X electrode is set to differ from that of the Y electrode. For the proposed method, the measured maximum address voltage margin was 38.3V at Y_Rest voltage of 100V and sustain voltage of 180~185V. However, for the conventional method, in which the X and Y electrodes are set to be of equal voltage after the narrow erase, the measured maximum address voltage margin was 31.3V at Y_Rest voltage of 150V and sustain voltage of 180V. This result shows that the measured maximum voltage margin for the proposed method is about 7V(22%) higher than that for the conventional method.

Key Words : PDP, Narrow erase, Wall charge, Margin, Cell

1. 서론

차세대 대화면 평판 디스플레이장치인 PDP (plasma display panel)는 화면의 크기에 관계없이 구동회로를 포함한 제품의 두께가 거의 10cm 미만이고, 40인치의 경우 중량이 18kg 정도 밖에 되지 않아 벽에 걸 수 있을 만큼 가볍다. 이러한 PDP는 대화면 및 초박형을 요구하는 현대의 디지털 멀티미디어의 요구에 부합하는 것으로서, 대화면의 TV, 모니터, HDTV(high definition TV)영역으로 급속히 발전하고 있다[1].

PDP는 전계 인가 구동방법에 따라 직류형(DC)^[2]과 교류형(AC)^[3]으로 나뉘게 된다. DC 구동 방식의 경우는 방전전극이 방전공간에 직접 노출되어 전도 전류가 전극을 통해 직접 흐른다. 반면에 AC 구동 방식의 경우는 방전전극이 유전체로 덮혀 있어 방전에 의해 형성된 하전입자가 벽전하로서 유전체층에 쌓이게 된다^[3]. 이러한 벽전하(wall charge)에 의해 벽전압이 형성되고 외부 전위의 극성을 교번으로 인가하면 이 전압과 벽전압이 합쳐져서 공간전압이 되어 방전을 유지할 수 있게 된다. 이러한 현상을 기억기능(memory function)이라 한다^[4].

현재 대부분의 PDP는 AC 구동 방식을 사용하고 있으며, 그림 1에 3전극 면 방전형 AC PDP의 구조를 나타내었다. 두 장의 유리 기판 위에 서로 교차 대향하는 전면 및 배면 전극이 배열되고 그 교차점에 형성되는 셀(cell)의 구획을

위한 스트라이프(stripe) 또는 격자형의 격벽(barrier)이 구비되어 그 사이의 각 셀에는 red, green, blue의 형광층이 형성된다. 전면 및 배면의 각각의 전극 위에는 투명 또는 불투명 유전체층이 형성되어 있고, 일반적으로 인쇄 및 소성방법으로 형성이 되며 PDP 구동 시 외부인가 전압을 결정하는 주요 요소 중의 하나이다. 유전체층에는 성막방법에 의해 보호층을 형성해주게 되는데, 보호층은 일반적으로 2차전자 방출효과가 높은 MgO층으로 구성된다. 한편, 방전공간에서 발생된 방전광은 전면기판을 통해 사용자에게 전달되는데 광투과를 저해하지 않기 위해 전면 전극은 ITO등의 투명전극으로 구성되나 그 도전성의 저하를 보상하기 위해 저항이 낮은 금속 보조 전극인 BUS전극을 사용하는 것이 일반적이다. 그러나 PDP는 방전소자이어서 인접 셀이 동시에 방광하는 경우, 명확한 화상 인식이 곤란해지므로, 전면기판의 각 셀 간에는 블랙스트라이프가 형성되어 콘트라스트의 향상을 도모하고 비 유효 공간인 ITO outer gap사이에 형성된다.

셀이 방전을 하고 난 뒤에는 전극 위에 덮여있는 유전체층에 벽전하가 쌓이게 된다. 이 때 벽전하를 다음 방전을 위해 이용할 때가 있고, 또한 불필요한 벽전하를 소거해야 할 경우가 있다. 벽전하를 소거하는 방식에는 크게 세폭소거, 대폭소거, 자기소거 방식이 있다^{[5][6]}. 본 논문에서는 세폭소거 방식에 관한 연구를 하였으며, 세폭소거 파형을 만들어주는 스위치를 구동시키기 위한 펄스의 타이밍을 조절하여 동특성 전압 마진을 확보하였다. 종래에는 세폭소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 약 20 μ s 정도의 유지구간을 두어 X전극과 Y전극의 전압 레벨을 같게 하여 벽전하를 소거한 반면, 본 논문에서는 세폭소거 이후의 X전극과 Y전극의 전압 레벨을 다르게 하고 유지구간에서 스위치의 펄스 타이밍을 조절하여 약한 방전을 일으키게 한 뒤 벽

* 正會員 : 金烏工人 電子工學科 博士課程

** 正會員 : 金烏工大 電子工學科 正教授 · 工博

接受日字 : 2002年 8月 27日

最終完了 : 2002年 10月 17日

전하를 소거하였다. 이로 인해 종래에 사용한 방식보다 더 큰 동특성 전압 마진을 확보할 수 가 있었다.

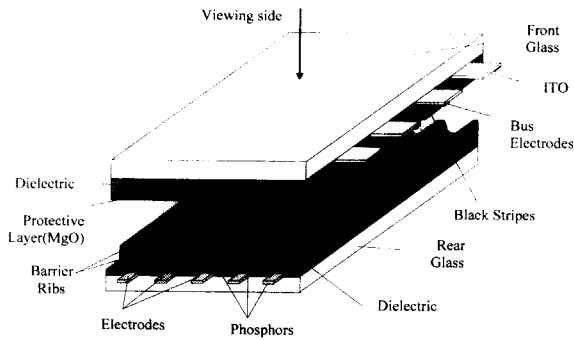


그림 1 AC 3전극 면 방전형 PDP 구조
Fig. 1 Schematic diagram of a three electrode type AC PDP

2. 실험 조건 및 방법

그림 2에 동특성 전압 마진 측정을 위한 블록다이어그램을 나타내었다. 패널은 42인치 패널을 사용하였으며, 여기에 red, green, blue의 색을 ASTRO VG-828 패턴 제너레이터로 입력신호를 공급하였으며, EX-750H 전원장치로 Vs(유지전압), Va(어드레스 전압), Y_Rest 전압을 가변 하면서 동특성 전압 마진을 측정하였다. 그리고 광을 측정하기 위해 적외선 검출기(IR Detector)로 광을 검출하였으며 이것을 오실로스코프로 확인하였다.

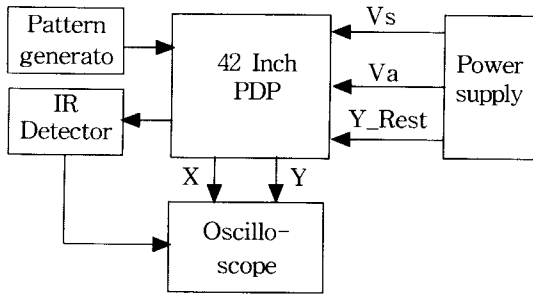


그림 2 동특성 전압 마진 측정을 위한 블록도
Fig. 2 Block diagram for dynamic voltage margin measurement

그림 3은 동특성 전압 마진 측정을 위해 본 논문에서 사용한 구동 파형의 모형을 나타내었다. 첫 번째, 리셋구간에서 Y전극에는 rising slope(3.5V/μs)을 통하여 방전경로에 따라 약방전이 일어나서 부(-)의 벽전하를 유전체 표면에 형성시키며, 이때 X전극과 data전극에는 정(+)의 벽전하가 쌓이게 된다. 그리고 rising slope 종료 후 전극 전체 영역에서의 벽전하 형성이 종료된다. falling slope(1.75V/μs)시 X전극의 Vx(150V) 전압으로 인해 Y전극과 X전극이 중화 방전을 실시하게 되는데, 이때 약방전이 일어나며 rising

slope때 형성되었던 벽전하는 falling slope을 ground 전위 이하까지 하강시킨다. 어드레스구간에서 안정적으로 셀을 선택하기 위해 불필요한 벽전하를 최대한 감소시켜 아주 적은 정의 벽전하를 유전체 표면에 형성시키며, X전극에는 부의 벽전하가 쌓이고 data전극에는 앞에서 일어났던 방전에 상관없이 정의 벽전하가 그대로 쌓이게 된다. 두 번째, 어드레스구간에서는 ground 전위 이하까지 falling slope을 수행하고 난 뒤 ground 전위 이하에서 스캔을 시작한다(셀 선택). 약 70V의 스캔 전압(Vy)과 약 57V의 데이터 전압(Va)으로 선택적 기입 방식에 의해 셀을 선택하게 된다. 그리고 Y전극에는 정의 벽전하가 쌓이고 X전극과 data전극에는 부의 벽전하가 쌓이게 된다. 이때 ground 전위 이하에서 스캔을 하는 이유는 두 번째 서브필드에서부터 마지막 서브필드까지는 리셋구간에 선택적 소거(selective erasing)를 수행하기 때문에 어드레스구간에서 안정적으로 셀을 선택하기 위한 목적이다. 세 번째, 유지구간에서는 어드레스구간에서 선택된 셀에 대해 유지방전을 실행해야하는데 제일 처음 Y전극에 약 5.6μs의 긴 펄스(약 180V)를 인가하여 안정적으로 유지방전을 수행한 뒤 그 다음부터는 X전극과 Y전극에 교번으로 약 2μs의 펄스 전압을 인가하여 유지방전을 수행한다. 그리고 Y전극의 마지막 유지방전에서는 짧은 펄스(약 1μs)를 인가하여 세폭 소거를 실행한다. 이것은 펄스폭이 짧기 때문에 방전이 일어난 뒤 벽전하가 다시 형성될 시간이 부족하여 유전체층에 쌓이는 벽전하를 최대한 억제한다. 이렇게 해서 첫 번째 서브필드에서 유지방전을 실행한 셀에 대해서만 두 번째 서브필드에서부터 마지막 서브필드까지 리셋구간에서 안정적으로 리셋을 실행할 수 있다.

표 1에는 본 논문에서 동특성 전압 마진을 측정하기 위해서 사용한 42인치 전면 패널의 사양을 나타내었으며, 표 2에는 배면 패널의 사양을 나타내었다. 패널은 3전극 면방전형의 스트라이프 구조이며, 셀은 R, G, B의 pitch가 각각 다른 비대칭 셀을 이용하였다.

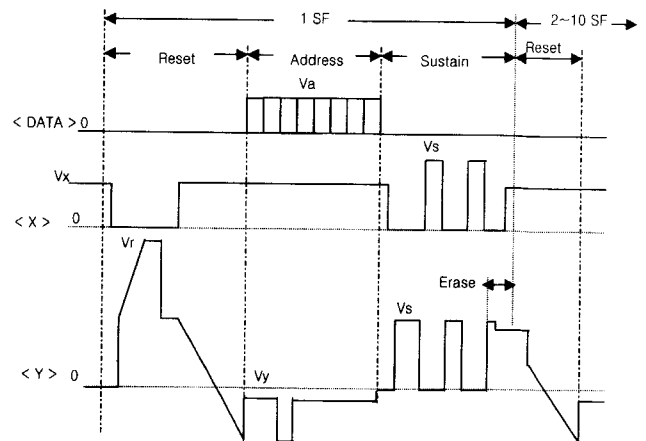


그림 3 제안한 구동 파형 모형도
Fig. 3 The Schematic diagram of the proposed driving waveform

표 1 전면 패널 사양

Table 1 Specification of front panel

Front Panel	
ITO width	320 μm
ITO thickness	1250 Å
ITO space	90 μm
BUS electrode width	90 μm
BUS electrode thickness	8 μm
Black stripe width	220 μm
Black stripe thickness	7 μm
Dielectric thickness	40 μm
MgO thickness	8000 Å
Gas mixture	He+Ne(29%)+Xe(4%)

표 2 배면 패널 사양

Table 2 Specification of rear panel

Rear Panel	
Address electrode width (R)	140 μm
Address electrode width (G)	160 μm
Address electrode width (B)	210 μm
Address electrode thickness	7 μm
Dielectric thickness	20 μm
Barrier rib width	85 μm
Barrier rib height	130 μm
Barrier rib pitch(R)	220 μm
Barrier rib pitch(G)	250 μm
Barrier rib pitch(B)	360 μm
Phosphor thickness	12 μm

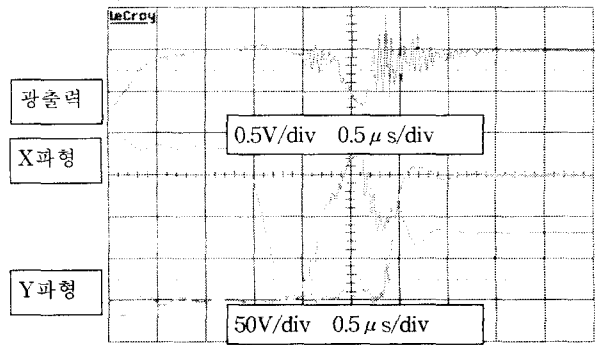
3. 실험 및 결과

1) 종래의 세폭소거 동특성 전압 마진 측정

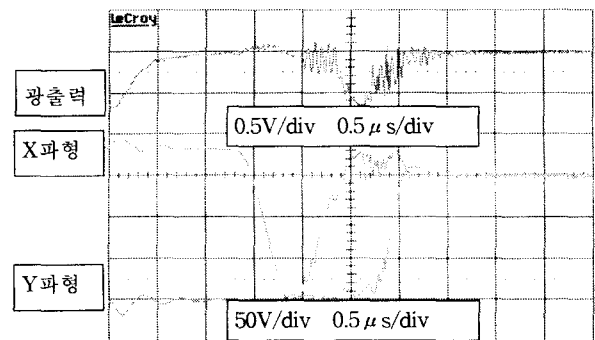
그림 4에서, (a)는 세폭소거 이후의 Y 전극 레벨(Y_Rest)을 80V, 그림 (b)는 150V로 놓은 상태에서 X 전극 레벨(X_Shelf)을 150V로 놓고 광 출력을 측정한 파형으로서, 세폭소거 구간에서만 광이 한번 출력되고, 세폭소거 이후에는 광이 출력되지 않는 것을 보여주고 있다. 여기서 Y 전극 레벨을 80V, 100V, 120V, 150V로 가변 하면서 red, green, blue의 패턴을 입력하여 동특성 전압 마진을 측정하였다. 표 3과 그림 5는 red, green, blue에 대하여 각각의 전압을 측정된 뒤 평균값을 구하고, 서스테인 전압(Vs)을 170V, 175V, 180V, 185V, 190V로 가변을 하면서, 각 전압에 대하

여 어드레스 전압(Va)을 가변하면서 측정하였다. 여기서 소거 전압은 셀이 꺼져 있는 상태에서 어드레스 전압을 가변하여 모든 셀이 켜져 있을 때 측정된 전압이며, 과방전 전압은 어드레스 전압을 최대 80V까지만 올려서 셀이 과방전을 하는지, 또는 인접 셀에 영향을 미치는지를 측정된 전압이다. 그리고 어드레스 전압을 최대 80V까지만 올린 것은 IC의 최대 허용전압이 100V이며, IC가 파손되지 않는 범위 내에서 실험을 하기 위함이며, 실제적으로 어드레스 전압을 80V이상 가하지는 않는다.

Y_Rest 전압이 80V일 때 동특성 전압 마진이 가장 적고, 150V일 때 전압 마진이 가장 큰 것을 볼 수 있으며, 또한 서스테인 전압이 180V, 185V, 190V일 때가 전압 마진이 가장 큰 것을 볼 수가 있다. 그리고 Y_Rest 전압이 150V에서 동특성 전압 마진이 가장 크게 나타났는데, 이때의 조건을 보면 서스테인 전압이 170V일 때 어드레스 전압 마진이 29V이며, 175V일 때 29.7V, 180V일 때 31.3V, 185V일 때 31V, 190V일 때 30.7V로 나타났다. 종래의 세폭소거 동특성 전압 마진의 측정 결과를 볼 때 Y_Rest 전압이 150V, 서스테인 전압이 180V일 때가 어드레스 전압 마진이 31.3V로써 가장 크게 나타났다.



(a) Y_Rest 전압 80[V]



(b) Y_Rest 전압 150[V]

그림 4 종래의 세폭소거 파형 및 광 출력

Fig. 4 Narrow erase waveform and light emission of the conventional method

표 3 종래의 세폭소거 동특성 전압 마진 측정 데이터
Table 3 Measurement data for narrow erase dynamic voltage margin of the conventional method

Y_Rest 전압[V]		Vs[V]				
		170	175	180	185	190
80	소거	54	53	51.7	51.7	51.7
	과방전	80	80	80	80	80
100	소거	52.7	52.3	51	51	51
	과방전	80	80	80	80	80
120	소거	51.7	51.7	50.3	50.3	50.7
	과방전	80	80	80	80	80
150	소거	51	50.3	48.7	49	49.3
	과방전	80	80	80	80	80

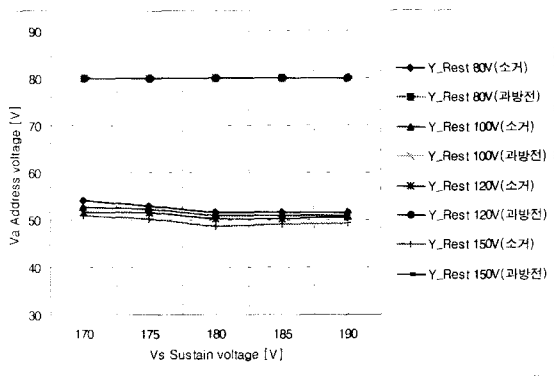
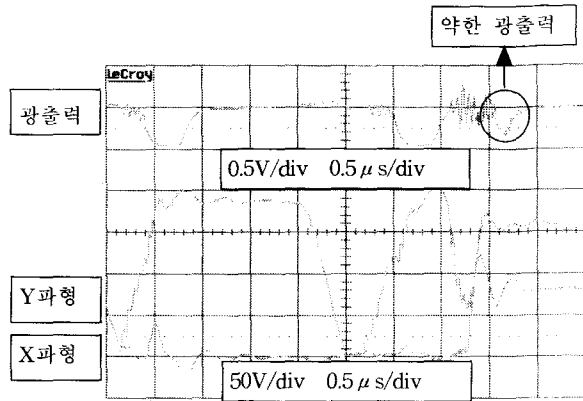


그림 5 종래의 세폭소거 동특성 전압 마진 측정
Fig. 5 Measurement for narrow erase dynamic voltage margin of the conventional method

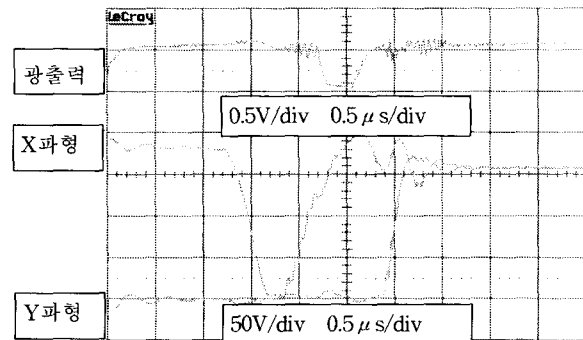
2) 본 논문에서 제안한 세폭소거 동특성 전압 마진 측정

전압 마진 측정 방법은 종래의 동특성 전압 마진 측정과 같이 동일하다. Y 전극 레벨을 80V, 100V, 120V, 150V로 가변 하면서 red, green, blue의 패턴을 입력하여 동특성 전압 마진을 측정하였다. 종래의 세폭소거와 비교하였을 시, 본 논문에서 제안한 방법은 그림 6의 (a)와 같이 세폭소거 구간 이후에 즉, Y_Rest 구간에서 약한 방전을 한번 더 일으키게 하여 벽전하를 소거하는 방법이다. (b)그림을 보면, (a)그림에 비해 광출력이 거의 없는 것을 볼 수가 있는데, 이것은 Y_Rest 전압이 X전극의 X_Shelf 전압에 가까이 갈수록 광이 없어짐을 의미한다. 표 4와 그림 7은 red, green, blue에 대하여 각각의 전압을 측정한 뒤 평균값을 구하고 서스테인 전압(Vs)을 170V, 175V, 180V, 185V, 190V로 가변을 하면서, 각 전압에 대하여 어드레스 전압(Va)을 가변 하면서 측정하였다. Y_Rest 전압이 150V일 때 동특성 전압 마진이 가장 적고, 100V일 때 전압 마진이 가장 큰 것을 볼 수 있으며, 또한 서스테인 전압이 180V, 185V, 190V일 때가 전압 마진이 가장 큰 것을 볼 수가 있다. 그리고 Y_Rest 전압이 100V에서 동특성 전압 마진이 가장 크게 나타났는데, 이때의 조건을 보면 서스테인 전압이 170V일 때 어드레스 전압 마진이 36V 이며, 175V일 때 36.7V, 180V일 때 38.3V, 185V일 때 38.3V, 190V일 때 38V로 나타났다.

본 논문에서 제안한 세폭소거 동특성 전압 마진의 측정 결과를 볼 때 Y_Rest 전압이 100V, 서스테인 전압이 180V, 185V일 때, 어드레스 전압 마진이 38.3V로써 가장 크게 나타났다. 본 논문에서 제안한 방법으로 인하여 종래의 방법보다 약 7V(22%)정도의 전압마진을 더 확보할 수가 있었다.



(a) Y_Rest 전압 80[V]



(b) Y_Rest 전압 150[V]

그림 6 제안된 세폭소거 파형 및 광 출력
Fig. 6 Narrow erase waveform and light emission for the proposed method

표 4 제안된 세폭소거 동특성 전압 마진 측정 데이터
Table 4 Measurement data for narrow erase dynamic voltage margin for the proposed method

Y_Rest 전압[V]		Vs[V]				
		170	175	180	185	190
80	소거	47.3	46.3	45.7	45.3	45.7
	과방전	80	80	80	80	80
100	소거	44	43.3	41.7	41.7	42
	과방전	80	80	80	80	80
120	소거	46	46	44.7	44.7	44.7
	과방전	80	80	80	80	80
150	소거	48.3	47.7	47	46.3	46.7
	과방전	80	80	80	80	80

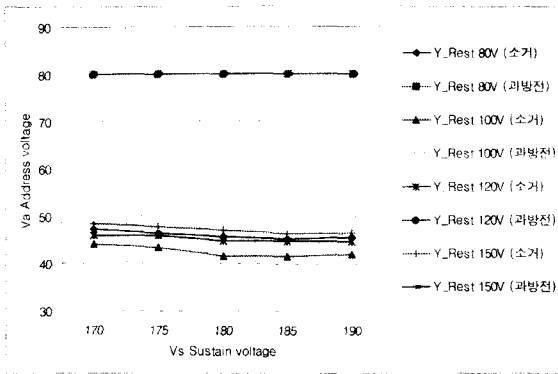


그림 7 제안된 세폭소거 동특성 전압 마진 측정
 Fig. 7 Measurement for narrow erase dynamic voltagemargin for the proposed method

4. 결 론

본 논문에서는 세폭소거 방식에 관한 연구를 하였으며, 세폭소거 파형을 만들어주는 스위치를 구동시키기 위한 펄스의 타이밍을 조절하여 동특성 전압 마진을 확보하였다. 종래에는 세폭소거 이후 전극에 벽전하가 쌓이지 않게 하기 위해 약 20μS 정도의 유지구간을 두어 X전극과 Y전극의 전압 레벨을 같게 하여 벽전하를 소거한 반면, 본 논문에서는 세폭소거 이후의 X전극과 Y전극의 전압 레벨을 다르게 하고 유지구간에서 스위치의 펄스 타이밍을 조절하여 약한 방전을 일으키게 한 뒤 벽전하를 소거하였다. 이로 인해 종래에 사용한 방식보다 더 큰 동특성 전압 마진을 확보할 수가 있었으며, 종래의 세폭소거와 본 논문에서 제안한 세폭소거에 대한 동특성 전압 마진을 측정하여 비교 검토하였다.

종래의 방식은 Y_Rest 전압이 80V일 때 동특성 전압 마진이 가장 적고, 150V일 때 전압 마진이 가장 크게 나타났다. 그리고 Y_Rest 전압이 150V, 서스테인 전압이 180V일 때 어드레스 전압 마진이 31.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식은 Y_Rest 전압이 150V일 때 동특성 전압 마진이 가장 적고, 100V일 때 전압 마진이 가장 크게 나타났다. 그리고 Y_Rest 전압이 100V, 서스테인 전압이 180V, 185V일 때, 어드레스 전압 마진이 38.3V로 가장 크게 나타났다. 본 논문에서 제안한 방식으로 인하여 종래의 방식 보다 약 7V(22%) 정도의 전압마진을 더 확보할 수가 있었다.

감사의 글

본 연구는 2002년도 (주)UPD의 지원에 의하여 이루어진 연구로서, 관계 부서에 감사 드립니다.

참 고 문 헌

[1] 황기웅외 7명, "디스플레이공학II", 청범출판사, pp. 7-15, 2000.9.
 [2] Y. Takano, et al., "Late-News paper: A 40-in. DC-PDP with New Pulse-Memory Drive Scheme", SID'94 Digest, pp.731-734, 1994.
 [3] T. Shinoda, et al., "Surface-Discharge PDP with 3 electrodes", SID'84 Digest, 1984.
 [4] Lawrence E. Tannas, Jr, "Flat-Panel Displays and CRTs", New York: Van Nostrand Reinhold Company, 1985.
 [5] Yoshikaza Kanazawa, "Method and for drivingdisplay panel", United States Patent 5420602, 1995.3.30.
 [6] Yoshikaza Kanazawa, "Method and apparatus for driving surface discharge plasma display panel", United States Patent 5446344, 1995.8.29.

저 자 소 개



안 양 기 (安楊基)

1971년 4월 16일생. 1997년 금오공대 전자공학과 졸업. 2000년 동 대학원 전자공학과 졸업(공학석사). 2000년~현재 동 대학원 전자공학과 박사과정, (주)UPD 연구원

Tel : 031-631-9918, Fax : 031-631-9916

E-mail : anyangki@updkorea.com



윤 동 한 (尹東漢)

1945년 1월 6일생, 1968년 광운대학교 전자공학과 졸업. 1980년 명지대학교 전자공학과 졸업(공학석사), 1987년 명지대학교 전자공학과 졸업(공학박사). 1979년~현재 금오공과대학교 전자공학과 교수.

Tel : 054-467-4323, Fax : 054-467-4321

E-mail : ydh@knut.kumoh.ac.kr