

論文 2002-39SC-6-5

온도에 무관한 전압검출기의 바이어스 구현

(An Implementation of Temperature Independent Bias Scheme in Voltage Detector)

文宗奎*, 金德奎**

(Jong Kyu Moon and Duk Gyoo Kim)

요약

본 논문에서는 전압검출기에 사용되는 온도에 무관한 검출 전압원을 제안한다. 검출 전압원이 절대온도 영도(Zero degree)에서 실리콘 밴드갭 전압의 m 배가 되도록 설계한다. 검출 전압원의 온도계수는 트랜지스터 이미터 베이스 사이의 서로 다른 면적을 가진 다이오드에 생성된 비선형 전압인 ΔV_{BE} 의 오목한 온도계수와 트랜지스터 순방향 전압인 V_{BE} 의 볼록한 비선형 온도계수의 합으로 다이오드의 온도계수를 적절히 선택함으로써 거의 제로의 온도계수를 실현한다. 또한 검출 전압원의 값이 ΔV_{BE} , V_{BE} 멀티플라이어 회로 및 저항을 이용하여 변화될 수 있도록 설계하였다. 제안한 검출 전압원의 성능을 평가하기 위해, $6\mu\text{m}$ 바이폴라 기술로 조립된 1.9V용 IC를 제작하여 검출 전압원의 동작특성과 온도계수를 측정하였다. 또한 검출 전압원의 값이 공정에 의해 변화되는 요인을 줄이기 위해 트리밍 기술, 이온 임플란테이션과 이방성 에칭을 도입하였다. 제작된 IC에서 검출 전압원은 $-30^{\circ}\text{C} \sim 70^{\circ}\text{C}$ 의 온도범위에서 29ppm/ $^{\circ}\text{C}$ 의 안정된 온도계수를 얻을 수 있었다. 그리고 전압검출기의 소비전류는 1.9V 공급전압에서 $10\mu\text{A}$ 이다.

Abstract

In this paper, we propose a temperature independent the detective voltage source in voltage detector. The value of a detective voltage source is designed to become m times of silicon bandgap voltage at zero absolute temperature. By properly choosing the temperature coefficient of diode, the temperature coefficient of a concave voltage nonlinearities generated by the ΔV_{BE} section of diode between base and emitter of transistors with a different area can be summed with convex nonlinearities the V_{BE} voltage to achieve the near zero temperature coefficient of the detective voltage source. We designed that the value of a detective voltage can be varied by ΔV_{BE} , the V_{BE} multiplier circuit and resistor. In order to verify the performance of a proposed detective voltage source, we manufactured the voltage detector IC for 1.9V which is fabricated in $6\mu\text{m}$ Bipolar technology and measured the operating characteristics, the temperature coefficient of a detective voltage. To reduce the deviation of a detective voltage in the IC process step, we introduced a trimming technology, ion implantation and an isotropic etching. In manufactured IC, the detective voltage source could achieve the stable temperature coefficient of 29ppm/ $^{\circ}\text{C}$ over the temperature range of -30°C to 70°C . The current consumption of a voltage detector constituted by the proposed detective voltage source is $10\mu\text{A}$ from 1.9V supply voltage at room temperature.

Keyword : bandgap reference, voltage detector, voltage reference, detective voltage, PTAT, IPTAT

* 正會員, 大元科學大學 電子情報通信科

(Dept. of Electronics, Information and Communication,
Daewon Science College.)

** 正會員, 慶北大學校 電子電氣컴퓨터學部

(School of Electrical Engineering and Computer
Science, Kyoungpook National University.)

接受日: 2002年4月23日, 수정완료일: 2002年10月28日

I. 서론

전압검출기는 퍼스널 컴퓨터, 프린터, VTR과 같은 CPU가 탑재된 장치나 배터리 백업 메모리를 제어하는 회로에서 전원 온(turn on)-오프(turn off)시 시스템의 오동작과 전원전압의 일시적인 정지상태를 방지하기 위하여 리셋 신호를 출력하는 기능을 가진 시스템이다. 전압검출기는 전원전압의 순간적인 변동 값과 검출 전압원의 값(V_s)을 비교하여 저전위 상태나 고전위 상태의 신호를 출력한다. <그림 1>은 전압검출기의 동작 특성을 나타낸다.

전압검출기에서 검출 전압원은 회로에서 주된 요소이다. 검출 전압원은 기준 전압원(Voltage reference source)으로 구현한다. 기준 전압원의 온도특성과 정도(Accuracy)를 향상시키기 위한 밴드갭 레퍼런스(Bandgap reference)는 Wildar^[1]에 의해 최초로 제안되었다. 기준 전압원을 구현하는 기존의 방법은 밴드갭 레퍼런스(Bandgap reference)를 이용한다. 밴드갭 레퍼런스는 높은 전원전압 제거비(Power supply rejection ratio)와 낮은 온도계수를 가져야 한다. 오늘날 집적회로에 사용되는 밴드갭 레퍼런스는 높은 성능을 가진 기준 전압원으로 가장 많이 사용된다^[1-2]. 밴드갭 레퍼런스를 구현하는 여러 가지 방법들^[3-6]이 제안되어 왔다. 밴드갭 레퍼런스를 구현하는 기존의 방법은 <그림 2>와 같다. 기존의 밴드갭 레퍼런스 회로는 트랜지스터 Q1, 트랜지스터 Q2에 흐르는 전류를 일정하게 유지하기 위해 연산 증폭기의 출력 단에서 입력으로 케환시킨다. 또한 전원전압이 과도상태동안 밴드갭 레퍼런스

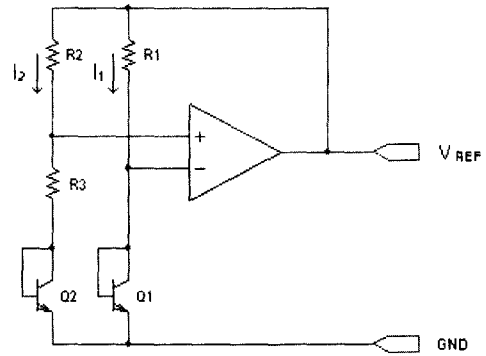


그림 2. 기존의 밴드갭 레퍼런스
Fig. 2. Classic bandgap reference.

의 바이어스 전류를 안정되게 공급하기 위해 기동회로(start-up circuit)가 필요하다. 기준 전압원(VREF)은 저항 R1의 양단전압과 트랜지스터 Q1의 양단전압의 합으로 나타낼 수 있다.

$$V_{REF} = V_{BE1} + \frac{R_2}{R_3} V_T \ln \frac{R_2}{R_1} \times \frac{I_{S2}}{I_{S1}} = V_{BE1} + K V_T \quad (1)$$

식 1에서 첫 번째 항의 온도 계수(VBE)는 절대온도에 역 비례하는 온도계수(IPMAT: Inverse proportional to absolute temperature)를 가지며 두 번째 항(V_T)은 절대온도에 비례하는 온도를 계수(PMAT: Proportional to absolute temperature)를 가진다. 따라서 서로 다른 온도계수를 이용하여 K값을 적절하게 조절함으로써 온도에 무관한 기준 전압원을 실현할 수가 있다. 트랜지스터 이미터-베이스 순방향 전압의 온도계수는 다음과 같이 표현된다.

$$V_{BE} = V_T \ln \left(I_1 T^{-\gamma} E \exp \frac{V_{g0}}{V_T} \right) \quad (2)$$

여기서 E는 임의의 상수이며, V_{g0} 는 실리콘 에너지 밴드갭 전압 그리고 γ 는 트랜지스터 소자에 의해 결정되는 상수이다. 그리고 α 는 전류(I_1)의 온도계수를 나타내는 상수이다. 전류(I_1)의 온도변화 요인을 알기 위해 식 3으로 가정한다.

$$I_1 = G T^\alpha \quad (3)$$

여기서 G는 온도에 무관한 상수이다. 식 3을 2에 대입하면 식 4로 나타낼 수 있다.

$$V_{BE} = V_{g0} - V_T [(\gamma - \alpha) \ln T - \ln EG] \quad (4)$$

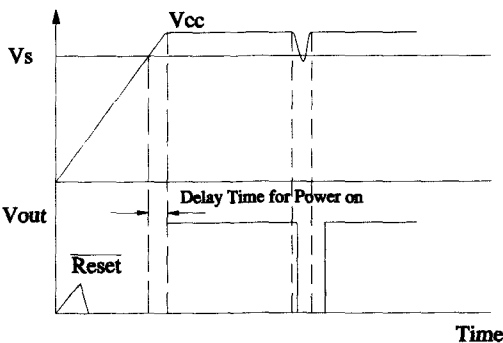


그림 1. 전압검출기의 동작특성
Fig. 1. The operating characteristics of a voltage detector.

식 4를 식 1에 대입하면

$$V_{REF} = V_{gs} - V_T(\gamma - \alpha) \ln T + V_T(K + \ln EG) \quad (5)$$

식 5^[11]가 된다. 기준 전압원이 온도에 무관한 함수가 되기 위한 조건은 식 5의 도함수(Derivative function)가 제로가 되어야한다. 따라서 기준 전압원의 온도특성은 다음과 같이 표현된다.

$$V_{REF}(T) = V_{gs} + V_T(\gamma - \alpha) \quad (6)$$

식 6에서 γ 와 α 가 같을 때 이상적으로 실리콘 밴드갭 전압의 온도특성을 가질 수 있다. 그러나 γ 와 α 는 트랜지스터 이미터-베이스 전압의 비선형 영역에 의해 온도특성을 변화게 하는 요인이다. 또한 이 회로는 공정에 따라 연산 증폭기의 입력 단 바이어스 전류의 부정합(Mismatch)이라는 문제점을 안고 있다. 바이어스 전류의 부정합으로 인해 옴셀전압이 발생하여 기준 전압의 변동과 온도특성의 변화를 일으킨다. 그리고 이 회로는 전원전압이 1.2V 이하로 떨어지면 연산 증폭기의 안정된 특성을 보장할 수가 없다. 따라서 기존의 구조로 저전압 밴드갭 레퍼런스를 구현하기 어렵게 된다. 이와 같은 점들이 기존방식으로 구현하는 회로의 한계점이다. 본 논문에서 이미터 면적비가 서로 다른 트랜지스터의 이미터-베이스 전압차(ΔV_{BE})를 이용하여 온도에 무관한 검출 전압원을 구현한다. ΔV_{BE} 는 트랜지스터 이미터-베이스의 순방향 다이오드의 면적 비에 의한 전압이다. 제안한 방법의 기본 개념은 V_{BE} 의 불룩한 비선형 온도특성과 ΔV_{BE} 의 오목한 비선형 특성을 다이오드의 온도계수를 적절하게 보상함으로써 거의 제로의 온도특성을 실현할 수 있다.

<그림 3>은 제안한 방법의 개념을 나타낸다.

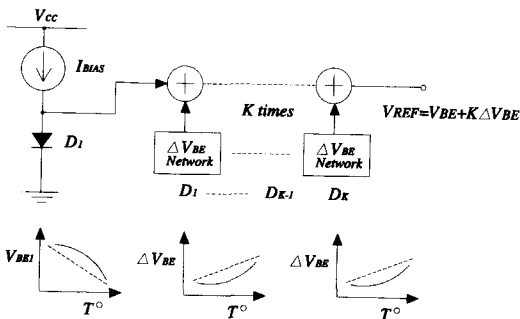


그림 3. 제안한 개념
Fig. 3. A proposed conception.

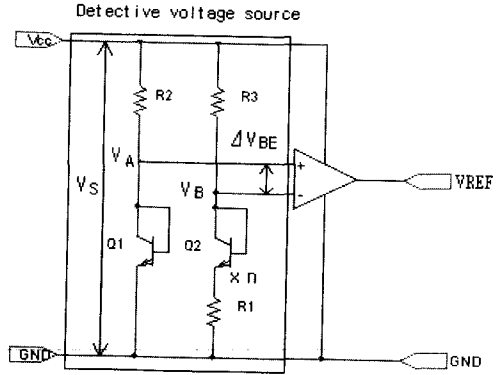


그림 4. 제안한 회로의 개념도
Fig. 4. The conceptual diagram.

<그림 3>에서 기준 전압원은 다음과 표현된다.

$$V_{REF}(T) = V_{BE1}(T) + \sum_{i=1}^k [V_{BE2,i}(T) - V_{BE3,i}(T)] \quad (7)$$

그리고 저전압에서 동작하는 전압검출기를 실현하기 위해 검출 전압원은 구동회로, 연산 증폭기 그리고 안정된 출력전압을 유지하기 위해 사용되는 케환루프^[7] 회로를 사용하지 않는다. 회로설계의 주된 관점은 간단한 회로구조와 IC 칩 사이즈 축소에 있다.

<그림 4>는 제안한 개념을 구현한 회로이다. <그림 4>에서 연산증폭기는 임의의 옴셀전압(ΔV_{BE} : 트랜지스터 Q1과 Q2의 베이스-이미터 전압차)을 갖는다. 그 전압은 식 8로 표현된다.

$$\Delta V_{BE} = \Delta V_{BE1} - \Delta V_{BE2} = \frac{KT}{q} \ln(n) \quad (8)$$

식 8의 관계식이 만족하기 위해서는 두 트랜지스터의 포화전류(I_S)^[7]가 같아야한다. 트랜지스터 Q2의 면적비가 트랜지스터 Q1의 n배 되도록 설계하였다. 트랜지스터 Q2의 면적비는 ΔV_{BE} 의 오목한 온도특성을 결정하는 요소이다. 따라서 최적의 다이오드의 개수를 선택하면 V_{BE} 의 불룩한 온도계수를 이론적으로 완벽하게 상쇄시킬 수가 있다.

그리고 연산 증폭기의 옴셀을 일으키는 바이어스 전류의 불일치를 줄이기 위해 이온 임플란테이션(Ion implantation)^[9]과 이방성 에칭공정^[10]을 사용하였다. 일반적으로 논문^[8]에서 제안한 베이스-이미터 전압은 식 9로 수정할 수가 있다.

$$V_{BE} = V_{BE}(1 - \frac{T}{T_0}) + V_{BE0}(\frac{T}{T_0}) + \frac{qkT}{q}(\frac{T}{T_0}) + \frac{KT}{q} \ln(\frac{T}{T_0}) \quad (9)$$

여기서 V_{gs} 는 절대온도 (°K)에서 실리콘 밴드갭 전압이고, q 는 전하량, T 는 절대온도, η 는 바이폴러 트랜지스터 구조에 의존하는 값, T_0 는 동작온도이다. 식 9에서 $T = T_0$ 그리고 $I_c = I_{c0}$ 일 때 $V_{BE} = V_{BE0}$ 가 된다. $-\frac{kT}{q} \ln(\frac{T}{T_0}) + \frac{kT}{q} \ln(\frac{I_c}{I_{c0}})$ 은 다이오드에 흐르는 전류의 온도 계수(α)에 요인이다. 제안한 방법에서 이 항은 다이오드의 면적 비를 적절하게 선택함으로써 V_{BE} 의 비선형 온도특성을 상쇄할 수 있기 때문에 무시할 수 있는 값이다. 따라서 식 9는 식 10으로 나타낼 수 있다.

$$V_{BE} \approx V_{BE0} (1 - \frac{T}{T_0}) + V_{BE0} (\frac{T}{T_0}) \quad (10)$$

<그림 4>에서 연산증폭기의 입력 단 바이어스 전류를 무시했을 때 연산증폭기의 반전 단자전압 (V_B)이 비 반전 단자전압 (V_A)보다 크면 연산 증폭기는 반전된다. 연산 증폭기가 반전되는 전원전압 (V_S : 검출전압)은 식 11로 나타낼 수 있다.

$$V_S = (1 + \frac{R_3}{R_1}) \Delta V_{BE} + V_{BE2} \quad (11)$$

식 10을 식 11에 대입하면 다음과 같다.

$$V_S = (1 + \frac{R_3}{R_1}) \Delta V_{BE} + V_{BE0} (1 - \frac{T}{T_0}) + V_{BE0} (\frac{T}{T_0}) \quad (12)$$

여기서 검출 전압의 온도계수가 제로가 되기 위한 조건은 검출 전압의 도함수가 제로이다.

$$\frac{\partial V_S}{\partial T} = (1 + \frac{R_3}{R_1}) \frac{K}{q} \ln(n) - \frac{V_{gs}}{T_0} + \frac{V_{BE0}}{T_0} = 0 \quad (13)$$

식 13을 V_{gs} 항으로 다시 쓰면 다음과 같다.

$$V_{gs} = (1 + \frac{R_3}{R_1}) \frac{KT_0}{q} \ln(n) + V_{BE0} \quad (14)$$

$T = T_0$ 일 때 식 11과 식 14는 같다. 따라서 $V_S = V_{gs}$ 의 관계식이 성립된다. 제안한 방법은 밴드갭 레퍼런스를 사용하지 않고도 거의 제로의 온도계수^[11]를 갖는 검출 전압원을 구현할 수 있다.

II. 전압검출기의 설계

<그림 5>는 밴드갭 레퍼런스를 이용한 기존의 전압 검출기이다. 저항 $R7$, $R14$ 와 트랜지스터 $Q14$ 로 구성되는 회로는 기동회로이다. 기동회로는 전원전압이 과도

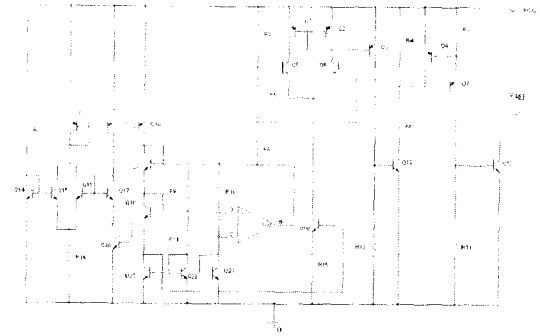


그림 5. 밴드갭 레퍼런스를 이용한 기존의 전압 검출기 Fig. 5. The conventional voltage detector using a bandgap reference.

상태에 있을 때 안정된 바이어스 상태를 유지하기 위해 필요하다. <그림 5>의 회로에 전원전압 (V_{CC})을 인가하면 저항 $R7$ 을 통해 전류가 트랜지스터 $Q14$ 가 도통(turn-on) 되어 트랜지스터 $Q15$, $Q16$ 에 전류가 흘러 각 단에 바이어스가 결정된다. 따라서 트랜지스터 $Q11$ 에 3V_I의 전압이 나타난다. 트랜지스터 $Q22$, $Q23$ 과 저항 $R9$, $R10$, $R11$ 로 구성되어 밴드갭 레퍼런스를 구현한다.

<그림 6>은 제안한 검출 전압원이 내장된 전압검출기이다. 구현한 회로는 검출 전압원, V_{BE} 멀티플라이어 회로, 연산증폭기 그리고 출력 트랜지스터로 구성된다. 저항 $R7$, $R8$ 과 트랜지스터 $Q6$ 로 구성되는 회로는 리셋 회로의 불안정한 동작을 방지하기 위한 히스테리시스 회로이다. 히스테리시스 전압은 다음과 같다.

$$V_H = -\frac{V_{BE(Q6)}}{R_8} \times R_7 \quad (15)$$

그리고 트랜지스터 $Q3$, 저항 $R5$, $R6$ 으로 구성된 V_{BE} 멀티플라이어 회로와 저항 $R4$ 의 역할은 검출 전압원의 전압 값을 변화시키기 위한 회로이다. 연산증폭기의 전원전압 제거비를 높이기 위해 95dB의 높은 이득을 가진 폴드드-캐스코드(Folded cascode) 연산증폭기를 설계하였다. 연산증폭기를 구성하는 트랜지스터 $Q2$ 의 이미터 면적이 트랜지스터 $Q1$ 의 n 배 되게 구성하여 임의의 음셀전압(ΔV_{BE})을 갖도록 한다. 전원전압이 연산증폭기의 입력 단에서 음셀전압이하로 떨어질 때 연산증폭기는 반전되어 전압검출기는 리셋 신호를 발생한다. <그림 6>에서 검출 전압원(V_S)은 다음과 같이 나타낼 수 있다.

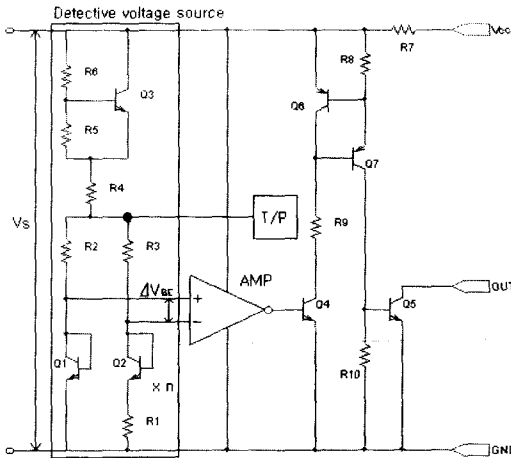


그림 6. 제안한 방법을 내장한 전압 검출기
Fig. 6. The voltage detector built in a proposed scheme.

$$V_S = \frac{R_2 R_3}{R_1} (R_2 + 2 R_1) \Delta V_{BE} + m V_{BE} \quad (9)$$

여기서 $\Delta V_{BE} = \frac{KT}{q} \ln(\frac{n R_3}{R_2})$, $m = (2 + \frac{R_6}{R_5})$ 이다.

검출 전압원이 온도에 무관한 함수가 되기 위한 조건은 $\frac{\partial V_S}{\partial T} = 0$ 이다. $T = T_0$ 일 때 온도에 무관한 검출 전압원을 실현하기 위한 관계식은 $V_S = m V_{BE}$ 이다. 따라서 검출 전압원의 전압 값은 m 에 의해 가변 할 수가 있다.

III. 실험 및 고찰

회로 시뮬레이션을 위해 사용한 소자의 정수(parameter)는 바이폴러 PCT(Perfect Crystal Technology) 공법을 이용하여 $6\mu m$ 디자인 기술로 만들어진 표준 소자를 이용하여 각 소자변수를 DC parameter analyzer와 AC network analyzer를 이용하여 추출하였다. <표 1>은 회로 시뮬레이션에 사용된 소자의 변수를 나타낸다.

시뮬레이션에 사용된 소자의 온도 특성은 다음과 같은 조건에 의거하여 추출하였다. 여기서 사용되는 기호는 다음과 같이 정의한다.

K 는 볼츠만 상수, q 는 전하량, EG 는 실리콘 에너지 밴드갭, X_{Tn} 는 포화 전류의 온도 지수, X_{TB} 는 역방향 포화전류의 온도 지수, n 는 주입효율(emission efficient), TC 는 온도계수, T 는 실온, T_0 는 동작온도이다.

포화 전류(I_S)의 온도 의존성은 다음과 같다.

$$I_S(T_1) = I_S(T_0) \cdot I_S(T_1, T_0) \cdot X_{Tn} \cdot \exp\left(\frac{qEG(T_1 - T_0)}{KT_1 T_0}\right) \quad (10)$$

순방향 전류 이득과 역방향 전류 이득은 식 11로 표현된다.

$$\beta(T) = \beta(T_0) \times \frac{T_1}{T_0} \times X_{TB} \quad (11)$$

접합 다이오드의 포화 전류의 온도 의존성은

$$I_S(T_1) = \left[\left(\frac{T_1}{T_0} \right)^n \times \frac{X_{Tn}}{n} \right] \times \exp\left\{ \frac{qEG(T_1 - T_0)}{Kn T_1 T_0} \right\} \quad (12)$$

저항의 온도 의존성은 다음과 같다.

$$R_{OUT}(T) = R_{OUT}(T_0) [1 + TC_1(T - T_0) + TC_2 \cdot 2(T - T_0)] \quad (13)$$

<그림 7>은 밴드갭 레퍼런스를 사용한 기존의 전압 검출기의 시뮬레이션 검출전압특성을 나타낸다.

<그림 8>은 제안한 방법을 내장한 전압검출기의 검출전압특성을 나타낸다. IC를 제작하는 공정에 따라 기준 전압원이 변화되지 않아야 한다. 그러나 밴드갭 레퍼런스를 구현하는 연산증폭기의 옴셀전압은 기준전압의 변동을 초래하는 원인이 된다. 따라서 본 논문에서는 연산 증폭기의 입력 단을 구성하는 트랜지스터의 옴셀전류의 변화요인을 줄일 수 있는 IC 패턴 설계방법의 일환으로 연산증폭기의 입력 단 트랜지스터를 대

표 1. 시뮬레이션에 사용된 소자 정수
Table 1. Device parameter for simulation.

소자	항목	기호	정수값	단위
npn TR	saturation current	I_S	14.34f	A
	current gain	BF	230	-
	early voltage	VAF	90.5	V
	temperature exponent for effect I_S	XT_I	3	-
pnp TR	saturation current	I_S	33.7f	A
	current gain	BF	128	-
	early voltage	VAF	83.7	V
	temperature exponent for effect I_S	XT_I	2.5	-

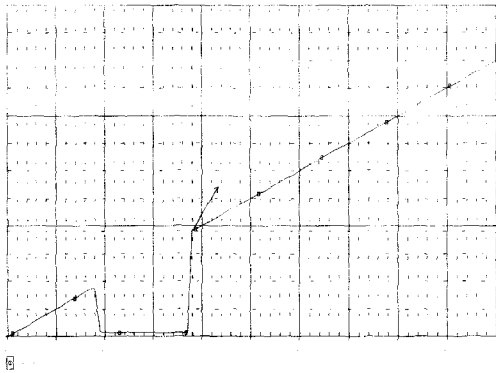


그림 7. 밴드갭 레퍼런스를 사용한 기존의 전압 검출기의 검출전압특성
 Fig. 7. The detective voltage characteristics of a conventional voltage detector using a bandgap reference.

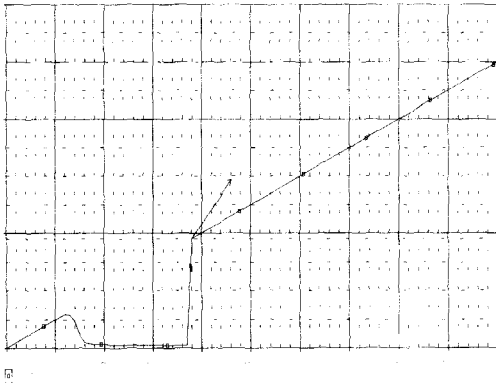


그림 8. 제안한 방법이 내장된 전압 검출기의 검출전압 특성
 Fig. 8. The detective voltage characteristics of a voltage detector built in a proposed scheme.

칭구조로 배열하였다. 연산증폭기의 입력 단 트랜지스터의 배치에 따라 V_{BE} 값이 수 mV정도의 차가 발생하여 바이어스 전류의 변화할 일으킬 수 있다. 그리고 IC 공정에서 트랜지스터 베이스 전류의 균일성을 유지하기 위해 이온 임플란테이션 공정으로 이미터 농도를 제어하였다.

또한 IC 공정 측면에서 연산증폭기의 유효성의 영향을 줄이기 위해 npn 트랜지스터의 전류이득을 220~270으로 제어하였다. 그리고 기준 전압의 정도를 위해 저항 트리밍 기술을 도입하였다. 그 방법으로는 기준전압을 결정하는 저항을 매트릭스로 패턴을 설계한 다음 IC 칩 테스트 공정에서 매트릭스로 배열된 저항 중 가장

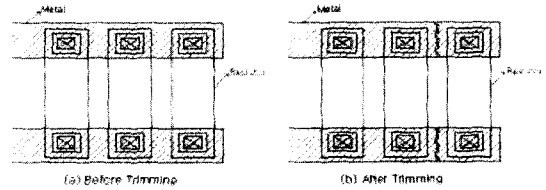


그림 9. 저항 트리밍 방법
 Fig. 9. The method of trimming resistor.



그림 10. 측정장치
 Fig. 10. A measurement equipment.

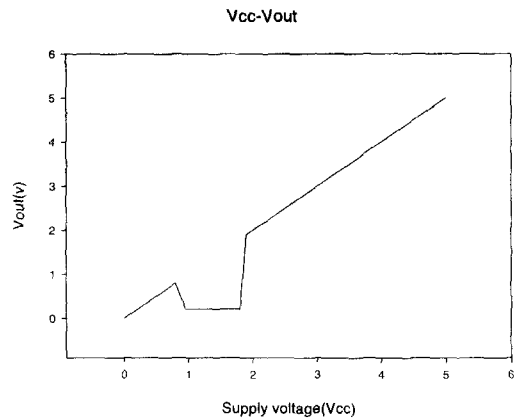


그림 11. 전압검출기 전압특성
 Fig. 11. The voltage characteristics of voltage detector.

정확한 저항 값을 찾아 레이저를 이용하여 메탈(AL: 금속 공정)을 끊는다. <그림 9>는 저항 트리밍 방법을 나타낸다. 저항 공정인 베이스 공정의 편차를 고려하여 저항 폭을 $10\mu\text{m}$ 로 설계하였으며 그리고 저항의 정도 (Accuracy)를 높이기 위해 병렬저항을 사용하였다. 제안한 검출 전압원의 성능을 평가하기 위해 $6\mu\text{m}$ 바이폴러 기술을 이용하여 1.9V용 전압검출기IC를 제작하였다.

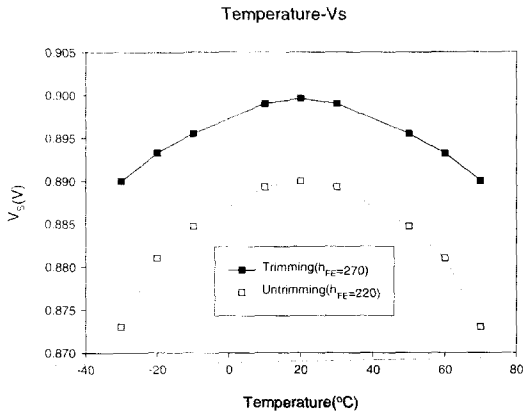


그림 12. 검출 전압원의 온도특성
Fig. 12. Temperature characteristics of a detective voltage source.

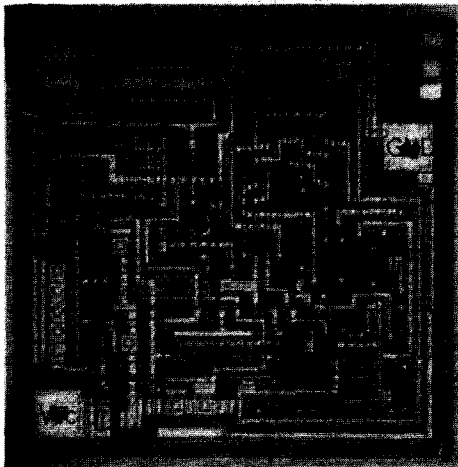


그림 13. 제작된 전압 검출기 IC의 칩 사진
Fig. 13. The microphotograph of a voltage detector IC.

검출 전압원의 온도특성을 평가하기 위해 마스크 (Mask) 설계 시 테스트 패턴(Test pattern)내에 <그림 6>과 같이 테스트 포인트(Test point: T/P)에서 측정하였다. 측정에 사용된 시료는 검출전압이 설계 값을 기준으로 하여 3σ이내의 시료 30개를 추출하여 측정하였다. <그림 10>은 측정장치를 나타낸다.

<그림 11>은 제안한 방법을 내장한 전압검출기의 검출전압 특성을 나타낸다. 측정방법은 전원전압(V_{CC})을 5V에서 0V로 0.05V간격으로 감소시켰을 때 전압검출기의 출력이 저전위 상태(low voltage status)가 될 때의 전원전압을 측정하였다. <그림 12>는 제안한 검출 전압원의 온도특성을 나타낸다. 검출 전압원의 온도계

표 2. 전압검출기의 측정데이터
Table 2. The measured data of a voltage detector.

항 목	측 정 값	단 위
검출전압	1.9±0.05	V
히스테리시스 폭	50±5	mV
검출 시 전압검출기 전류	10±4	μV

수는 밴드갭 레퍼런스 회로를 사용하지 않고도 -30°C~70°C 온도에서 29ppm/°C의 안정된 특성을 얻을 수 있었다.

<그림 13>은 제작된 검출 전압기 IC의 칩 사진이다.

IV. 결 론

본 논문에서는 밴드갭 레퍼런스를 사용하지 않고 전압 검출회로 단 트랜지스터의 이미터 면적 차 인 옵션 전압(ΔV_{BE})을 이용하여 온도에 무관한 검출 전압원을 구현하는 방법을 제안하였다. ΔV_{BE} 를 구성하는 다이오드의 온도특성과 V_{BE} 의 서로 다른 비선형 온도특성을 적절하게 조합하여 온도에 무관한 특성을 구현한다. 그리고 검출 전압원이 실리콘 밴드갭 전압(1.2V)의 m배가 되도록 설계하여 검출전압 값을 변화시킬 수 있도록 하였다. 정확한 검출전압을 얻기 위해 IC조립공정의 편차를 고려하여 셀 설계 시 대칭배열과 저항 트리밍 기법을 이용하였다. 6μm 바이폴러 기술로 조립된 전압검출기는 1.9V에서 10μA의 소비전류를 얻을 수 있었다. <표 2>는 전압검출기 측정 데이터이다.

그리고 검출 전압원의 온도계수는 -30°C~70°C의 온도에서 29ppm/°C로 나타났다. 온도계수 측면에서 저항 트리밍 공정으로 제작된 시료가 38ppm/°C의 좋은 결과를 얻을 수 있었다. 제안한 검출 전압원이 내장된 전압 검출기는 휴대용 시스템의 전압검출 시스템에 적용이 가능할 것으로 사료된다.

참 고 문 헌

[1] R.J. Wilder, "New development in IC regulators," IEEE J. Solid-State Circuits, Vol. SC-6, pp. 2~7, 1971.
[2] W. Timothy Holman, "A New Temperature

- Compensation Technique for Bandgap Voltage Reference." IEEE International Symposium on Circuit and System, Vol. 1, pp. 385~388, 1996.
- [3] John Micheja, Suk K. Kim, "A Precision CMOS Bandgap Reference," IEEE J. Solid-State Circuits, Vol. 19, no 6, Dec. 1984.
- [4] R. Ye, Y Tsivids, "Bandgap Voltage Reference Sources in CMOS Technology," IEE Electronic Letters, Vol. 18, no 1, July 1982.
- [5] Ban-Sup Song Paul R. Gray, "A Precision Curvature-compensated CMOS Bandgap Reference," IEEE J. Solid-State Circuits, Vol. SC-18, no 6, Dec. 1983.
- [6] Karl E. Kuijk, "A Precision Reference Voltage Sources," IEEE J. Solid-State Circuits, Vol. SC-8, no 3, June 1984.
- [7] P. R. Gray and R. G. Meyer, Analysis and Design of Analog Integrated Circuits, New York : John Wiley & Sons. pp. 80, 239~261, 1977.
- [8] Y. Tsivids, "Accurate analyzes of temperature effects in I_c - V_{be} characteristics with application to bandgap reference sources," IEEE J. Solid-State Circuits, Vol. 15, pp. 1076~1084, Dec. 1980.
- [9] S. M. Sze, Physics of Semiconductor Devices, New York: John Wiley & Sons. pp. 66, 1981.
- [10] D. J. Hamilton, W. G. Howard, Basic Integrated Circuits Engineering, McGraw-Hill, Inc. pp. 8~12, 97, 1975.
- [11] H. A. Ainspan, C. S. Webster, "Measured results on bandgap reference in SiGe BiCOMS," IEE Electronic Letters, Vol. 34, no 15, pp. 1441~1442, July 1998.
- [12] A.P. Brokaw, "A Simple Three-Terminal IC Bandgap Reference," IEEE J. Solid-State Circuits, Vol. SC-6, pp. 388~393, December 1974.

 저 자 소 개

文 宗 奎(正會員)

1985년 : 울산대학교 전기 및 전자공학과 졸업. 1984년~1996 : 한국전자(주) 근무. 1987년 : 일본 Toshiba센터 바이폴러 IC 공동개발 참여. 2000년 2월 : 경북대학교 박사수료. 현재 : 대원과학대학 전자정보통신과 조교수. <주관심분야 : 신호처리 및 집적소자 설계>

金 德 奎(正會員)

1973년 : 경북대학교 졸업. 1977년 : 경북대학교 공학석사. 1989년 : 東京大學 공학박사. 현재 : 경북대학교 정교수