

論文2002-39SC-6-4

AC PDP에서 고콘트라스트 실현을 위한 구동 파형에 관한 연구

(A Study on the Driving Waveform for High Contrast Ratio Realization of AC PDP)

安揚基*, 尹東漢**

(Yang-Ki An and Dong-Han Yoon)

요약

본 논문에서는 종래의 한 프레임 내에서 매 서브필드마다 리셋구간에 램프파를 인가하던 구동 방식에서 한 프레임 내에 첫 번째 서브필드의 리셋구간에만 램프파를 인가하고, 나머지 서브필드에서는 유지방전을 실행한 셀 들만 초기화하여 고콘트라스트를 실현시킨 구동 파형에 대해 연구하였다. 실험결과 첫 번째 서브필드에서의 리셋구간에서만 램프파에 의해 광이 출력되고, 나머지 서브필드의 리셋구간에서는 광이 출력되지 않음을 확인하였다. 이것은 한 프레임 내에 10개의 서브필드를 사용할 때 종래의 구동 파형에 비해 어두운 화면에서 Background 휘도가 약 10배정도 낮음을 보여준다. 그리고 종래의 구동 파형에서 측정된 285:1의 콘트라스트 비율과 본 논문에서 사용한 구동 파형에 대해 측정한 3080:1의 콘트라스트 비율을 비교했을 때 약 10.8배정도 높아졌으며, 이로 인해 고콘트라스트를 실현시켰다.

Abstract

This paper proposes a method to drive an AC plasma display panel(PDP) with a significantly improved contrast ratio. In the proposed method, during the first sub-field of one frame, all PDP cells are reset by the ramp waveform, and during the other sub-fields, only the cells turned on in the previous sub-field are reset. No light is emitted during the reset period of every sub-field except the first sub-field. For a 10-bit picture, the luminance of the dark level for the proposed method is 10 times lower than that for the conventional method, in which the ramp waveform for the reset is used in every sub-field. Accordingly, the contrast ratio for the proposed method is 10 times higher than that for the conventional method. For the 10-bit picture, the measured contrast ratio was about 3080:1 for the proposed method and about 285:1 for the conventional method, resulting in 10.8 times increase in the contrast ratio. This result shows that the proposed method can realize an image with high contrast ratio.

Keyword : PDP, Sub-field, Cell, Contrast

* 正會員, (주)UPD

(Ultra Plasma Display)

* 正會員, 金烏工科大學校 電子工學部

(Dept. of Electronic Engineering, Kumoh National University of Technology)

接受日字:2002年5月30日, 수정완료일:2002年10月24日

I. 서론

차세대 대화면 평판 디스플레이장치로서 주목받고 있는 PDP(Plasma display panel)는 화면의 크기에 관계없이 구동회로를 포함한 제품의 두께가 거의 10cm 미만이고, 40인치의 경우 중량이 18kg정도 밖에 되지

않아 벽에 간단히 걸 수 있을 만큼 가볍다. 이러한 PDP는 대화면 및 초박형을 요구하는 현대의 디지털 멀티미디어 환경에 부합하는 것으로서, 대화면을 요구하는 TV, 모니터, HDTV(High definition TV)영역으로 급속히 발전하고 있다^[1].

PDP는 전계 인가 구동방법에 따라 직류형(DC)^[2]과 교류형(AC)^[3]으로 나뉘게 된다. DC 구동 방식의 경우는 방전전극이 방전공간에 직접 노출되어 전도 전류가 전극을 통해 직접 흐른다. 반면에 AC 구동 방식의 경우는 방전전극이 유전체로 덮혀 있어 방전에 의해 형성된 하전입자가 유전체층에 쌓이게 된다^[3]. 이러한 벽전하에 의해 벽전압이 형성되고 외부 전위의 극성을 교번으로 인가하면 이 전압과 벽전압이 합해져서 공간전압이 되어 방전을 유지할 수 있게 되며, 이러한 현상을 기억기능(Memory function)이라 한다^[4]. 현재 대부분의 PDP는 AC 구동 방식을 사용하고 있으며, AC PDP는 유전체를 매개로 한 글로우 방전에 의해 발생하는 진공 자외선이 적색(Red), 녹색(Green), 청색(Blue)형광체를 여기시켜 나타나는 가시광을 제어하여 화상을 표시하게 된다. 그리고 화상 표시에 필요한 계조 표시는 방전 펄스수의 제어에 의해 가능하다^[5].

AC PDP의 구동방식에는 어드레스 구간(Addressing period)과 유지 구간(Sustain period)을 분리하여 구동하는 ADS(Address display separated)방식^[6, 8], 어드레스 방전이 유지방전 펄스의 틈 사이에서 일어나는 AWD(Address while display)방식^[9] 등이 있으며, 일본과 국내의 각 대학 연구소와 회사에서 이러한 구동방식을 이용하여 고효율, 고휘상도, 고화질, 고콘트라스트 및 저가격화의 PDP를 만들기 위해 많은 연구를 진행하고 있다.

본 논문에서는 AC PDP를 구동하기 위해 가장 보편화되어 있는 ADS 구동방식을 근거로 하여 연구하였다. 이것은 한 프레임(Frame)을 여러 개의 서브필드(Sub-field)로 나누고 각 서브필드는 리셋구간(Reset period), 어드레스구간, 유지구간으로 나누어지며, 리셋구간에서는 각 구동 방식에 따라 리셋 펄스를 구형파, 지수파, 램프파 등을 인가하여 전화면 기입과 소거를 한다. 본 논문에서는 리셋구간에 램프파를 이용하였으며, 한 프레임 내에 여러 개의 서브필드중 첫 번째 서브필드의 리셋기간에만 램프파를 인가하고, 나머지 서브필드는 유지방전을 실행한 셀(Cell)들만 초기화하여 고콘트라스트 실현을 위한 구동 파형에 대해 연구하였다. 종래에

는 모든 서브필드마다 리셋구간에 램프파를 인가하였는데, 이것은 모든 서브필드마다 초기화 방전이 일어나기 때문에 어두운 화면에서는 Background 휘도가 높게 나타나 콘트라스트 비율을 저하시키는 단점을 가지고 있다.

II. 구동 파형 및 회로

1. 종래의 구동 파형

<그림 1>은 종래에 사용된 구동 파형을 나타내었다. 리셋구간에서는 필드 또는 프레임이 끝난 후 연속되는 다음 필드 또는 프레임에 주는 영향을 최대한 억제하기 위하여 전화면 기입 방전과 전화면 소거 방전을 통하여 전 셀을 균일한 상태로 만들어준다. 이렇게 함으로써, 어드레스구간에 기입 에러를 방지하여 안정된 어드레스 방전을 실현할 수 있게 된다. 어드레스구간에서는 표시하고자 하는 셀을 모든 주사라인(Scan line)에 대하여 순차적으로 선택하는 단계로서 선택적 기입(Selective writing)방식으로 셀을 선택하게 된다. 유지구간에서는 어드레스구간에서 선택된 셀(벽전하가 축적되어 있음)에 외부의 유지 펄스를 인가하여(벽전압+외부인가 전압) 유지방전을 지속시키는 단계로서 화면의 밝기와 관련된 구간이다. 이러한 종래의 구동 파형은 모든 서브필드마다 리셋기간에 높은 전압(약 420V)의 램프파를 인가하기 때문에 모든 서브필드에서 초기화 방전이 일어난다. 그러기 때문에 어두운 화면에서는 Background 휘도가 상당히 높게 나타나 콘트라스트 비율을 저하시키는 단점을 가지고 있다.

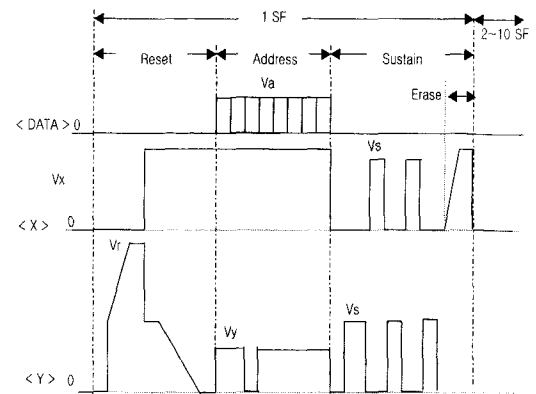


그림 1. 종래의 구동 파형

Fig. 1. Conventional driving waveform.

2. 고콘트라스트 실현을 위한 구동 파형

<그림 2>는 고콘트라스트 실현을 위해 본 논문에서 사용한 구동 파형의 모형을 나타내었다. 첫 번째, 리셋구간에서 단위 셀은 서로 다른 경로를 가지는 무한히 많은 μ 셀의 집단으로 볼 수 있으며, 이는 단위 셀이 각각의 경로에 따라 서로 다른 방전 전압을 가진다는 것을 의미한다. 방전 경로에 따른 최소 방전 전압이 Rising slope을 통하여 인가되어 방전 강도를 최소화하고, 각 경로에 해당되는 적절한 벽전하를 유전체 표면에 형성하고 Rising slope 종료 후 전극 전체 영역에서의 벽전하 형성이 종료된다. Falling slope 시 외부인가 전원의 상대적 극성 반전으로 인해 중화 방전을 실시하게 되는데, 이때 발생하는 중화 방전은 방전을 최대한 억제하고, Rising slope때 형성되었던 벽전하는 Falling slope을 Ground 전위 이하까지 Down시켜 어드레스구간에서 안정적으로 셀을 선택하기 위해 불필요한 벽전하를 최대한 감소시킨다. 두 번째, 어드레스구간에서는 Ground 전위 이하까지 Falling slope을 수행하고 난 뒤 Ground 전위 이하에서 스캔을 시작하며(셀 선택) 약 70V의 스캔 전압(V_y)과 약 57V의 데이터 전압(V_a)으로 선택적 기입 방식에 의해 셀을 선택한다. Ground 전위 이하에서 스캔을 하는 이유는 두 번째 서브필드에서부터 마지막 서브필드까지는 리셋구간에 선택적 소거(Selective erasing)를 수행하기 때문에 어드레스구간에서 안정적으로 셀을 선택하기 위한 목적이다. 세 번째, 유지구간에서는 어드레스구간에서 선택된 셀에 대해 유지방전을 실행해야 하는데 제일 처음 Y전극에 약 $5.6\mu s$ 의 긴 펄스(약 180V)를 인가하여 안정적

으로 유지방전을 수행한 뒤 그 다음부터는 X전극과 Y전극에 교번으로 약 $2.5\mu s$ 의 펄스 전압을 인가하여 유지방전을 수행한다. 그리고 Y전극의 마지막 유지방전에서는 짧은 펄스(약 $1\mu s$)를 인가하여 세폭 소거를 실행하게 되며, 이것은 펄스폭이 짧기 때문에 방전이 일어난 뒤 벽전하가 다시 형성될 시간이 부족하여 유전체층에 쌓이는 벽전하를 최대한 억제한다. 이렇게 해서 첫 번째 서브필드에서 유지방전을 실행한 셀에 대해서만 두 번째 서브필드에서부터 마지막 서브필드까지 리셋구간에서 안정적으로 리셋을 실행할 수 있다.

3. 고콘트라스트 실현을 위한 회로

<그림 3>은 X전극에 인가할 구동 파형을 만들기 위한 블록다이어그램이다. SW1, 2, 3, 4는 에너지 회수 회로(Energy recovery circuit)^[10]로써, V_s 전압을 만들어 주기 위한 스위치다. 그리고 SW5, 6는 V_x 전압을 만들어 주기 위한 스위치이며, SW6은 V_s 의 전압을 저지시켜주는 역할을 한다. <그림 4>는 Y전극에 인가할 구동 파형을 만들어 주기 위한 블록다이어그램이다. SW1, 2, 3, 4는 V_s 전압을 만들어 주기 위한 스위치며, SW6은 리셋구간에서 Rising slope V_r 전압을 만들어 주기 위한 스위치며, Gate의 가변저항을 조절하여 기울기를 조절할 수 있다. SW5는 SW6이 V_r 전압을 만들어 준 이후에 모든 구간에서 동작을 하며, 반대로 SW5가 동작하는 시간에는 SW6은 동작을 하지 않는다. SW7은 리셋구간에서 Falling slope을 만들어 주기 위한 스위치며, Gate의 가변저항을 조절하여 기울기를 조절할 수 있다. SW8, 9는 V_y 전압을 만들어 주기 위한 스위치이며, 어드레스구간에서만 동작을 한다. 그리

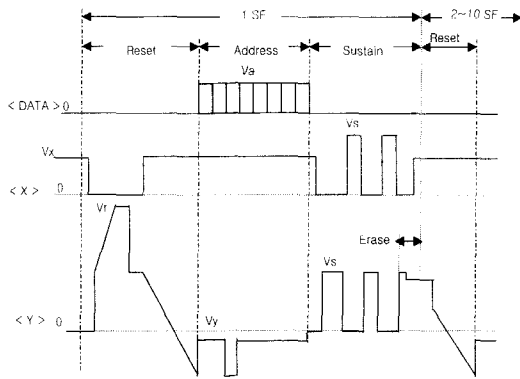


그림 2. 고콘트라스트를 위한 구동 파형의 모형도
Fig. 2. The schematic diagram of driving waveform with high contrast ratio.

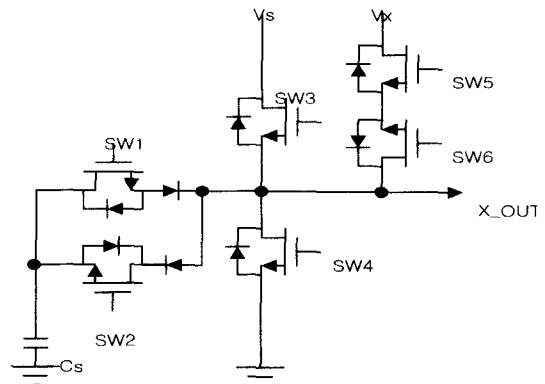


그림 3. X 블록다이어그램
Fig. 3. X block diagram.

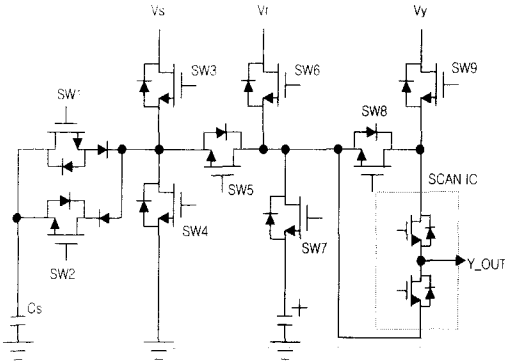


그림 4. Y 블록 다이어그램
Fig. 4. Y block diagram.

고 SCAN IC는 어드레스구간에서 Y전극에 순차적으로 스캔 펄스를 인가해 준다.

III. 실험 및 결과

1. 리셋구간에서의 광 출력 측정

<그림 5>는 본 논문에서 고콘트라스트를 실현시킨 구동 파형에 대한 광 출력을 측정한 그래프이다. 첫 번째 서브필드의 리셋구간에서 측정한 광 출력으로써, 램프 상승구간의 처음에 광이 크게 출력되는 것을 볼 수 있으며 Rising slope이 종료하는 시점까지 광이 계속 출력되면서 점차 줄어드는 것을 알 수 있다. 이것은 램프파가 계속 상승하면서 패널의 무수히 많은 셀들이 상승구간에 계속 역방전을 하고 있다는 것을 보여 주고 있다. <그림 6>은 두 번째 서브필드의 리셋구간에서의 광 출력을 측정한 그래프으로써, 광이 출력되지 않음을 보여주고 있다. 이것은 바로 첫 번째 서브필드에서의 리셋구간에서만 광이 출력되고, 나머지 서브필드에서는 광이 출력되지 않음을 말해준다. 종래의 구동 파형에서는 모든 서브필드에서 광이 출력되므로 인해 Background 휘도가 높아 콘트라스트 비율을 저하시켰다. 하지만 본 논문에서 사용한 구동 파형은 한 프레임 내 10개의 서브필드를 사용할 때, 첫 번째 서브필드에서만 광이 출력되므로 인해 종래의 구동 파형에 비해 약 10배 정도의 Background 휘도가 낮아졌다. <그림 7, 8, 9>는 본 논문에서 사용한 구동 파형으로써, X와 Y의 구동 파형을 보여주고 있다.

2. 콘트라스트 비율 측정

<그림 10>은 종래의 구동 파형에 대해 휘도를 측정

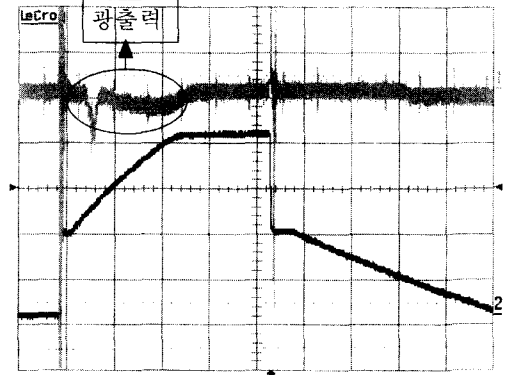


그림 5. 램프리셋 파형 대비 광 출력
Fig. 5. Light emission vs. ramp reset waveform.

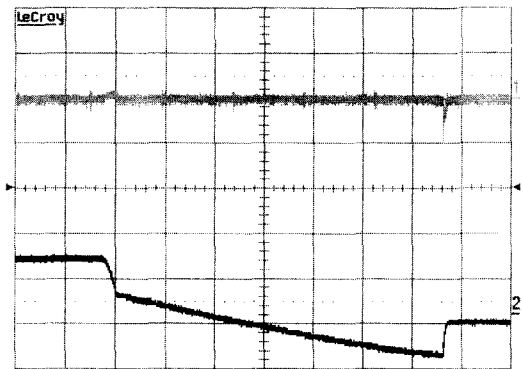


그림 6. Selective reset 파형 대비 광 출력
Fig. 6. Light emission vs. selective reset waveform.

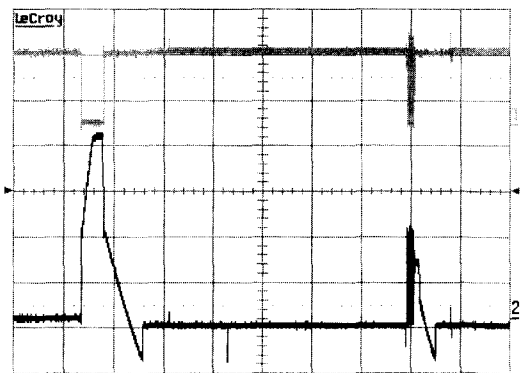


그림 7. 첫 번째 서브필드의 X, Y 구동 파형
Fig. 7. X, Y Driving waveform of first subfield.

한 그래프이다. 측정조건을 보면 pattern은 White로써, 1%의 Window size, 휘도 측정장비는 미놀타 CS-1000으로 입력 신호를 0~100% IRE의 level로 인가하면서 각각의 휘도를 측정하였다. Set 1은 입력신호가 0%

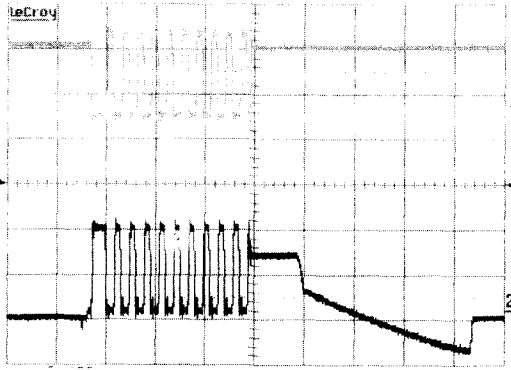


그림 8. 유지구간과 Selective reset 파형
Fig. 8. Sustain period and selective reset waveform.

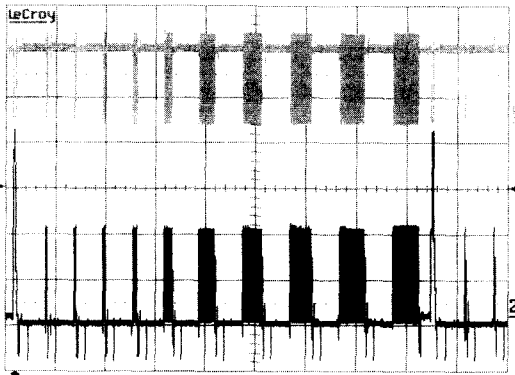


그림 9. 한 프레임에 대한 X, Y 구동 파형
Fig. 9. X, Y Driving waveform for one frame.

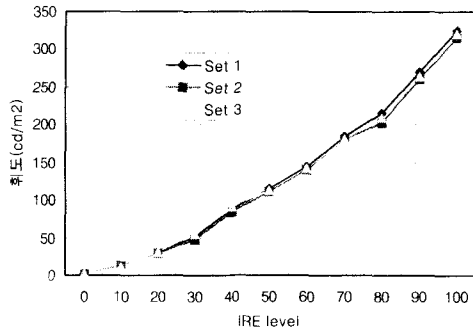


그림 10. 종래의 구동 파형에 대한 휘도 측정
Fig. 10. Luminance measurement for the conventional driving waveform.

IRE(Black 화면)일 때 휘도는 1.14이고, 입력신호가 100% IRE(White 화면)일 때 휘도는 325.3이다. 이 경우 콘트라스트 비율은 약 285:1이다. Set 2는 0% IRE일 때 휘도는 1.18이고, 100% IRE일 때는 315.5이며 콘

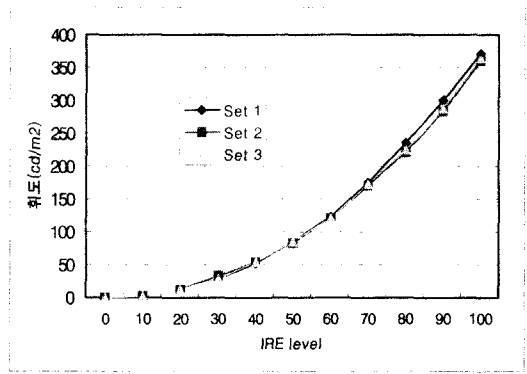


그림 11. 고콘트라스트를 실현시킨 구동 파형에 대한 휘도 측정

Fig. 11. Luminance measurement for the driving waveform with high contrast ratio.

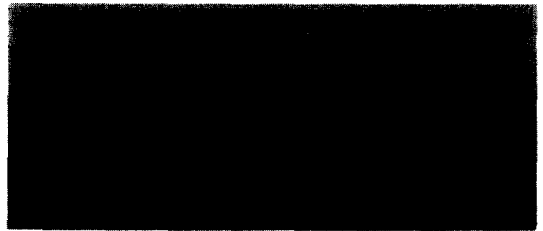


그림 12. X 구동 PCB
Fig. 12. X driving PCB.



그림 13. Y 구동 PCB
Fig. 13. Y driving PCB.

트라스트 비율은 약 267:1이다. Set 3은 0% IRE일 때 휘도는 1.22이고, 100% IRE일 때는 320.4이며 콘트라스트 비율은 약 262:1이다.

<그림 11>은 본 논문에서 고콘트라스트를 실현시킨 구동 파형에 대한 휘도를 측정한 그래프이며, 측정조건은 <그림 10>에서 측정한 조건과 동일하다. Set 1은 0% IRE일 때 휘도는 0.12이고, 100% IRE일 때는 369.8이며 콘트라스트 비율은 약 3080:1이다. Set 2는 0%



그림 14. 고콘트라스트를 실현시킨 42인치 PDP
Fig. 14. 42-inch PDP with high contrast ratio.

IRE일 때 휘도는 0.14이고, 100% IRE일 때는 360.7이며 콘트라스트 비율은 약 2580:1이다. Set 3은 0% IRE일 때 휘도는 0.14이고, 100% IRE일 때는 364.7이며 콘트라스트 비율은 약 2600:1이다. 기존의 구동 파형에서 콘트라스트 비율이 가장 높은 Set 1의 285:1과 본 논문에서 사용한 구동 파형에서 콘트라스트 비율이 가장 높은 Set 1의 3080:1을 비교해 보면, 본 논문에서 사용한 구동 파형의 콘트라스트 비율이 기존의 구동 파형보다 약 10.8배정도 높다. 이로 인해 고콘트라스트를 실현시켰다. <그림 12, 13>은 본 논문에서 설계한 X, Y 구동 PCB이며, <그림 14>는 본 논문에서 사용한 구동 파형을 적용해 고콘트라스트를 실현시킨 42인치 PDP를 보여주고 있다.

IV. 결 론

본 논문에서는 AC PDP를 구동하기 위해 현재 가장 보편화되어 있는 ADS 구동방식을 이용하였다. 리셋구간에 램프파를 이용하였으며, 한 프레임 내에 여러 개의 서브필드중 맨 처음 서브필드의 리셋기간에만 램프파를 인가하고, 나머지 서브필드는 Selective reset 구간을 두어 유지방전을 행한 셀 들만 초기화하여 고콘트라스트 실현을 위한 구동 파형에 대해 연구하였다. 그리고 종래에 사용되어진 구동 파형과 본 논문에서 사용한 구동 파형에 대해 비교 검토를 하였다.

첫 번째 서브필드에서의 리셋구간에서만 램프파에 의해 광이 출력되고, 나머지 서브필드의 리셋구간에서는 광이 출력되지 않음을 확인하였다. 이는 기존의 구동 파형에 비해 어두운 화면에서의 Background 휘도가

약 10배정도 낮음을 보여준다. 그리고 기존의 구동 파형에서 측정된 285:1의 콘트라스트 비율과 본 논문에서 사용한 구동 파형에서 측정된 3080:1의 콘트라스트 비율을 비교해보면 약 10.8배정도 높아졌으며, 이로 인해 고콘트라스트를 실현시켰다.

현재까지 PDP의 기술은 종래의 Display device를 충분히 대체할 수 있는 기술 수준에 도달하였다고 본다. 하지만, 저소비전력화와 가정용으로써의 자리 매김을 하기 위해서는 아직까지 모듈의 저가격화를 위한 연구가 지속적으로 추진되어야 할 것으로 본다.

참 고 문 헌

- [1] P. S. Friedman, R. A. Stoller, D. K. Wedding, "An Analysis of Large-area HD TV Display Technology: CRT, LCD, and PDP", Proceeding of the SID, Vol. 32, No. 2, pp. 99~104, 1991.
- [2] Y. Takano, et al., "Late-News paper: A 40-in. DC-PDP with New Pulse-Memory Drive Scheme", SID'94 Digest, pp. 731~734, 1994.
- [3] T. Shinoda, et al., "Surface-Discharge PDP with 3 electrodes", SID'84 Digest, 1984.
- [4] Lawrence E. Tannas, Jr, "Flat-Panel Displays and CRTs", New York: Van Nostrand Reinhold Company, 1985.
- [5] 나가오가게이신, "플라즈마 표시 장치의 그레이스케일 제어 방법 및 제어장치", 공개특허 공보 95-15187, 1995. 6. 16.
- [6] T. Shinoda, A. Ohtsuka, T. Hirose, A. Niinuma, "Green Surface-Discharge Plasma Decode Displays", 86 International Display Research Conference, pp. 51~54, 1985.
- [7] S. Yoshikawa et al, "Full-color AC Plasma Display with 256 gray scale", Japan Display, pp. 605~608, 1992.
- [8] Tsutae. Shinoda, "Method and a circuit for gradationally driving a flat display device", United States Patent 5541618, 1996. 6. 30.
- [9] H. Homma, K. Totoki, K. Igarashi, S. Miko-shiba, H. Asai, and N. Kikuchi, "Luminance improvement of PDPs by an extention of light-emission duty to 90% with an HDTV

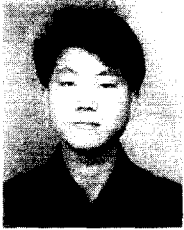
capability". IDRC'97, pp. 285~288, 1997.

[10] Larry F. Weber, "Power efficient sustain

drivers and address drivers for plasma panel".

United States Patent 5081400, 1992. 7. 14.

저 자 소 개



安 楊 基(正會員)

1997년 : 금오공과대학교 전자공학과 졸업(공학사). 2000년 : 금오공과대학교 전자공학과 졸업(공학석사). 2000년~현재 : 금오공과대학교 전자공학과 박사과정, (주)UPD 연구원. <주관심분야 : PDP구동과

형 및 회로설계, PDP 방전메카니즘>



尹 東 漢(正會員)

1968년 : 광운대학교 전자공학과 졸업(공학사). 1980년 : 명지대학교 전자공학과 졸업(공학석사). 1987년 : 명지대학교 전자공학과 졸업(공학박사). 1979년~현재 : 금오공과대학교 전자공학과 교수. <주관

심분야 : 전자회로설계, 영상처리, PDP구동과형 및 회로설계>