

論文2002-39SC-4-4

새로운 기준 전압 인가 방법을 사용하는 8b 200MHz 시간 공유 서브레인지 ADC

(An 8b 200MHz Time-Interleaved Subranging ADC With a New Reference Voltage Switching Scheme)

文正雄*, 梁喜皙*, 李承勳*

(Jung-Woong Moon, Hee-Suk Yang, and Seung-Hoon Lee)

요 약

본 논문에서는 단일 폴리 공정을 기반으로 하여 8b 해상도로 200MHz의 고속 동작을 하기 위해 최적화된 시간 공유 서브레인지 ADC(Analog-to-Digital Converter)를 제안한다. 제안하는 ADC는 높은 정확도를 요구하는 하위 ADC에 이중 채널 구조를 적용하여 높은 샘플링 주파수를 보장하였고, 새로운 기준 전압 인가 방식을 적용하여 기준 전압의 빠른 정착 시간을 얻으면서 동시에 칩 면적을 크게 감소시켰다. 기준 전압을 생성하는 저항열에서는 선형성 및 속도 향상을 위해 기존의 인터메쉬드 구조를 보완한 새로운 저항열을 사용하였다. 8 비트 수준의 정밀도에서 면적 및 전력 소모를 최소화하기 위해 공통 드레인(common-drain) 증폭기 구조를 사용하여 샘플-앤-홀드 증폭기(Sample-and-Hold Amplifier : SHA)를 설계하였으며, 입력단에 스위치와 캐패시터로 구성된 동적 공통 모드 궤환 회로(Dynamic Common Mode Feedback Circuit)를 사용하여 SHA의 동적 동작 범위(dynamic range)를 증가시켰다. 동시에 상위 ADC와 하위 ADC간의 신호 처리를 단순화시키기 위해 상위 ADC에 새로운 인코딩 회로를 제안하였다.

Abstract

This work describes an 8b 200MHz time-interleaved subranging analog-to-digital converter (ADC) based on a single-poly digital CMOS process. Two fine ADCs for lower digital bits of the proposed ADC employ a time-sharing double-channel architecture to increase system speed and a new reference voltage switching scheme to reduce settling time of the reference voltages and chip area. The proposed intermeshed resistor string, which generates reference voltages for fine ADCs, improves linearity and settling time of the reference voltages simultaneously. The proposed sample-and-hold amplifier(SHA) is based on a highly linear common-drain amplifier and passive differential circuits to minimize power consumption and chip area with 8b accuracy and employs input dynamic common mode feedback circuits for high dynamic performance at a 200MHz sampling rate. A new encoding circuit in a coarse ADC simplifies the signal processing between the coarse ADC and two successive fine ADCs.

Keyword : ADC, SHA, 서브레인지, Reference Switching

* 正會員, 西江大學校 電子工學科
(Dept. of Electronic Engineering, Sogang University)
接受日字: 2002年1月3日, 수정완료일: 2002年4月18日

※ 본 논문은 부분적으로 서강대학교 산업기술연구소의 지원을 받은 결과입니다.

I. 서 론

최근 150MHz 이상의 샘플링 클럭을 사용하는 고속 ADC(Analog-to-Digital Converter)는 이동 통신 베이스 시스템, 의료용 영상 시스템 등 많은 상용 시스템에서 수요가 증가하고 있는 추세이며, 특히 Gigabit Ethernet 과 Flat-Panel Display 등의 시스템에서는 8 비트 수준의 해상도와 150MHz 수준의 고속 샘플링 주파수 요건을 동시에 충족시키는 고성능의 ADC를 필요로 한다. 또한, 이 ADC가 다른 대규모 CMOS 디지털 VLSI 회로와 동시에 단일 칩으로 집적되기 위해서는 낮은 전원 전압 및 적은 전력 소모가 필요하며, 공정 비용을 줄이기 위해 하나의 폴리 층만을 사용하는 표준 디지털 공정의 사용이 필수적이다^[1-2].

일반적으로 CMOS 공정을 사용하여 고속 샘플링 주파수를 요구하는 응용에 대해서는 플래쉬(flash) 방식이 널리 사용되어 왔으나, 해상도에 따라 지수적으로 증가하는 면적과 전력 소모 때문에 실제 8 비트 이상의 해상도를 필요로 하는 변환기에서는 서브레인지(sub-ranging), 폴딩(folding) 또는 파이프라인(pipeline) 구조의 A/D 변환기가 선호되어 왔다^[3-5]. 폴딩 구조의 ADC는 비교적 적은 전력 소모량과 높은 동작 주파수를 가지는 장점이 있지만 내부 폴딩율(folding rate)에 의해서 입력 신호의 대역폭(bandwidth)이 제한을 받는 단점이 있다. 한편, 표준 디지털 공정에서는 일반적으로 메탈-메탈 캐패시터가 주로 사용되며, 이러한 캐패시터는 특성상 두개의 폴리 층을 사용하는 전형적인 폴리-폴리 캐패시터에 비해 면적과 기생 캐패시턴스가 대단히 커서 전체 시스템의 전력 소모를 증가시키고, 고속의 시스템에 직접적으로 적용하기 어려운 단점이 존재한다. 따라서, 잔류 전압 증폭을 위해 각 단 사이에 많은 수의 캐패시터를 사용하는 파이프라인 구조의 경우에는 면적과 전력 소모를 고려할 때 직접적인 응용이 어렵다. 그 반면, 서브레인지 구조는 기본적으로 플래쉬 구조를 이용하며 큰 캐패시터를 사용하지 않으므로써 동작 속도와 전력 소모 측면에서 장점을 가지나, 하위 ADC에서 사용되는 기준 전압(reference voltage)의 정착 시간(settling time)이 전체 시스템의 속도를 결정하는 주요 원인이 되어왔다^[3,9]. 여러 개의 채널이 병렬 구조로 연결된 시간 공유(time-interleaved) ADC는 채널

개수에 비례하여 증가하는 면적과 전력 소모, 채널 간의 부정합으로 인한 비선형성 등으로 인하여 설계하기 어려운 단점이 존재하나 비교적 낮은 속도에서 동작하는 시스템을 이용하여 고속의 시스템을 구현할 수 있는 장점이 있다^[5-6].

본 논문에서는 8b 200MHz 수준으로 요구되는 설계 사양을 단일 폴리 공정용 기반으로 하여 칩으로 구현하기 위해 시간 공유 서브레인지 ADC를 제안한다. 전체 시스템의 속도를 결정하는 주요 원인이 되어왔던 기준 전압의 정착 시간을 줄이기 위해 본 논문에서는 새로운 기준 전압 인가 방법과 기존의 인터메쉬드(intermeshed) 저항열을 개선한 새로운 저항열을 사용하였다. 8 비트 수준의 정밀도에서 면적 및 전력 소모를 최소화하기 위해 공통 트레이닝 증폭기를 사용하여 샘플-앤-홀드 증폭기(Sample-and-Hold Amplifier: SHA)를 설계하였으며, 입력단에 스위치와 캐패시터로 구성된 동적 공통 모드 궤환 회로(Dynamic Common Mode Feedback Circuit)를 사용하여 SHA의 동적 동작 범위(dynamic range)를 증가시켰다. 동시에 상위 ADC와 하위 ADC간의 신호 전달을 단순화시키기 위해 상위 ADC에 새로운 인코딩 회로를 제안하였다. 본 논문의 II장에서는 기존과 제안된 ADC의 구조 및 동작 순서를 비교 설명한다. III장에서는 제안된 기준 전압 인가 방법에 대해 구체적으로 논의한다. IV장에서는 회로 구현을 위해 제안하는 저항열, SHA 및 인코딩 회로를 설명하고, V장에서는 전체 회로의 모의 실험을 통해 제안하는 ADC의 성능을 검증한다.

II. 제안하는 ADC의 구조 및 동작 순서

1. 기존의 이중 채널 시간 공유 서브레인지 ADC

기존의 전형적인 이중 채널 시간 공유 서브레인지 ADC의 전체 구조는 그림 1과 같다^[9].

그림 1의 각 블록의 기능을 살펴보면, 먼저 아날로그 입력 신호는 SHA에 의해 샘플링이 되며 상위 ADC(Coarse ADC)와 하위 ADC 1(Fine ADC 1)의 비교기들은 SHA의 출력을 동시에 입력받는다. 상위 ADC의 비교기 출력인 15 비트의 온도계 코드는 상위 인코딩 로직(Coarse Encode Logic)으로 전달되어 상위 4 비트가 결정되며, 동시에 기준 전압 선택 회로 1(Selection Logic 1)의 입력이 된다. 기준 전압 선택 회로 1은 양의 입력 신호에 대하여 기준 전압 발생기(Resistor

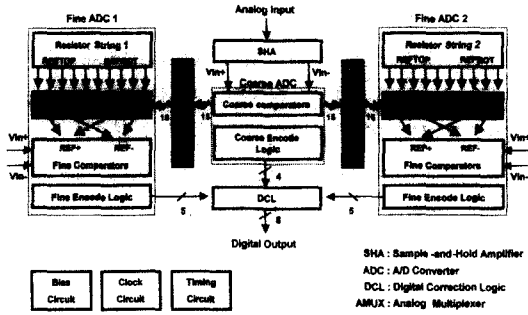


그림 1. 기존의 이중 채널 시간 공유 서브레인지 ADC
Fig. 1. Conventional double-channel time-interleaved sub-ranging ADC.

Strings)에서 양의 기준 전압이 하위 ADC 1에 전달되도록 4개의 아날로그 멀티플렉서(Analog Multiplexer: AMUX) 중 2개의 AMUX를 선택한다. 반면, 음의 입력 신호에 대해서는 음의 기준 전압을 전달하기 위해 나머지 다른 2개의 AMUX를 선택한다. 하위 ADC 1은 선택된 기준 전압과 샘플링된 입력 신호를 비교하여 하위 5 비트의 디지털 코드를 생성하게 된다. 이때, 두 개의 하위 ADC는 신호 처리 속도를 배가시키기 위해 순차적으로 사용된다. 한편, DCL에서는 상위 ADC로부터의 상위 4 비트와 두 개의 하위 ADC로부터의 하위 5 비트를 중첩시켜, 채널간의 오차를 교정하면서 입력 신호에 상응하는 최종 8 디지털 비트를 출력한다.

2. 제안하는 이중 채널 시간 공유 서브레인지 ADC
제안하는 이중 채널 시간 공유 서브레인지 ADC의 전체 구조는 그림 2와 같다.

그림 2의 각 블록의 기능은 그림1의 기존 서브레인지 ADC에서와 동일하다. 새로 추가된 절대값 선택 회로(Absolute Value Selection Logic)는 상위 ADC의 비

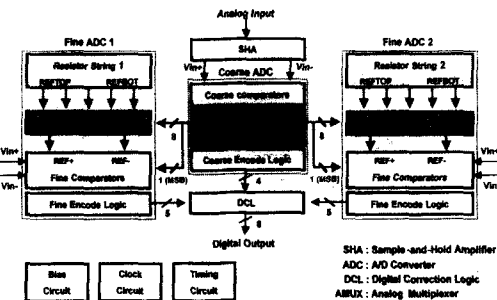


그림 2. 제안하는 이중 채널 시간 공유 서브레인지 ADC
Fig. 2. Proposed double-channel time-interleaved sub-ranging ADC.

교기 출력인 15 비트의 온도계 코드를 입력으로 하여 상위 ADC의 최상위 비트(MSB)와 8 비트의 기준 전압 선택 신호를 결정한다. 8 비트의 기준 전압 선택 신호는 2개의 AMUX를 선택하여 하위 ADC의 비교기로 항상 양의 기준 전압을 인가하고, 상위 ADC의 최상위 비트는 하위 ADC의 비교기 입력단으로 전달이 되어 아날로그 입력 신호의 부호에 따라 하위 ADC로 인가된 기준 전압의 부호를 결정하는 역할을 하게 된다. 절대값 선택 회로의 출력은 동시에 제한하는 상위 인코딩 로직(Coarse Encode Logic)으로 전달되어 상위 4 비트를 결정한다.

그림 1에 도시된 기존 서브레인지 ADC의 경우, 4개의 AMUX를 구성하는 많은 스위치들과 선택되는 저항 열로부터 하위 ADC로 기준 전압 인가를 배선들의 라우팅 면적은 대략 전체 칩 면적의 40% 정도를 차지하는 단점을 지니고 있다. 제안하는 ADC는 새로운 기준 전압 인가 방법을 적용하여 2개의 AMUX만을 사용함으로써 AMUX를 구성하는 스위치들과 배선들의 라우팅 면적을 50% 가량 줄였고, 동시에 저항열의 기생 캐패시턴스를 감소시켜 기준 전압의 빠른 정착시간을 얻었다. 제안하는 ADC는 그림 1에 도시된 기존 서브레인지 ADC의 기준 전압 선택 회로(Selection Logic)를 제거하고 상위 ADC의 블록 내부에 간단한 절대값 선택 회로를 포함시킴으로써 상위 ADC와 하위 ADC 사이의 신호 처리를 단순화시키고 전체 칩 면적을 줄인다.

3. 제안하는 ADC의 동작 순서

그림 3은 제안하는 ADC의 전체 동작 순서를 나타내고 있다. 그림 3의 동작 순서는 전형적인 기존 이중 채널 시간 공유 서브레인지 ADC에서 사용되었던 동작 순서에서 속도 향상의 제한점인 홀딩(holding) 시간을

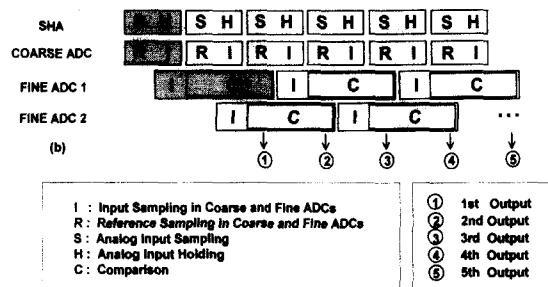


그림 3. 제안하는 ADC의 동작 순서
Fig. 3. Timing sequence of the proposed ADC.

제거하여 50 %의 속도 향상을 가진다^[7, 9].

동작을 살펴보면, 구간 “S”에서 SHA는 아날로그 입력 신호를 샘플링하고 동시에 상위 ADC는 구간 “R”에서 기준 전압을 입력받아 샘플링한다. 다음 구간 “T”에서 상위 ADC와 하위 ADC 1은 SHA의 출력을 동시에 입력받는다. 다음 구간 “C”에서 저항열은 상위 ADC의 비교기 출력 결과에 따라 하위 비트에 해당하는 기준 전압 영역을 선택하고, 하위 ADC1은 이 기준 전압과 샘플링된 입력 신호를 비교하여 하위 비트의 디지털 코드를 생성하게 된다. 이때, 상위 ADC는 구간 “R”과 “T”를 반복하게 되는데, 여기서 발생하는 저항열 제어 신호에 의해 선택된 기준 전압 영역은 다른 채널의 하위 ADC 2에 전달되고, 하위 비트의 디지털 코드를 생성한다. 이와 같이 두 개의 하위 ADC는 신호 처리 속도를 배가시키기 위해 순차적으로 사용된다.

III. 제안하는 ADC의 기준 전압 인가 방법

저항열로부터 하위 ADC에 연결되는 구간은, 그림 4와 같이 우선 상위 ADC가 아날로그 입력 신호에 대해 전체 영역을 4 비트 수준에서 선택함으로써 결정된다.

그림 4에서, 예를 들어 상위 4 비트 값으로 1001이 선택되면 이에 해당하는 범위를 세분화해서 다시 16개의 영역으로 나누게 된다. 그러나 첫 번째 단에서 생길지 모르는 옴셋 및 피드스투에 의해 발생하는 에러를 교정하기 위해 첫 번째 단의 위로 1/2, 아래로 1/2 영역을 포함하여 다음 단에서 세분화한다. 이때, 상위 ADC는 4 비트의 해상도와 4 비트의 정밀도를 가지면

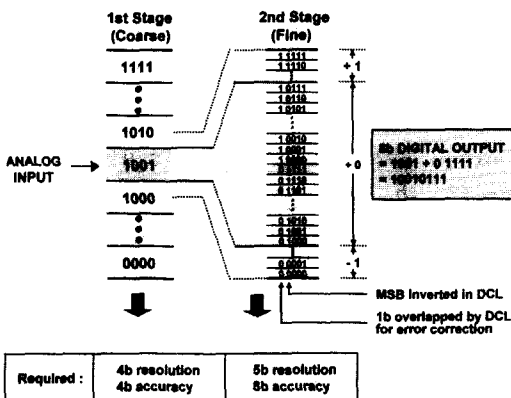


그림 4. 하위 ADC에 연결되는 구간 결정
Fig. 4. Code selection process for one of the fine ADCs.

되지만, 두 번째 단인 하위 ADC는 5 비트의 해상도와 8 비트의 정밀도를 가져야 한다. 하위 ADC의 출력 5 비트 중 첫 번째 비트는 디지털 교정회로를 통해 상위 ADC의 출력 4 비트의 마지막 비트와 중첩되어 에러를 교정하고 두 번째 비트는 반전시킨다. 이와 같은 과정을 통해 최종 8 비트의 디지털 출력 코드를 생성하게 된다.

1. 기존의 기준 전압 인가 방법

그림 5는 입력 신호에 따른 저항열의 선택 가능한 영역을 나타낸다. IN1과 IN2는 전체 신호 영역 중에서 두 가지 다른 입력 신호의 위치를 나타내며, 전체 신호 레벨의 중심을 기준으로 크기는 같고 부호는 반대인 신호이다. 실제로는 제안하는 ADC 회로에서 여러 가지 장점을 고려하여 모든 신호는 완전 차동 구조로 처리됨을 밝혀둔다.

그림 5와 같이 기존의 기준 전압 인가 방법에서는 아날로그 입력으로 IN1의 신호가 입력될 경우, 상위 ADC의 디지털 출력의 결과로부터 하위 ADC로 인가되는 기준 전압으로 영역 A와 B의 ②가 선택된다고 가정하면, 영역 A의 ②는 하위 ADC를 구성하는 그림 6(a)에 나타나 있는 완전 차동 비교기의 양의 신호로, 영역 B의 ②는 음의 신호로 입력된다.

그 반면, 신호의 크기는 IN1과 같고 부호가 반대가 되는 IN2의 신호가 입력되면, 영역 A의 ②는 차동 비교기의 음의 신호로, 영역 B의 ②는 양의 신호로 입력

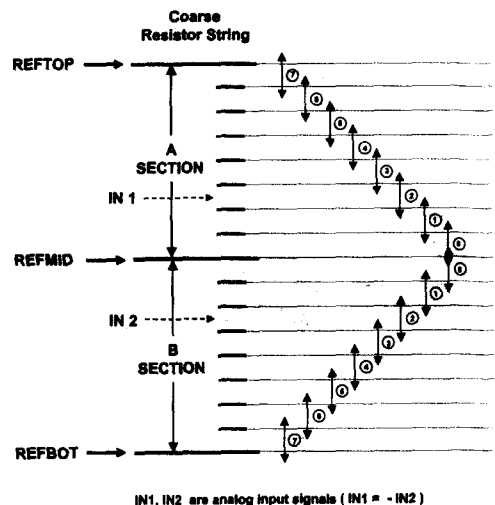


그림 5. 하위 ADC로의 기준 전압 영역의 선택
Fig. 5. Reference segment selection for one of the fine ADCs.

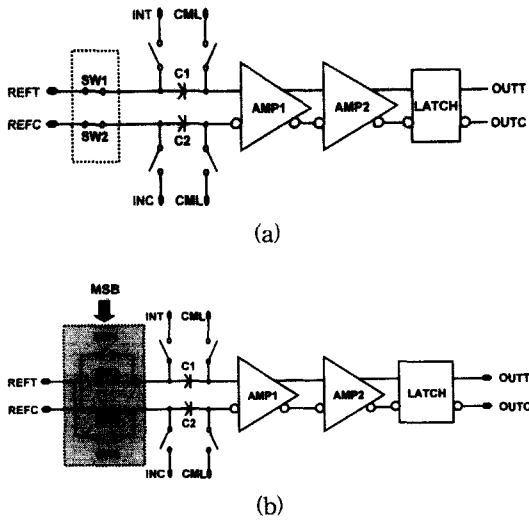


그림 6. 하위 ADC의 비교기: (a) 기존의 기준 전압 인가 방법에 사용된 비교기 및 (b) 제안하는 기준 전압 인가 방법에 사용된 비교기

Fig. 6. Comparators of the fine ADC: (a) for the conventional and (b) proposed reference voltages.

된다. 이러한 동작을 위해서 기존의 ADC에서는 기준 전압을 발생시키는 저항열의 모든 저항 사이에 기준 전압 선택 로직의(Selection Logic) 출력으로 구동되는 2개의 스위치를 사용하여 저항열에서 생성되는 기준 전압이 양의 신호로 입력될 것인지 음의 신호로 입력될 것인지를 미리 결정하여 비교기에 인가해 준다. 기존의 기준 전압 인가 방법이 적용된 서브라인징 ADC의 경우, 저항열로부터 하위 ADC로의 기준 전압 인가를 위해 필요한 배선들의 라우팅 면적과 그로 인한 기생 캐패시턴스 성분이 크게 증가하게 된다. 그 결과 기준 전압 준위의 정착 시간이 제한되어 ADC의 최고 동작 속도가 저하되는 경향이 있었다^[3, 9].

2. 제안하는 기준 전압 인가 방법

제안하는 기준 전압 인가 방법은 그림 5에서 IN1 또는 IN2의 신호가 입력될 경우, 영역 A와 B의 ② 구간이 양의 신호 또는 음의 신호의 구분 없이 동시에 선택된다. 선택된 기준 전압 신호는 하위 ADC의 차동 비교기로 인가되어 비교기에서 상위 ADC의 최상위 비트(MSB)에 따라 양의 신호와 음의 신호로 구분되는 것이다. 이 경우, 각 저항열에서 하위 ADC의 차동 비교기로 기준 전압을 공급하기 위해 존재하는 배선은 하나로 가능하다. 따라서, 제안하는 기준 전압 인가 방법

은 각각의 저항열로부터 2 개의 스위치 및 관련된 배선을 사용하여 하위 ADC로 기준 전압을 인가하는 기존의 방법과는 달리, 각 저항열에 하나의 스위치 및 관련된 배선만을 사용하여 하위 ADC로 기준 전압을 전달한다. 결과적으로, 제안하는 기준 전압 인가 방법을 사용한 ADC의 경우, 하위 5 비트 ADC에 기준 전압을 공급하기 위해 필요한 전체 칩의 40% 수준에 이르는 라우팅 면적이 절반으로 감소될 뿐 아니라 저항열에 존재하는 기생 성분의 감소로 200MHz 수준의 클럭에서 동작하는 기준 전압의 빠른 정착 시간을 얻을 수 있다.

그림 6(b)의 제안된 하위 ADC에 사용되는 차동 비교기는 입력된 기준 전압이 양의 신호 또는 음의 신호로 인가되도록 하기 위해서 2개의 기준 전압 입력 경로를 가진다. 이는 비교기 입력단에 2개의 스위치만을 추가하여 간단히 구현할 수 있다. 동작을 살펴보면 아날로그 입력 IN1에 대해서는 SW2와 SW3이 켜지고 IN2에 대해서는 SW1과 SW4가 켜지도록 하며, 이 스위치들은 상위 ADC의 절대값 선택 로직에 의해 생성된 ADC의 최상위 비트(MSB)에 의해 간단히 조절된다.

IV. ADC 주요 회로 블록 설계

1. 제안하는 기준 전압 발생기

하위 ADC에 기준 전압을 공급하는 기준 전압 발생기는 전체 시스템의 선형성을 결정하는 중요한 블록 중의 하나이다. 제안하는 ADC에서는 상위 ADC와 하위 ADC의 기준 전압을 공급하는 저항열을 분리하여

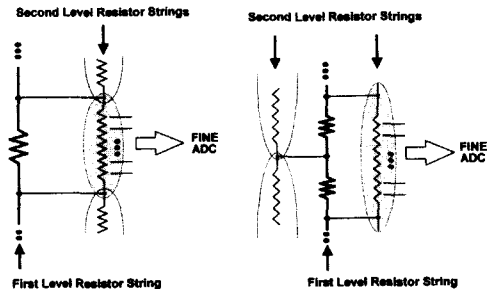


그림 7. 하위 ADC용 기준 전압 발생기에 사용되는 저항열 (a) 기존의 인터메쉬드 저항열 및 (b) 제안된 저항열

Fig. 7. Resistor string employed in the fine ADC (a) conventional and (b) proposed resistor strings.

상호 간섭을 최소화하였다. 또한 높은 정밀도가 요구되는 하위 ADC의 저항열에는 그림 7과 같이 기존의 인터메쉬드 저항열을 개선한 저항열을 사용하였다.

기존의 인터메쉬드 저항열은 그림 7(a)에서 보듯이 1차 저항과 2차 저항으로 나뉘어져 있으므로 상대적으로 큰 저항으로 기준 전압의 빠른 정착을 얻을 수 있으며 높은 정밀도를 구현할 수 있다. 그러나 1차 저항의 특성이 2차 보다 상대적으로 정밀해야 하며, 2차 저항열이 1차 저항열에 의해 서로 분리되므로 상위 ADC의 LSB와 하위 ADC의 MSB를 중첩하여 오차를 교정하는 DCL 회로를 직접적으로 적용할 수 없는 단점이 존재한다^[10-11]. 반면, 그림 7(b)에서와 같이 제안하는 인터메쉬드 저항열에서는 1차 저항열과 2차 저항열이 서로 중첩되므로 DCL 회로를 직접적으로 적용할 수 있으며, 병렬 구조이므로 속도의 향상, 선형성 향상 등과 같은 기존의 인터메쉬드 저항열의 장점을 그대로 유지할 수 있다.

제안하는 저항열 구조는 기존의 인터메쉬드 저항열에 비해 임의의 부정합에 대하여 적은 전압 변이를 보여준다. 그림 8은 기존의 인터메쉬드 구조와 선형성 비교를 위하여 모든 저항에 동일한 임의의 부정합을 주었을 경우, 100회의 몬테-카를로(Monte-Carlo) 모의 실험을 통해 가장 큰 부정합을 보여주는 저항열의 가운데 노드에서 바라본 전압 분포를 나타내고 있다. 100회 이상의 모의 실험을 통해 얻어진 전압 분포도 그림 8과 큰 차이가 없었으며, 이는 통계 역학의 결과와 부합된다.

모의 실험 조건으로는, 단순한 두개의 저항열의 비교

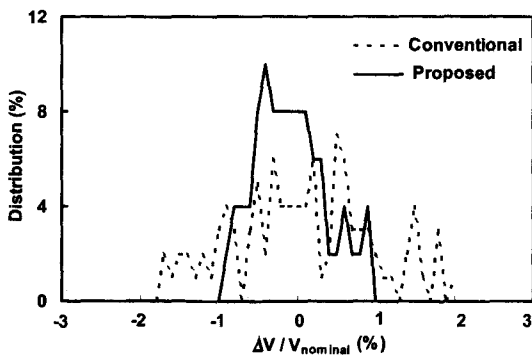


그림 8. 몬테-카를로 모의 실험을 통한 전압 변이 분포
Fig. 8. Voltage deviations by the Monte-Carlo simulation.

를 위해 1차와 2차 저항열의 크기를 동일하게 설정하고, 상대적으로 높은 정밀도가 필요한 1차 저항열에 0.5%, 2차 저항열에 1%의 임의의 부정합을 동시에 가해 주었다. 이 수치들은 발표된 논문에서 언급되는 전형적인 수준의 수치들이며, 8b 수준에서 50MHz 클럭으로 동작하는 1차 시제품을 통하여 추출된 값을 나타낸다^[9]. 모의 실험 결과 제안된 저항열에서의 기준 전압이 기존의 인터메쉬드 저항열보다 상대적으로 적은 전압 변이를 나타냄을 알 수 있다.

2. 제안하는 샘플 앤-홀드 증폭기(SHA)

높은 주파수를 가지는 입력 신호 처리의 동적 특성을 향상시키기 위해 ADC의 입력단에는 보통 SHA 회로를 사용한다. SHA를 사용하지 않을 경우에는 입력 신호의 슬루율(slew rate)이 제한되어 입력 주파수가 높을 경우에는 상위 ADC와 하위 ADC에 의해 샘플링 되는 전압 값이 달라질 수 있다. CMOS 공정에서는 바이폴라 공정의 공통-컬렉터(common-collector) 증폭기와 같은 오픈-루프 버퍼(open-loop buffer)를 구현하는 것이 쉽지 않다. 대부분의 CMOS ADC의 경우, 피드백을 사용한 연산 증폭기를 사용하여 높은 정밀도를 가지는 SHA 회로를 사용하였다^[12]. 그러나 연산 증폭기를 사용한 SHA의 경우에는 200MHz 수준의 높은 속도를 얻기란 쉽지 않으며 가능하더라도 면적 및 전력 소모 또한 매우 커지게 된다. 제안하는 CMOS ADC에서는, 8 비트 수준의 정밀도를 필요로 하는 수준에서 면적 및 전력을 최소화하기 위해 공통 드레인 증폭기 구조를 사용하여 SHA를 설계하였다^[13-14].

그림 9에 도시된 제안하는 SHA회로의 중첩되지 않는 클럭 위상 Q1 및 Q2에 따른 동작을 살펴보면, 우선 Q1 클럭 위상 동안, 캐패시터의 bottom-plate에 입력 신호를 오픈-루프(open-loop) 형태로 샘플링하며 샘플링 모드에서 홀딩 모드로의 전환 시 샘플링 스위치가 꺼질 때 캐패시터의 top-plate에 연결된 스위치를 먼저 꺼 줌으로써, 피드 스루 오차를 최소화한다. Q2 클럭 위상 동안, 캐패시터의 bottom-plate가 입력 공통 모드 전압의 변화에 비례하는 입력 공통모드 피드백 회로의 출력인 INCMFB에 연결되면서 홀딩 모드로 동작한다. SHA의 입력단 MP1, MP2의 경우, 저전압에서 최대한의 적절한 동작을 보장하기 위해 body-effect 최소화 및 신호의 움직임 등등 여러 회로 주변 상황을 고려하여 PMOS를 사용하였다. 또한 레이아웃을 할 경우,

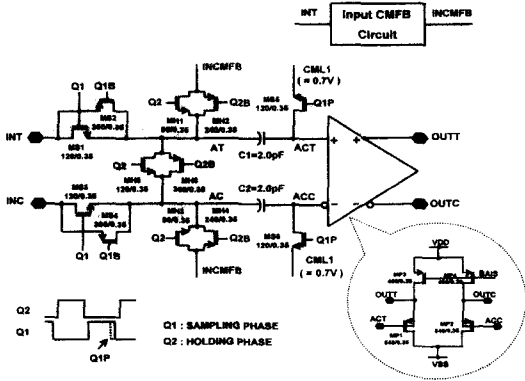


그림 9. 제안하는 SHA 회로
Fig. 9. Proposed SHA circuit.

PMOS의 n-well을 각각의 소스(source) 단자와 연결함으로써 body-effect에 의한 비선형성 및 Gain-Error를 최소한으로 줄일 수 있다.

기존의 공통 드레인 증폭기를 사용한 SHA의 경우, 2Vp-p의 단일 입력 신호를 사용 시, 1Vp-p의 입출력 공통 모드 전압 변화가 발생하여 SHA 회로의 최대 입출력 동작 범위가 매우 제한되었다. 제안하는 SHA의 경우, 최대 입출력 동작 범위를 증가시키기 위해 그림 10에 도시한 스위치와 캐패시터로 구성된 동적 공통 모드 제환 회로(Common Mode Feedback Circuit: CMFB)를 사용하였다. 동적 CMFB 회로는 겹치지 않는 두 클럭 Q1 과 Q2를 사용하여 입출력 공통 모드 제어 전압 $INCMFB = (INT + CML2)/2$ 를 발생시킬 수 있다. 출력된 INCMFB는 입력 공통 모드 전압의 변화 $(= INT/2)$ 에 비례하며, SHA의 입력단으로 전달되어 양쪽 공통 드레인 증폭기들의 입력 공통 모드 전압을 일정하게 유지시킨다. 그 결과 2Vp-p의 단일 입력 신호 사용 시에도 SHA 회로의 최대 입출력 동작 범위가 보장된다. SHA에서 CML, CML1, CML2의 값들은 공통 드레인 증폭기의 입출력 동작 범위를 3V 전원 전

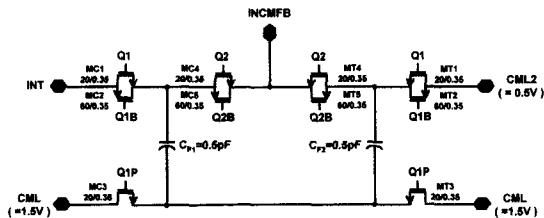


그림 10. SHA에 사용된 입력 동적 공통 모드 제환 회로
Fig. 10. Input dynamic CMFB circuit for the proposed SHA.

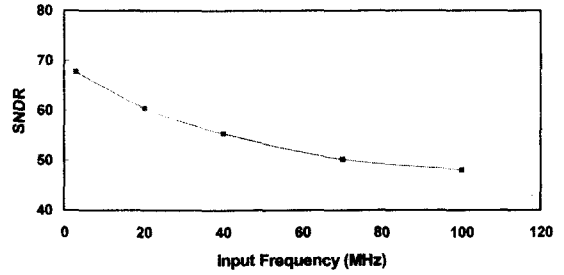


그림 11. 제안하는 SHA의 FFT 분석 결과
Fig. 11. FFT analysis of the proposed SHA.

압에서 단일 입력 사용 시, 최대 2Vp-p가 되도록 결정하였으며, 본 설계에서는 각각 1.5V, 0.7V, 0.5V이다.

설계된 SHA의 FFT 분석 결과를 그림 11에 도시하였다. 그림에서 보듯이 200MHz 클럭 주파수에서 2Vp-p의 단일 입력 신호를 인가하였을 때, ADC의 Effective Resolution Bandwidth가 10MHz 이내로 제한이 되지만, 3MHz 수준의 낮은 주파수를 갖는 입력 신호의 경우에는 68.0dB, 100MHz의 Nyquist 입력의 경우에는 48.1dB 수준의 Signal-to-Noise-and-Distortion Ratio (SNDR)를 보여준다. 이 값들은 각각 11.0 비트 및 7.7 비트 수준의 Effective Number Of Bits(ENOB)를 나타내며, 8b 해상도에서 충분한 설계 여유를 갖고 있음을 알 수 있다.

3. 제안하는 인코딩 회로

플래쉬 ADC에 사용되는 비교기의 수는 해상도에 따라 지수적으로 증가하기 때문에 높은 해상도를 요구하는 플래쉬 ADC의 경우, 많은 수의 비교기 및 인코더에 의해 면적 및 전력 소모가 커지게 되는 문제점이 있다^[15-16]. 따라서, 8 비트 이상의 해상도를 요구하는 ADC의 경우에는 이단 ADC 또는 파이프라인 ADC를 사용한다. 제안하는 새로운 인코딩 회로는 면적 및 전력 소모를 줄이기 위해 이단 ADC에서와 같은 방식으로 상위 비트와 하위 비트를 나누어 처리함으로써 인코딩 회로에서의 면적 및 전력 소모를 감소시켰다.

제안하는 인코딩 회로를 설명하기 위해 15 비트의 온도계 코드를 입력으로 하여 이진 4 비트 출력을 위한 인코더의 블록 다이어그램 및 진리표를 그림 12과 표 1에 각각 도시하였다.

그림 12에서 보는바와 같이 인코더는 상위 및 하위 인코더로 분리되어 있다. 15 비트의 온도계 코드 중 3 비트 T11, T7, T3에 따라 상위 인코더에서 상위 2 비

터의 $\pm 30\%$ 의 변화, 및 공정 변수의 변화를 고려한 모의 실험에서 정상적으로 동작함을 확인하였다. 또한, 각 블록들 간의 입·출력 충돌 및 각 블록의 모의 실험 시 예상할 수 없었던 시스템 측면에서의 문제점을 파악하기 위해 3V 전원 전압 하에서 200MHz의 샘플링 클럭 주파수로 전체 ADC 회로를 모의 실험하였다. 사용된 공정은 0.35um n-well single-poly quad-metal CMOS 공정으로 전체 회로를 트랜지스터 레벨에서 모의 실험 하였다. 그림 13은 외부에서 2VP-P의 기준 전압 범위에 대해 5가지의 주요 아날로그 신호를 가해줄 경우의 출력 디지털 파형을 나타낸다. 기준 전압보다

큰 신호 혹은 작은 신호를 탐지하는 overflow(OVF), underflow(UDF), 및 나머지 8개의 디지털 신호(D7~D0)의 출력 파형이 예상과 정확히 일치함으로써 전체 시스템이 문제없이 동작함을 확인하였다. 표 3에는 예상되는 ADC의 사양을 나타내었다.

VI. 결 론

본 논문에서는 고속 통신 시스템 응용을 위하여 단일 폴리층을 사용하는 8b 200MHz 시간 공유 서브레인지 ADC를 제안하였다. 제안하는 ADC는 이중 채널 구조를 바탕으로 3V 전원 전압에서 187mW의 낮은 전력 소모의 특성을 나타낸다. 제안된 ADC에 적용된 새로운 기준 전압 인가 방법은 저항열로부터 하위 ADC로 기준 전압을 인가하기 위한 스위치 및 배선들의 라우팅 면적을 50% 감소시키며, 동시에 저항열에서의 기생 캐패시턴스를 감소시켜 기준 전압의 빠른 정착 시간을 얻을 수 있다. 또한, 기존의 인터메쉬드 저항열을 개선한 기준 전압 발생기는 기준 전압의 빠른 정착과 동시에 선형성의 향상을 보여주었다. 8 비트의 정밀도를 필요로 하는 수준에서 면적 및 전력을 최소화하기 위해 공통 드레인 증폭기 구조를 사용하여 샘플 앤-홀드 증폭기를 설계하였으며, 입력단에 스위치와 캐패시터로 구성된 공통 모드 궤환 회로를 사용하여 SHA의 동적 동작 범위(dynamic range)를 증가시켰다. 동시에 상위 ADC와 하위 ADC간의 신호 처리를 단순화시키기 위해 상위 ADC에 새로운 인코딩 회로를 사용하였다. 본 논문은 근본적으로 기존 논문^[9]에서의 칩 면적 증가, 디지털 코딩 면적 증가 등의 관련된 주요 설계 문제를 해결하기 위한 회로 설계 기법을 제안한 것이며, 실제 칩 제작은 진행하지 않았다.

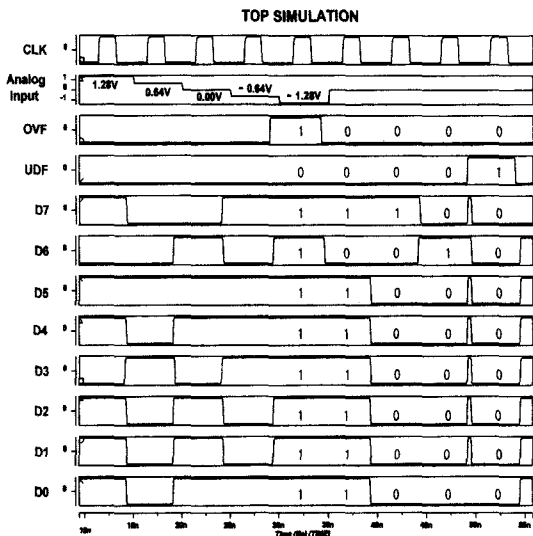


그림 13. 전체 회로의 모의 실험 결과
Fig. 13. Top simulation results at 3V and 200MHz.

표 3. 제안하는 ADC의 예상 사양
Table 3. Expected performance of the simulated ADC.

Resolution	8 bits
Supply Voltage	3 V
Conversion Rate	200 MHz
Power	187 mW
DNL	± 0.5 LSB
INL	± 1 LSB
Input Range	2 Vp-p
Technology	0.35 um n-well single-poly quad-metal CMOS

참 고 문 헌

[1] K. Bult, "Analog Broadband Communication Circuits in Pure Digital Deep Sub-Micron CMOS," in ISSCC Dig. Tech. Papers, Feb. 1999, pp. 76-77.
[2] K. Bult and A. Buchwald, "An Embedded 240-mW 10-b 50-MS/s CMOS ADC in 1-mm²," IEEE J. Solid-State Circuits, vol. 32, pp. 1887-1895, Dec. 1997.

- [3] B.P. Brant and J. Lutsky, "A 74mW 10-b 20-MSPS CMOS subranging ADC with 9.5 effective bits at nyquist," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1788-1795, Dec. 1999.
- [4] A. G. W. Venes and R. J. van de Plassche, "An 80MHz 80mW 8b CMOS folding A/D converter with distributed T/H preprocessing," in *ISSCC Dig. Tech. Papers*, Feb. 1996, pp. 318-319.
- [5] K. Y. Kim, N. Kusayanagi, and A. A. Abidi, "A 10-b, 100-MS/s CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 32, pp. 302-311, Mar. 1997.
- [6] K. Nagaraj, H. S. Fetterman, J. Anidjar, S. H. Lewis, and R. G. Renninger, "A 250-mW, 8-b, 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers," *IEEE J. Solid-State Circuits*, vol. 32, pp. 312-320, Mar. 1997.
- [7] N. Fukushima, T. Yamada, N. Kumazawa, Y. Hasegawa, and M. Soneda, "A CMOS 40MHz 8b 105mW two-step ADC," in *ISSCC Dig. Tech. Papers*, Feb. 1989, pp. 14-15.
- [8] M. Ishikawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H," *IEEE J. Solid-State Circuits*, vol. 24, pp. 1485-1491, Dec. 1989.
- [9] S. H. Lee, J. W. Moon, S. H. Lee, "An 8b 52MHz Double-Channel CMOS Subranging A/D Converter for DSL Applications," *IEICE TRANS. ELECTRON.*, vol. E84-C, no. 4, pp. 470-474, Apr. 2001.
- [10] R. Wittmann, W. Schardein, B. J. Hosticka, G. Burbach, and J. Arndt, "Trimless high precision ratioed resistors in D/A and A/D converters," *IEEE J. Solid-State Circuits*, vol. 30, no. 8, pp. 935-939, Aug. 1995.
- [11] M. J. M. Pelgrom, "A 10-b 50-MHz CMOS D/A converter with 75- Ω buffer," *IEEE J. Solid-State Circuits*, vol. 25, no. 8, pp. 1347-1353, Dec. 1990.
- [12] B. Razavi, "Principles of Data Conversion System Design," *IEEE Press*, Piscataway, New Jersey, 1996.
- [13] Y. T. Wang and B. Razavi, "An 8-bit 150-MHz CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 308-317, Mar. 2000.
- [14] R. C. Taft and M. R. Tursi, "A 100-MS/s 8-b CMOS subranging ADC with Sustained Parametric Performance from 3.8V Down to 2.2V," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 331-338, Mar. 2001.
- [15] C. L. Portmann and T. H. Y. Meng "Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converters," *IEEE J. Solid-State Circuits*, vol. 31, no. 8, pp. 1132-1140, Aug. 1996.
- [16] I. Mehr and D. Dalton, "A 500-MSample/s 6-Bit Nyquist-Rate ADC for Disk-Drive Read-Channel Applications," *IEEE J. Solid-State Circuits*, vol. 34, no. 7, pp. 912-920, Jul. 1999.

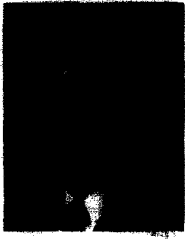
저 자 소 개

文正雄(正會員)

2000년 2월 : 서강대학교 전자공학과 학사. 2002년 2월 : 서강대학교 전자공학과 석사. <주관심분야 : 데이터 변환기 설계, 혼성모드 회로 설계 등임>

梁喜哲(正會員)

2002년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주관심분야 : 데이터 변환기 설계, 혼성모드 회로 설계 등임>



李承勳(正會員)

1984년 : 서울대학교 전자공학과
학사. 1986년 : 서울대학교 전자공
학과 석사. 1991년 : 미 Illinois 대
(Urbana-Champaign) 공학 박사.
1986. 3.~1986. 7년 : KIST 위촉
연구원. 1987. 6~1990. 3 : 미

Coordinated Science Lab(Urbana) 연구원. 1990. 3~
1993. 2년 : 미 Analog Devices 사 senior design
engineer. 현재 : 서강대학교 전자공학과 부교수. <주관
심분야 : 집적회로 설계, 데이터 변환기 설계 등임>