論文2002-39SC-4-3

높은 SFDR을 갖는 2.5 V 10b 120 MSample/s CMOS 파이프라인 A/D 변환기

(A 2.5 V 10b 120 MSample/s CMOS Pipelined ADC with High SFDR)

朴 鍾 範 *, 劉 相 珉 *, 梁 喜 晳 *, 池 龍 *, 李 承 勳 *

(Jong-Bum Park, Sang-Min Yoo, Hee-Suk Yang, Yong Jee, and Seung-Hoon Lee)

요 약

본 논문에서는 높은 해상도와 고속 신호 샘플링을 위해 병합 캐패시터 스위칭(merged-capacitor switching : MCS) 기법을 적용한 10b 120 MSample/s CMOS 파이프라인 A/D 변환기(analog-to-digital converter : ADC) 회로를 제안한다. 제안하는 ADC의 전체 구조는 응용되는 시스템의 속도, 해상도 및 면적 등의 사양을 고려하여 다단 파이프라인 구조를 사용하였고, MDAC(multiplying digital-to-analog converter)의 캐패시터 수를 50 %로 줄임으로써 해상도와 동작 속도를 동시에 크게 향상시킬 수 있는 MCS 기법을 적용하였다. 제안하는 ADC는 0.25 um double-poly five-metal n-well CMOS 공정을 이용하여 설계 및 제작되었고, 시제품 ADC의 DNL(differential nonlinearity)과 INL(integral nonlinearity)은 각각 ±0.40 LSB, ±0.48 LSB 수준을 보여준다. 100 MHz와 120 MHz 샘플링 주파수에서 각각 58 dB와 53 dB의 SNDR(signal-to-noise-and-distortion ratio)을 얻을 수 있었고, 100 MHz 샘플링 주파수에서 입력 주파수가 나이퀴스트(Nyquist) 입력인 50 MHz까지 증가하는 동안 54 dB 이상의 SNDR과 68 dB 이상의 SFDR(spurious-free dynamic range)을 유지하였다. 입출력단의 패드를 제외한 칩 면적은 3.6 mm^2(= 1.8 mm × 2.0 mm)이며, 최대 동작 주파수인 120 MHz 클럭에서 측정된 전력 소모는 208 mW이다.

Abstract

This work describes a 10b 120 MSample/s CMOS pipelined A/D converter(ADC) based on a merged-capacitor switching(MCS) technique for high signal processing speed and high resolution. The proposed ADC adopts a typical multi-step pipelined architecture to optimize sampling rate, resolution, and chip area, and employs a MCS technique which improves sampling rate and resolution reducing the number of unit capacitor used in the multiplying digital-to-analog converter (MDAC). The proposed ADC is designed and implemented in a 0.25 um double-poly five-metal n-well CMOS technology. The measured differential and integral nonlinearities are within ±0.40 LSB and ±0.48 LSB, respectively. The prototype silicon exhibits the signal-to-noise-and-distortion

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

※ 본 논문은 서강대학교 산업기술연구소, IDEC, 연세대학교 ITRC 및 하이닉스 반도체 등의 지원을 받은 결과입니다.

接受日字:2002年1月3日, 수정완료일:2002年4月18日

ratio(SNDR) of 58 dB and 53 dB at 100 MSample/s and 120 MSample/s, respectively. The ADC maintains SNDR over 54 dB and the spurious-free dynamic range(SFDR) over 68 dB for input frequencies up to the Nyquist frequency at 100 MSample/s. The active chip area is 3.6 mm^2(= 1.8 mm × 2.0 mm) and the chip consumes 208 mW at 120 MSample/s.

Keyword : ADC, pipeline, MCS, SFDR, MDAC, CFCS, 병합캐패시티

Ⅰ. 서 론

최근 첨단 기술을 요구하는 고속 유/무선 통신 시스템, 의료 영상 시스템, HDTV 등의 여러 응용에서는 10 비트 이상의 해상도와 100 MHz 이상의 높은 샘플링 속도를 가진 A/D 변환기(analog-to-digital converters : ADCs)를 절실하게 요구하고 있다. 기존의 다양한 ADC 구조 중에서, 고속의 신호 처리에 적용될 수 있는 구조로는 플래시(flash), 폴딩(folding), 서브레인징(subranging) 및 파이프라인(pipeline) 구조 등이 있으며, 이러한 구조 중에서 10 비트 이상의 고해상도 조건과 100 MHz 이상의 높은 고속 신호 처리 사양을 동시에 만족하기 위해 속도, 전력 소모 및 면적을 최적화하는 파이프라인 구조를 많이 적용하고 있는 추세이다[1-4].

기존의 파이프라인 ADC는 크게 두 가지의 구조, 즉, 각 단마다 1 비트를 결정하는 단일 비트 구조와 2 비트 이상을 결정하는 다중 비트 구조로 이루어진다. 일반적으로 10 비트 이상의 고해상도를 필요로 하는 파이프라인 ADC에서는 많은 단을 필요로 하는 단일 비트 구조보다는 첫 단에 많은 비트를 결정함으로써 다음 단으로부터의 영향을 줄이면서 전력 소모 및 면적을 최적화 하는 다중 비트 구조를 많이 사용하지만, 신호 처리 속도가 단일 비트 구조에 비해 낮은 단점을 들 수 있다. 그 이유는 파이프라인 구조의 각 단에서 처리하는 해상도가 높아질수록 선형성은 증가하지만, 큰 부하 캐패시턴스(capacitance)와 증폭기의 높은 폐루프 이득(closed-loop gain)의 제한으로 인해 높은 샘플링 속도를 구현하기가 어렵기 때문이다[2-6].

또한, 전형적인 파이프라인 구조의 ADC에서 사용되는 MDAC(multiplying digital-to-analog converter)의 스위치드 캐패시터(switched-capacitor) 구조의 경우, 각 캐패시터 사이의 부정합(mismatch)은 전체 ADC의 DNL(differential nonlinearity) 및 INL(integral nonlinearity)에 영향을 주어 해상도를 제한한다. 캐패시터 사이의 정합(match)을 향상시키기 위하여 동심원 구조(common-centroid geometry)와 같은 레이아웃 기법이 흔히 사용되지만, 공정 상에서 발생하는 임의의 오차(random error)에 의한 부정합을 줄이기는 쉽지 않다[7-9]. 또한, 트리밍(trimming)이나 보정(calibration)과 같은 추가적인 방법을 사용하지 않고 캐패시터의 정합을 조금이라도 향상시키기 위해서 캐패시터의 크기를 증가시킬 수도 있지만, 이러한 방법은 앞단의 부하 캐패시턴스의 증가로 인해 아날로그 블럭에 사용되는 증폭기의 크기와 전력소모를 증가시키면서 전체 ADC의 속도를 감소시킨다[10].

본 논문에서는 신호 처리 속도와 해상도를 동시에 향상시키기 위한 병합 캐패시터 스위칭(merged-capacitor switching : MCS) 기법을 이용하여 원하는 동작속도와 해상도를 동시에 만족시킴으로써, 10 비트의 해상도와 120 MHz의 샘플링 속도를 가지는 CMOS ADC의 설계에 관하여 논의한다. Ⅱ 장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, Ⅲ 장에서 MCS 기법을 포함한 제안하는 회로 설계 기법을 설명한다. Ⅳ 장에서 제안하는 ADC 시제품의 측정 결과를 정리한 후, Ⅴ 장에서 결론을 맺는다.

Ⅱ. 제안하는 ADC의 전체 구조

본 연구에서 제안하는 10b 120 MSample/s CMOS ADC의 구조는 그림 1과 같다. 전체 ADC는 샘플-앤-홀드 증폭기(sample-and-hold amplifier : SHA), 2 개의 4b MDAC, 3 개의 4b flash ADC, 디지탈 교정 회로(digital correction logic), 자체 바이어스 전류 발생기(self bias generator) 및 클럭 발생기(clock generator)

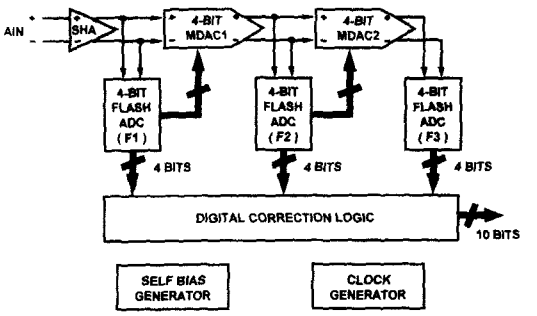


그림 1. 제안하는 10b 120 MSample/s ADC
Fig. 1. Proposed 10b 120 MSample/s ADC.

로 구성된다. 입력된 아날로그 입력 신호를 디지탈 출력 코드로 변환하기 위하여, 두 개의 중첩되지 않는 클럭(nonoverlapping clock) Q1, Q2를 사용하고, 기본적인 동작 원리는 다음과 같다.

먼저, Q2 클럭 위상 동안 SHA에서 샘플링된 신호는 그 다음의 Q1 클럭 위상에서 MDAC1의 캐패시터열로 전달되며, 동시에 첫 번째 subranging flash ADC (F1)는 입력된 SHA의 출력 신호가 기준 전압(reference voltage)의 어느 부분에 해당되는지를 4 비트 디지탈 코드로 결정하여 디지탈 교정 회로로 보낸다. 그 다음의 Q2 클럭 위상에서 MDAC1의 캐패시터열에 저장된 아날로그 신호와 F1에서 결정된 디지탈 코드에 상응하는 아날로그 신호와의 차이 즉, 잔류 전압(residue voltage)이 8배만큼 증폭되어 다음 단인 MDAC2 및 두 번째 subranging flash ADC (F2)로 전달되며 최종 디지탈 출력이 얻어질 때까지 같은 과정이 반복된다. 이와 같은 동작으로 세단의 flash ADC 즉, F1, F2 및 F3로부터 얻어진 12 비트 디지탈 출력은 SHA, MDAC 및 flash ADC들 사이에 생길 수 있는 피드스루(feed-through) 및 옵셋 오차(offset error)를 교정하기 위해 각 단을 1 비트씩 중첩시키는 디지탈 교정 방식이 적용되며, 그 결과 중첩되는 각 단으로부터 발생하는 2 비트를 제외한 최종 10 비트가 디지탈 교정 회로로부터 얻어진다.

이러한 파이프라인 구조를 가진 ADC에서는 잔류전압 증폭기와 DAC(digital-to-analog converter)의 기능이 합쳐진 MDAC이 전체 ADC의 성능에 큰 영향을 미친다. 다중 비트 구조에서 사용되는 MDAC 내의 잔류전압 증폭기는 필요로 하는 높은 페루프 이득과 큰 부하 캐패시턴스로 인해 선형성, 빠른 동작속도 및 높은 DC 이득의 특성을 함께 얻기 위해서 대단히 큰 전력을 필요로 하며, 이는 ADC의 동작 속도를 제한하게 된다. 또한, MDAC의 각 캐패시터 사이의 부정합은 전체 ADC의 해상도를 제한한다. 다음 장에서는 MDAC의 해상도와 동작 속도를 동시에 향상시킬 수 있는 MCS 기법과 ADC 회로의 설계에 관하여 간략히 논의한다[11].

III. 제안하는 회로 설계 기법

1. 기존의 4 비트 MDAC

스위치드 캐패시터 구조를 사용하는 기존의 4 비트 MDAC은 그림 2와 같이 16 개의 캐패시터(C1~C16), 증폭기(AMP) 및 디지탈 코드에 따라 스위치를 조절하기 위한 디코딩 회로(decoding circuit) 등으로 이루어져 있다.

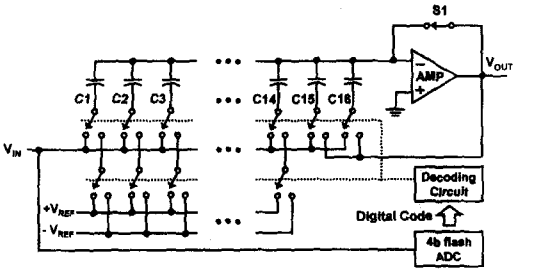


그림 2. 기존의 4 비트 MDAC
Fig. 2. Conventional 4b MDAC.

이와 같은 구조의 MDAC은 크게 두 위상으로 동작한다. 먼저, 샘플링 위상에서는 증폭기의 옵셋을 제거하기 위해 스위치 S1은 턴 온(turn on)되어 입력과 출력이 연결되며, 아날로그 입력 전압 VIN은 C1~C16의 캐패시터에 저장된다. 그 다음의 증폭 위상에서는 flash ADC에서 결정된 VIN에 해당하는 디지탈 코드 1, 0에 따라, 디코딩 회로를 통해 C1~C14의 캐패시터 bottom plate에 +VREF 또는 -VREF가 인가되며, 궤환 캐패시터 C15와 C16은 증폭기의 출력 VOUT에 연결됨으로써 출력에 그 다음 단에 연결되어야 하는 잔류 전압이 증폭된다.

2. 제안하는 MCS 기법

제안하는 MCS 기법은 전형적인 파이프라인 ADC에 사용되는 MDAC의 단위 캐패시터를 2 개씩 병합하여 필요한 캐패시터의 수를 50 %로 줄인다. 따라서 기존의 MDAC과 같은 크기의 단위 캐패시터를 사용할 경우, 줄어든 캐패시터 수만큼 앞단의 부하 캐패시턴스가

감소하므로 증폭기의 전력 소모가 줄어든다. 한편, 1/2로 줄어든 캐패시터 수에 해당하는 크기만큼 단위 캐패시터를 2 배 증가시킬 경우, 레이아웃 상에서 단위 캐패시터 한 변의 길이는 $\sqrt{2}$ 배 증가하므로, 제안하는 MCS 기법은 전력 소모 및 부하 캐패시터의 증가 없이 공정 상에서 발생하는 임의의 오차를 $1/\sqrt{2}$ 배 감소시킬 수 있다.

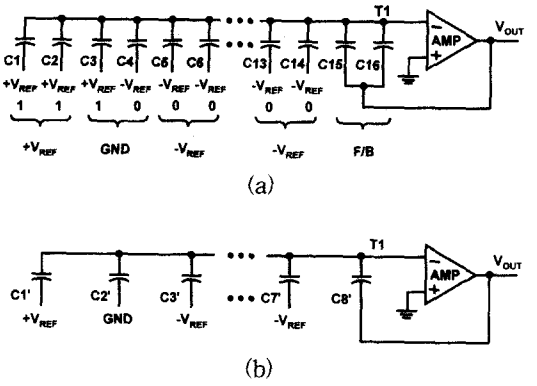


그림 3. 증폭 위상의 MDAC : (a) 기존 및 (b) 제안하는 MCS 기법

Fig. 3. MDAC during amplification based on : (a) conventional and (b) proposed MCS techniques.

그림 3은 증폭 위상동안에 기존 및 제안하는 MCS 기법을 적용한 4 비트 MDAC을 보여준다. 그림 3 (a)에서 보는 바와 같이 기존의 MDAC에서 16 개의 캐패시터를 2 개씩 묶어서 그림 3 (b)와 같이 8 개의 부분으로 나눌 수 있다. 이 때 그림 3 (a)에서 보듯이 병합되는 두 캐패시터 C1, C2 또는 C13, C14 등과 같이 bottom plate에 동일한 전압이 인가되는 경우와 C3, C4와 같이 서로 다른 전압이 인가되는 경우가 발생한다. DC 이득이 무한대인 이상적인 증폭기에서 T1 노드는 가상 접지(virtual ground)이므로 병합되는 2 개의 캐패시터에 저장된 전하량은 각 캐패시터의 전하량의 합과 동일하다. 전자의 경우에는 캐패시터 C1과 C2에 저장된 전하량이 동일하므로 병합된 캐패시터 C1′에 그대로 +VREF를 인가하고, 후자의 경우에는 캐패시터 C3과 C4에 저장되는 전하량의 합은 0 이므로 병합된 캐패시터 C2′에 신호 접지(GND)를 인가하여 기존의 MDAC과 정확하게 동일한 결과를 얻을 수 있다. 따라서, 제안하는 MCS 기법은 새로운 코딩 방법을 통해 두 개의 캐패시터를 하나의 캐패시터로 병합시키며, 그림 3 (b)와 같이 캐패시터 수가 50 % 감소된 8 개의 캐패시터만으로 4 비트 MDAC을 구성할 수 있다.

3. 제안하는 MCS 기법을 이용한 실제 MDAC 회로의 구현

그림 4는 제안하는 MCS 기법을 적용한 4 비트 MDAC이며, 8 개의 캐패시터(C1′~C8′)만으로 이루어져 있다. 각 캐패시터의 bottom plate에 연결되는 전압으로 ±VREF와 더불어 GND가 추가되었다.

샘플링 위상동안 기존의 MDAC과 같이 C1′~C8′의 캐패시터에 아날로그 입력 전압을 저장하며, 증폭 위상동안 표 1의 디지탈 코드에 따라 각 캐패시터에 ± VREF 또는 GND가 인가된다. F/B는 궤환 캐패시터를 나타내며, 두 코드마다 하나의 캐패시터는 GND에 연결된다.

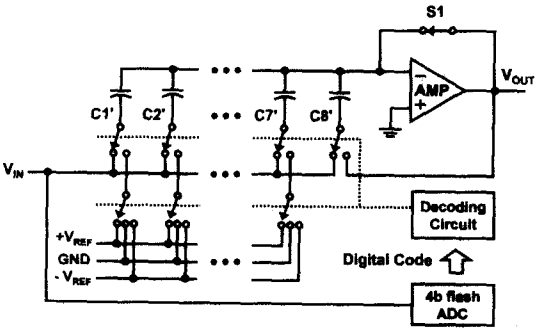


그림 4. 제안하는 MCS 기법을 적용한 4 비트 MDAC

Fig. 4. 4b MDAC based on the proposed MCS technique.

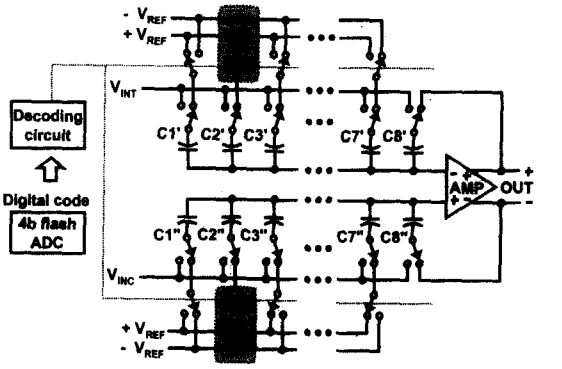


그림 5. 제안하는 MCS 기법을 적용한 완전 차동 4 비트 MDAC

Fig. 5. Fully differential 4b MDAC based on the proposed MCS technique.

표 1. 제안하는 MCS 기법을 적용한 MDAC의 증폭 위상동안 캐패시터에 연결되는 전압

Table 1. MDAC capacitor connection during amplification based on the proposed MCS technique.

code \ cap	C1′	C2′	C3′	C4′	C5′	C6′	C7′	C8′
0001	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0010	GND	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0011	$+V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0100	$+V_{REF}$	GND	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0101	$+V_{REF}$	$+V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0110	$+V_{REF}$	$+V_{REF}$	GND	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
0111	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
1000	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	GND	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
1001	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$-V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
1010	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	GND	$-V_{REF}$	$-V_{REF}$	F/B
1011	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$-V_{REF}$	$-V_{REF}$	F/B
1100	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	GND	$-V_{REF}$	F/B
1101	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$-V_{REF}$	F/B
1110	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	GND	F/B
1111	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	$+V_{REF}$	F/B

설계된 구조에서는 C8′이 언제나 출력에 연결되지만, CFCS(commutated feedback capacitor switching) 기법을 적용하여 궤환되는 캐패시터를 코드에 따라 다르게 연결되도록 설계한다면, 어렵지 않게 해상도를 향상시킬 수 있다[11-13]. 따라서, 제안하는 MCS 기법은 CFCS 기법과 더불어, 더 높은 해상도를 얻기 위한 기존의 보정 기법 등에도 직접적인 응용이 가능하다. 한편, 실제 차동 회로의 구현 시에는 GND 대신 +VREF 혹은 -VREF와 같이 고정된 어떤 바이어스 전압을 연결해도 무방하다. 완전 차동 구조로 구현된 4 비트 MDAC은 그림 5와 같다. 시제품 제작에서는 레이아웃상의 이득과 floating node의 제거를 위하여 -VREF를 사용하여 회로를 구현하였다.

4. ADC 회로의 구현

열잡음(thermal noise)과 10 비트 수준의 정확도를 위한 캐패시터 정합을 고려하여, SHA의 입력 캐패시터의 크기는 1.2 pF을 사용하였고, 첫 번째 MDAC의 단위 입력 샘플링 캐패시터는 0.2 pF을 사용하였다. 또한, MDAC의 경우 최종단으로 갈수록 요구되는 해상도와 동작 속도의 사양이 낮아짐에 따라 두 번째 MDAC의 경우에는 0.1 pF의 단위 캐패시터를 사용하였다. SHA에는 2개의 샘플링 캐패시터를 갖는 구조를 사용하여, 작은 칩 면적과 적은 전력 소모를 구현하였고, 높은 정확도와 빠른 속도를 요구하는 MDAC에는 2단 증폭기를 사용하여 100 dB 이상의 높은 DC 이득과 120 MHz 수준의 높은 속도를 동시에 구현하였다. 칩 면적과 전력 소모를 고려하여 flash ADC는 롬 기반의 인코더(ROM-based encoder)가 아닌, 상위 비트와 하위 비트를 나누어 처리하는 논리회로 기반의 인코더(logic-based encoder)를 이용하여 구현하였다. 기존의 ROM을 이용한 인코딩 회로와 논리회로 기반의 인코딩 회로를 비교하기 위하여 120 MHz의 샘플링 주파수에서 시뮬레이션을 수행한 결과, 기존의 인코딩 회로를 사용하였을 때에 비해 1/2 정도의 전력 소모와 칩 면적의 감소를 얻을 수 있었다.

Ⅳ. 시제품 성능 측정

본 장에서는 제안하는 병합 캐패시터 스위칭 기법을 적용하는 10b 120 MSample/s ADC의 시제품 측정에 관하여 논의한다. 시제품 ADC는 0.25 um double-poly five-metal CMOS 공정을 사용하여 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 6과 같고, 입출력 패드를 제외한 칩 면적은 3.6 mm^2(= 1.8 mm × 2.0 mm)이다. 2.5 V의 전원 전압에서 100 MHz와 120 MHz의 샘플링 주파수를 가지고 동작할 때 각각 200 mW와 208 mW의 전력을 소모한다.

10 비트의 고해상도와 100 MHz 이상의 고속 클럭에서 동작하는 시제품 ADC의 측정을 위하여 다음과 같은 환경에서 측정을 진행하였다. 우선, 잡음성분이 적은 깨끗한 입력 신호를 얻기 위하여 신호 발생기로부터의 입력 신호에 저대역 및 대역 통과 필터를 사용하여 측정 회로에 인가하였고, 이렇게 얻어진 측정범위 내의 순수한 신호는 다시 트랜스포머(transformer)를 통과하여 차동 입력 신호로 ADC 입력단에 인가된다. 100 MHz 이상의 디지탈 출력을 구동하기 위하여, 측정 보

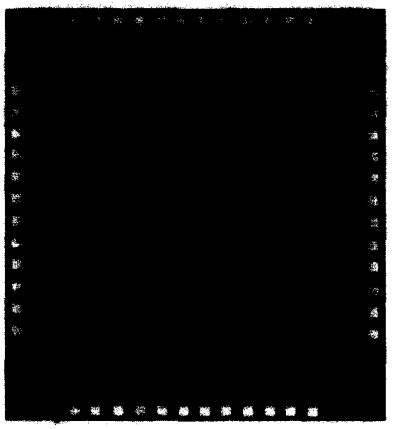


그림 6. 시제품 ADC의 칩 사진
Fig. 6. Die photograph of the prototype ADC.

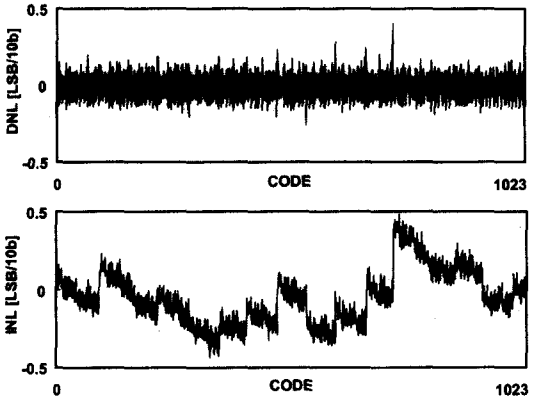


그림 7. 측정된 DNL과 INL
Fig. 7. Measured DNL and INL.

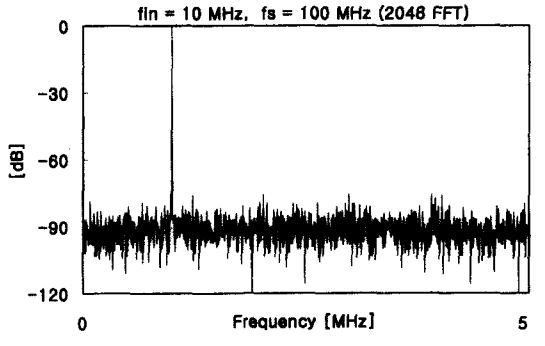


그림 8. 측정된 신호 스펙트럼
Fig. 8. Measured signal spectrum.

또한의 ADC 출력단에는 고속 버퍼를 사용하였다. ADC 성능 측정에는 2 Vp-p 입력 신호를 사용하였으나, 소자의 부정합이 10 비트 이내로 적절히 처리되어 입력신호의 크기에는 큰 영향이 없었다.

그림 7에서 볼 수 있는 것처럼 측정된 DNL 및 INL은 각각 ±0.40 LSB, ±0.48 LSB이다. MCS 기법을 적용하여 MDAC에 사용되는 캐패시터의 수를 반으로 줄인 시제품 ADC의 캐패시터 정합 특성이 10 비트 수준의 DNL 및 INL을 만족시키는 것을 알 수 있다. 그림 8은 10 MHz 입력 주파수, 100 MHz 샘플링 주파수에

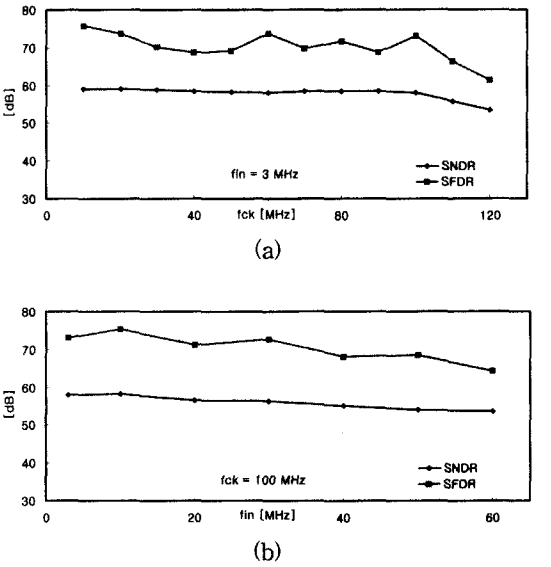


그림 9. 측정된 동적 성능 : (a) 샘플링 주파수의 변화에 따른 SNDR 및 SFDR (b) 입력 주파수의 변화에 따른 SNDR 및 SFDR
Fig. 9. Measured dynamic performance : (a) SNDR and SFDR vs. sampling frequency (b) SNDR and SFDR vs. input frequency.

표 2. 성능 요약
Table 2. Performance summary.

Resolution	10 bits
Max. Conversion Rate	120 MSample/s
Process	0.25 um double-poly CMOS
Input Range	2 V_{p-p}
SNDR(at 100 MS/s)	58.2 dB at 10 MHz, 54.1 dB at 50 MHz
SFDR(at 100 MS/s)	75.3 dB at 10 MHz, 68.4 dB at 50 MHz
DNL	±0.40 LSB
INL	±0.48 LSB
ADC Power	200 mW at 100 MS/s, 208 mW at 120 MS/s
Active Die Area	3.6 mm^2 (= 1.8 mm × 2.0 mm)

서의 전형적인 신호 스펙트럼을 나타낸다. 제안하는 시제품 ADC를 통하여 복원된 디지탈 신호의 SFDR (spurious-free dynamic range)은 75 dB 수준으로 높은 값을 보여주고 있다.

그림 9는 측정된 동적 성능의 결과이다. 그림 9 (a)는 입력이 3 MHz일 때, 샘플링 주파수를 120 MHz까지 증가시킬 때의 SNDR(signal-to-noise-and-distortion ratio) 및 SFDR을 나타낸 것이다. 샘플링 주파수가 100 MHz까지 증가할 때까지 SNDR은 58 dB 이상 유지되는 것을 알 수 있다. 최대 동작 주파수인 120 MHz의 샘플링 클럭에서는 53 dB로 SNDR이 감소하지만, 여전히 9 비트 ENOB(effective number of bits) 수준의 높은 성능을 보여주고 있어 정상적으로 동작하고 있음을 알 수 있다. 그림 9 (b)는 100 MHz의 샘플링 주파수에서 입력 주파수를 증가시킬 때의 동적 성능을 나타낸다. 입력 신호의 주파수가 나이퀴스트 주파수까지 증가할 때, SNDR과 SFDR이 각각 54 dB, 68 dB 이상을 유지하고 있는 것을 알 수 있다. MCS 기법을 응용한 다중 비트 구조로 인하여 높은 샘플링 주파수와 입력 주파수에서도 SNDR 및 SFDR이 높은 것을 확인할 수 있다. 제안하는 ADC의 측정 결과는 표 2에 요약되었다.

기존의 파이프라인 ADC의 경우, 100 MHz 이상의 높은 샘플링 클럭에서 입력 주파수가 나이퀴스트 (Nyquist) 주파수 가까이 증가하게 될 때, 일부 코드에서 flash ADC의 오차 값이 디지탈 교정 회로의 교정 범위(correction range)를 벗어나게 되어 잘못된 디지탈 코드를 출력할 수 있다. 예를 들어, 그림 10에서 보는 바와 같이, 증폭 위상에서 입력 SHA의 출력이 슬루(slewing)를 시작하고 정착(settling)에 들어가기 전에, flash ADC의 비교기(comparator) 들은 SHA의 출력에 따라 하나씩 차례로 턴 온 되게 된다. 이에 따라 가장 위쪽에 있는 비교기 A는 SHA가 슬루를 할 때는 최종 입력의 반대 값을 가지고 동작하다가, SHA가 정착을 시작할 때 올바른 입력 값을 가지고 동작하게 된다. 따라서, 이 비교기의 경우는 flash1의 다른 비교기들과는 달리 가장 짧은 동작 시간이 주어지게 되고, 또한 슬루 동안 가졌던 반대 입력에 해당하는 반대 출력 값에서 정확한 값으로 돌아오는데 다른 비교기들보다 더 많은 시간을 필요로 하게 된다. 이런 경우 원하는 ADC의 출력을 얻기 위해서는, 클럭의 듀티 사이클(duty cycle)을 조정하여 제한되는 부분의 동작 시간을 증가시키거나, SHA에 직접 연결되는 flash1에 사용되는 비교기에 더

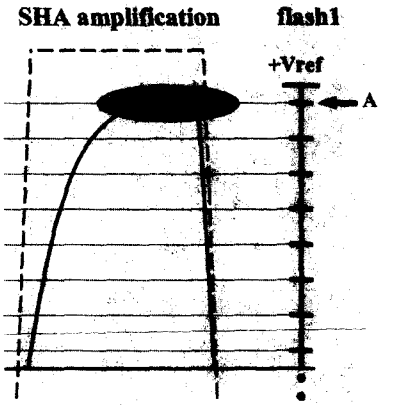


그림 10. SHA의 출력 파형에 따른 flash ADC의 비교기 동작

Fig. 10. Comparator operation in the first flash ADC depending on a SHA output.

많은 전력을 공급함으로써 더 빠른 동작을 얻을 수 있다. 파이프라인 구조에서 flash ADC의 경우에는 앞단의 출력 파형의 변화에 대한 입력을 고려한 설계가 필요하고, 다른 블럭에 비하여 더 빠른 동작이 필요함을 알 수 있으며, 본 시제품에서는 이 문제를 크게 고려하지 않아 10 비트 해상도에서 120 MHz 수준까지 동작하였으나, 이 문제가 고려될 경우 더 높은 샘플링 속도가 기대된다.

V. 결 론

본 논문에서는 10b 120 MSample/s 2.5 V 파이프라인 CMOS ADC를 제안하며, 제안하는 MCS 기법을 통해 10 비트 해상도, 120 MHz의 동작 속도 및 208 mW의 낮은 전력 소모 특성을 얻을 수 있다. 사용된 CMOS 공정 및 ADC 구조가 다르기 때문에 직접적인 성능 비교는 어려울지라도, 기존의 10b 100 MSample/s 수준의 ADC 및 제안하는 ADC의 성능을 비교한 결과를 표 3에 나타내었다. 제안하는 ADC는 기존의 회로와는 달리 최대 120 MHz의 동작 속도를 갖고, 또한 100 MHz의 샘플링 클럭에서 상대적으로 높은 SFDR을 갖는 것을 알 수 있다.

제작된 시제품 ADC의 측정 결과를 통하여, MCS 기법을 사용하여 ADC의 해상도와 신호 처리 속도를 높일 수 있음을 확인하였다. MCS 기법은 기존 MDAC에 사용되는 단위 캐패시터의 수를 반으로 줄여주고, 해상도와 동작 속도를 향상시킨다. 또한, 50 %만큼 줄어든

표 3. 제안하는 ADC와 기존 10b 100 MSample/s ADC와의 성능 비교
Table 3. Performance comparison of the proposed ADC with conventional 10b 100 MSample/s ADCs.

	UCLA	ANALOG DEVICES	TI	
Resolution	10 bits	10 bits	10 bits	
Max. Conversion Rate	100 MS/s	100 MS/s	100 MS/s	
Process	1 um CMOS	0.35 um CMOS	0.18 um CMOS	
Power Supply	5 V	2.7 V ~ 3.3 V	1.62 V ~ 2.2 V	2.5 V
ADC Core Power	1.1 W	105 mW	80 mW	
SNDR(at 100 MS/s)	55.6 dB at 2 MHz f_{in} and 95 MS/s	-	57.1 dB at 50 MHz	
SFDR(at 100 MS/s)	-	66.0 dB at 10 MHz	64.0 dB at 50 MHz	
DNL	±0.70 LSB	±0.31 LSB	±0.66 LSB	
INL	-	±0.38 LSB	±0.76 LSB	
Active Die Area	50 mm^2	-	2.5 mm^2	
Reference	JSSC 1997	CICC 2000	ISSCC 2001	-

캐패시터의 숫자만큼의 스위치와 이를 구동해주는 디지탈 논리 회로의 수가 감소하게 되고, 그만큼의 캐패시터, 스위치, 논리 회로와 배선(routing)을 위한 면적이 줄어들게 된다. 결국, MCS 기법은 신호 처리과정에서의 기생 캐패시턴스, 잡음 신호 간섭, 칩 면적 및 전력 소모를 감소하게 되고, 이것은 시제품 ADC 동적/정적 성능의 향상에 영향을 미치게 된다. 제안하는 MCS 기법은 동작 속도가 제한되는 다중 비트 구조에서 샘플링 속도와 해상도를 향상시키는 방법 중의 하나임을 알 수 있다.

참 고 문 헌

[1] K. Y. Kim, N. Kusayanagi, and A. A. Abidi, "A 10-b, 100-MS/s CMOS A/D Converter," IEEE J. Solid-State Circuits, vol. 32, pp. 302-311, March 1997.

[2] D. G. Nairn, "A 10-bit, 3V, 100MS/s Pipelined ADC," in Proc. IEEE Custom Integrated Circuits Conf., May 2000, pp. 257-260.

[3] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A 10b 100MSample/s CMOS Pipelined ADC with 1.8V Power Supply," in ISSCC Dig. Tech. Papers, Feb. 2001, pp. 130-131.

[4] D. Kelly, W. Yang, L. Mehr, M. Sayuk, and L. Singer, "A 3V 340mW 14b 75MSPS ADC with 85dB SFDR at Nyquist," in ISSCC Dig. Tech. Papers, Feb. 2001, pp. 134-135.

[5] David W. Cline and Paul R. Gray, "A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital converter in 1.2um CMOS," IEEE J. Solid-State Circuits, vol. 31, pp. 294-303, March 1996.

[6] G. C. Ahn, H. C. Choi, S. I. Lim, S. H. Lee, and C. D. Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D Converter," IEEE J. Solid-State Circuits, vol. 31, pp. 2030-2035, Dec. 1996.

[7] J. L. McCreary and P. R. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part I," IEEE J. Solid-State Circuits, vol. 10, pp. 371-379, Dec. 1975.

[8] J. B. Shyu, G. C. Temes, and K. Yao, "Random Errors in MOS Capacitors," IEEE J. Solid-State Circuits, vol. 17, pp. 1070-1076, Dec. 1982.

[9] M. J. McNutt, S. LeMarquis, and J. L. Dunkley, "Systematic Capacitance Matching Errors and Corrective Layout Procedures," IEEE J. Solid-State Circuits, vol. 29, pp. 611-616, May 1994.

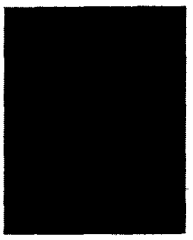
[10] L. A. Singer and T. L. Brooks, "A 14-Bit 10-MHz Calibration-Free CMOS Pipelined A/D converter," in Symp. VLSI Circuits Dig. Tech. Papers, June 1996, pp. 94-95.

[11] Y. D. Jeon, S. C. Lee, S. M. Yoo, and S. H. Lee, "Acquisition-Time Minimization and Merged-Capacitor Switching Techniques for Sampling-Rate and Resolution Improvement of CMOS ADCs," in Proc. IEEE Int. Symp. Cirsuits and Systems, May 2000, vol. 3, pp. 451-454.

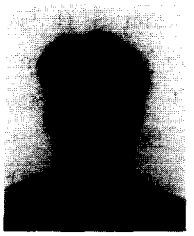
[12] P. C. Yu and H. S. Lee, "A 2.5-V, 12-b, 5-MSample/s Pipelined CMOS ADC," IEEE J. Solid-State Circuits, vol. 31, pp. 1854-1861, Dec. 1996.

[13] P. C. Yu and H. S. Lee, "A Pipelined A/D Conversion Technique with Near-Inherent Monotonicity," IEEE Trans. Circuits and Systems II, vol. 42, pp. 500-502, July 1995.

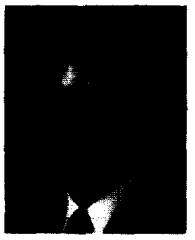
저 자 소 개



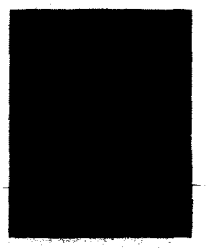
朴 鍾 範(正會員)
2002년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주관심분야 : 고속 데이타 변환기 설계, 혼성모드 회로 설계 등임>



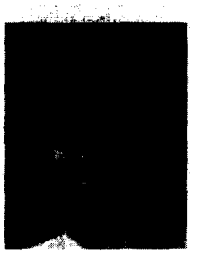
梁 喜 晳(正會員)
2002년 2월 : 서강대학교 전자공학과 학사. 현재 : 서강대학교 전자공학과 대학원 재학중. <주관심분야 : 데이타 변환기 설계, 혼성모드 회로 설계 등임>



李 承 勳(正會員)
1984년 : 서울대학교 전자공학과 학사. 1986년 : 서울대학교 전자공학과 석사. 1991년 : 미 Illinois 대(Urbana-Champaign) 공학 박사. 1986년 : KIST 위촉 연구원. 1987년~1990년 : 미 Coordinated Science Lab(Urbana) 연구원. 1990년~1993년 : 미 Analog Devices 사 senior design engineer. 현재 : 서강대학교 전자공학과 교수. <주관심분야 : 집적회로 설계, 데이터 변환기 설계 등임>



劉 相 珉(正會員)
2000년 2월 : 서강대학교 전자공학과 학사. 2002년 2월 : 서강대학교 전자공학과 석사. 현재 : 삼성전자 연구원. <주관심분야 : CMOS 데이타 변환기 설계, 혼성모드 회로 설계 등임>



池 龍(正會員) 第31卷 A編 第3號 參照
현재 : 서강대학교 전자공학과 교수