

論文 2002-39SD-7-6

cdma2000 1x 이동국 모뎀을 위한 하드웨어-소프트웨어 동시 검증 방법

(A Hardware-Software Co-verification Methodology for cdma2000 1x Compliant Mobile Station Modem)

韓兌熙*, 韓誠鐵*, 韓東具*, 金成龍*, 韓今求*, 黃錫珉*,
金敬昊*

(Tae Hee Han, Sung Chul Han, Dong ku Han, Sung Ryong Kim, Geum Goo Han, Suk Min Hwang, and Kyungho Kim)

요약

본 논문에서는 3세대 이동 통신 표준안의 하나인 cdma2000 1x를 지원하는 이동국 모뎀칩 개발에 사용된 하드웨어-소프트웨어 동시 검증 방법과 환경에 대해 기술한다. 하드웨어의 프로토타이핑 없이 레지스터 전송단계의 가상 하드웨어 모델과 물리 계층의 소프트웨어 모델을 채널링크 시뮬레이터, 다기능 테스트벤치와 유기적으로 결합하여 효과적인 통합 검증 환경을 구축함으로써 300만 게이트급의 복잡한 시스템 집적회로 개발 기간과 비용을 대폭 단축하였다.

Abstract

In this paper, we describe a hardware-software co-verification methodology and environment in developing a mobile station modem chip for cdma2000 1x which is one of the 3rd generation mobile communication standards. By constructing an efficient co-verification environment for a register-transfer-level hardware model and a physical-layer software model combining a channel link simulator and a versatile test-bench, we can drastically reduce both time and cost for developing a complex three-million-gate class system integrated circuit.

Key Words : cdma2000 1x, co-verification, channel link simulator, test scenario

I. 서론

과거 디지털 시스템 설계는 하드웨어적인 관점에 집중되어 있었고 검증은 설계의 일부뿐이었다. SoC (System on a Chip)로 대변되는 오늘날의 대규모 집적회로는 시장 지배력을 갖는 소수의 범용 마이크로프로세서와 디지털 신호 처리기를 기반으로 컴파일된 메

모리, 커스텀 하드웨어 등으로 구성된 고도의 복잡도를 지닌 임베디드 시스템이다. 이것은 설계자 입장에서 두 가지 관점의 변화를 의미하는데, 첫번째는 설계보다 검증에 더 많은 시간과 노력이 요구된다는 것과 둘째 임베디드 시스템의 특성상 소프트웨어가 칩 설계 검증에서 더 큰 비중을 차지한다는 것이다. 또한, 칩 검증은 하드웨어와 소프트웨어가 통합된 환경하에서 비로소 진정한 의미를 갖게 되었다. 과거 EDA (Electronic Design Automation) 업체에서 제공하던 설계 자동화 프로그램은 주로 하드웨어 설계를 대상으로 한 것이었으나 최근 들어 하드웨어-소프트웨어 동시 설계 검증

* 正會員, 三星電子 通信研究所

(SEC Telecommunication R & D Center)

接受日字:2001年9月21日, 수정완료일:2002年4月11日

이 가능한 프로그램들이 소개되고 있다. 본 논문에서는 cdma2000 1x용 이동국 (Mobile Station) 모델칩인 SCom5100의 설계 검증에 적용된 하드웨어-소프트웨어 통합 검증 방법과 환경에 대해 기술하고 이에 따른 결과를 보이고자 한다.

그림 1에 보인 바와 같이 SCom5100은 cdma2000 1x 표준을 지원하는 모뎀 엔진과 8KB의 내장 캐쉬를 갖는 고성능 32비트 마이크로프로세서인 ARM940T, 음성 복부호 기능을 수행하는 Teaklite DSP 코어가 내장되며, JTAG 바운더리 스캔을 지원한다. 또한 1세대 아날로그 송수신 방식인 AMPS 지원 블록과 UART, USB와 같은 고속 직렬 데이터 송수신 회로, 스마트 카드를 지원하는 R-UIM (Removable User Identification Module), 16화음을 지원하는 MIDI 등 디지털 기능 블록과 GP-ADC (General Purpose Analog-to-Digital Converter), 전송부 DAC (Tx Digital-to-Analog Converter), 코덱(Codec) 등의 아날로그 기능 블록이 집적되어 있다.^[1]

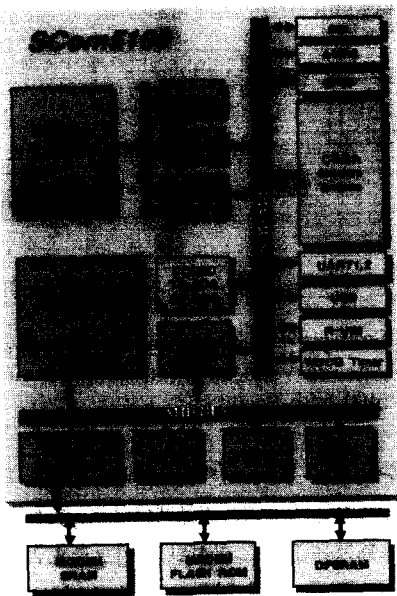


그림 1. SCom5100 전체 블록도
Fig. 1. SCom5100 block diagram.

SCom5100은 MIDI 및 내장 아날로그 회로를 제외하면 현재 단말기에 장착되어 양산 검증중인 SCom5010과 cdma2000 1x 표준 지원 기능은 대동소이하다.^[2,3] 그러나 칩 사이즈를 줄이기 위한 노력으로 CDMA 모뎀 엔진부의 구조에 많은 변화가 있었으며 전송부

DAC와 보간기가 추가 내장됨으로 인해 전체적인 재검증이 반드시 필요하였다. (모뎀 엔진부는 기능적인 변화는 거의 없지만, 설계 최적화를 통해 약 30% 면적을 감축하였다.)

이 논문에서는 칩 전체에서 검증 작업이 가장 복잡하고 소프트웨어 연동 검증이 특히 중요한 CDMA 모뎀 엔진부에 초점을 맞추도록 하였다.

모뎀 칩 검증 초기 단계에서 하드웨어 검증은 테스트 벡터를 이용한 로직 시뮬레이션을 수행하는 것으로 일반적인 Bottom-up 방식을 취한다. 먼저 각 기능 블록별로 검증 수행 후 통합 칩 단계에서 프레임 단위의 송수신 기능을 역시 로직 시뮬레이션을 통해 검증하였다. 이 경우 CDMA 모뎀엔진만을 시험하기 위한 전용 동작모드를 마련하였는데, 여기서는 마이크로프로세서를 고립시키고 테스트벤치에 존재하는 버스기능모델을 이용하여 레지스터 설정 등의 시스템 버스 액세스를 수행할 수 있도록 하였다.

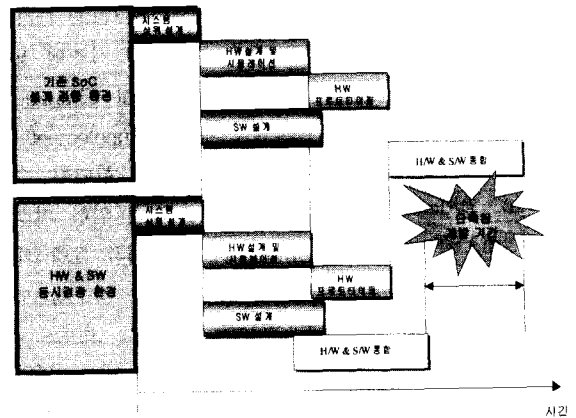


그림 2. 하드웨어-소프트웨어 동시 검증의 시간적 장점
Fig. 2. The time-saving advantage of hardware-software co-verification.

과거 소프트웨어 검증은 FPGA등을 이용해 프로토타입 보드를 제작한 후에야 가능했다. 프로토타이핑을 통해 실제 칩과 거의 유사한 환경으로 전체 소프트웨어를 올려 검증할 수 있다는 장점이 있는 반면, 제작 기간이 길고 디버깅 환경이 열악하며 보드상의 타이밍 문제로 인한 오동작에 신경 써야하는 등 수개월 이상의 시간과 노력이 소요된다. 하드웨어-소프트웨어 통합 검증의 장점은 하드웨어의 프로토타이핑이 이루어지기 전 설계 초기단계부터 물리 계층을 포함한 하위 단계

소프트웨어의 개발이 가능하다는 것이다(그림 2 참조).^[4~6] 물론 하드웨어-소프트웨어 동시 검증은 시뮬레이션을 이용하기 때문에 프로토타입과 같은 실시간 검증이나 전체 소프트웨어를 올린 상태에서 칩을 검증하기란 불가능에 가깝다. 그러나 SCom5100과 같이 이미 전 단계 칩 개발 과정에서 프로토타이핑 및 실장 검증 결과를 거친 경우, 하드웨어-소프트웨어 동시 검증만으로 충분한 수준의 신뢰도를 확보할 수 있다. 변동된 하드웨어 블록과 이를 제어하는 물리 계층 위주의 간략화된 소프트웨어 등으로 구성된 동시 검증 환경이 그것이다.

3세대 이동 통신 표준안의 하나인 cdma2000 1x에서는 기존의 2세대 코드 분할 다중화 이동통신 방식인 IS-95에 기반한 송수신 주파수 대역을 유지하면서 음성 뿐만 아니라 고속 패킷 데이터를 전송할 수 있어 동화상 송수신을 포함한 멀티미디어 통신이 가능하다. 고속 데이터 통신을 가능하게 하기 위해 cdma2000 1x에서는 고속 순방향 전력 제어(Fast Forward Link Power Control)와 역방향 파일럿 채널 (Reverse Link Pilot Channel), QPSK 변조 등을 사용하여 시스템 용량을 증대시키고, 기본 채널 (Fundamental Channel) 이외에 데이터 전용의 보조 채널 (Supplemental Channel)을 통화채널 (Traffic Channel)에 할당할 수 있으며, 패킷 데이터 통신을 용이하게 하기 위한 지정 제어 채널 (Dedicated Control Channel), 기존 호출 채널 (Paging Channel)의 기능을 보강하면서 시스템 오버헤드 메시지와 시그널링 정보를 전송하는 브로드캐스트 채널 (Broadcast Channel)과 공통 제어 채널 (Common Control Channel) 등이 추가되었다. 또한 기존의 길썩 부호에 비해 고속 데이터 전송시 보다 강력한 오류 정정 성능을 나타내는 터보 부호를 지원한다. 이외에도 데이터의 손실없이 다른 주파수 대역을 검색하여 주파수간 하드핸드오프 (Inter Frequency Hard Hand Off ; IFHHO) 기능을 개선하고 긴급 호출 채널 (Quick Paging Channel)을 통해 단말기의 대기 시간을 증가시킨다.^[7]

II. 검증 환경 구성 및 방법

SCom5100의 하드웨어-소프트웨어 통합 동시 검증을 위해 사용한 CAD 툴은 멘토사의 Seamless CVE^[3]이다. 전체적인 검증 환경 구성도를 그림 3에 보였다. 하

드웨어-소프트웨어 동시 검증을 위한 환경은 SCom5100 전체 하드웨어의 레지스터 전송 단계 (Register Transfer Level, 이하 RTL) 모델과 물리 계층 소프트웨어 위주의 간략화된 이동국 소프트웨어, 이동국 모뎀에 공급되는 기저대역의 I, Q 데이터를 생성해주는 채널링크 시뮬레이터와 테스트벤치 등으로 구성되어 있다. 하드웨어 모델은 SCom5100 전체 하드웨어 RTL에서 ARM940T와 Teaklite를 Seamless에서 제공하는 명령어 집합 시뮬레이터 (Instruction Set Simulator, 이하 ISS)로 교체하여 사용하며, 소프트웨어의 경우 전체 이동국 소프트웨어를 모든 계층에 걸쳐 검증하기엔 하드웨어 로직 시뮬레이터의 근본적인 속도 제한 때문에 불가능하므로 주로 모뎀 동작에 영향을 주는 타스크들로 구성된 물리 계층 위주의 소프트웨어로 재구성하는 작업을 수행하였다.

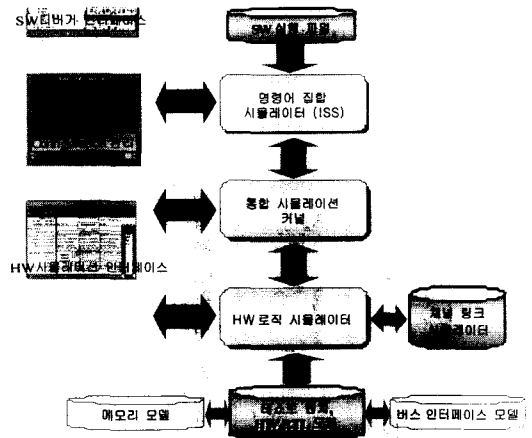


그림 3. Seamless와 연동된 SCom5100 통합 검증 환경
Fig. 3. The co-verification environment of SCom 5100 with Seamless.

그림 3에 보인 바와 같이 Seamless CVE 환경에서 하드웨어는 기존의 로직 시뮬레이터를 통해 수행되지만, 소프트웨어는 ISS로 구현된 마이크로프로세서 모델을 통해 수행된다. 이때 버스 사이클 최적화를 통해 기능 검증에 영향을 주지 않는 대부분의 불필요한 버스 사이클은 발생시키지 않으므로 칩 전체를 로직 시뮬레이션하는 경우보다 수십배 이상 빠른 수행 시간을 가질 수 있게 된다.^[4,5,7]

1. 채널링크 시뮬레이터

테스트 벡터 및 검증결과에 대한 기준 결과를 생성하기 위해 C언어로 구현된 보조 소프트웨어로 그림 4

에 전체적인 구성도가 도시되어있다.

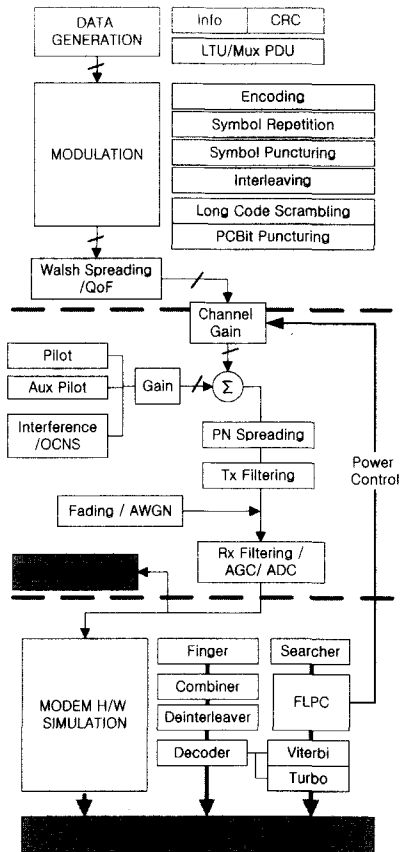


그림 4. 채널링크 시뮬레이터 구조
Fig. 4. The structure of channel link simulator.

구조는 크게 기저국 전송부 데이터를 생성하는 변조부, 실제와 유사한 채널 환경을 지원하기 위한 부분, 이동국 모뎀 하드웨어 설계와 동일하게 모델링된 수신부의 세가지로 구성된다.

(1) 변조부

그림 4의 'Modulation' 박스를 가리키며 기본적으로 cdma2000 1x 사양의 기저대역 순방향 채널 데이터를 생성한다. 순방향에 대한 물리 계층 표준을 모두 지원하며, 그의 동시 검증 소프트웨어에서 상위 프로토콜 검증을 위한 메시지 프레임, 데이터 패킷, LTU/Mux PDU 구조를 지원한다. 현재 역방향을 위한 복조부는 지원하지 않는다.

(2) 채널 환경 구현부

각 채널에 대한 전력제어, 이동국에서의 채널 탐색 환경을 위한 다채널 파일럿, 보조 파일럿, OCNS

(Orthogonal Channel Noise Simulator), 타기저국으로부터의 직교신호 합성, 페이딩에 의한 다중경로 현상, AWGN에 의한 신호왜곡 등을 조정하여 모뎀 성능에 관련한 항목들을 검증할 수 있도록 해준다. 또한 여기서 계산된 채널 데이터는 필터링을 거친 후 I, Q 데이터로 저장되며, 실제 동시 검증에서는 I, Q 데이터를 하드웨어 입력으로 인가시킨다.

표 1. 다중경로 파라미터 예시
(단위: delay(1/8chip:12.71nsec), power (dB))

Table 1. Example of multi-path parameter
(unit : delay(1/8chip:12.71nsec), power(dB))

| Environments | | Paths | | | | |
|--------------|------|-------|------|------|-------|-----|
| | | 1st | 2nd | 3rd | 4th | |
| Vehicular | CH A | delay | 0 | 3 | 7 | 11 |
| | | power | 0 | -1 | -9 | -10 |
| | CH B | delay | 0 | 3 | 88 | 127 |
| | | power | 0 | -1 | -9 | -10 |
| Pedestrian | CH A | delay | 0 | 1 | 2 | 4 |
| | | power | -2.5 | 0 | -12.8 | -10 |
| | CH B | delay | 0 | 2 | 8 | 12 |
| | | power | 0 | -0.9 | -4.9 | -8 |
| JTC Channel | | delay | 0 | 9 | 20 | 72 |
| | | power | 0 | -1 | -9 | -10 |

표 1은 검증에 이용된 다중경로 파라미터의 예를 나타낸 것이며, 값은 "IS98D CDMA Receiver Minimum Standards"로부터 구한 것이다.^[9]

(3) 이동국 모뎀 수신부 모델

이동국 모뎀 RTL 설계의 기준이 되는 모델이다. 설계 과정에서 단위별 검증을 위한 테스트 벡터 생성, RTL 모델의 각 블록별 출력 비교, 상태 레지스터와 제어 레지스터를 통한 물리 계층 소프트웨어의 모뎀 하드웨어 제어 기초 자료 등 다양한 목적으로 활용된다.

2. 모뎀 하드웨어와 테스트벤치 구성

설계된 하드웨어 RTL은 테스트벤치에 설정된 구문에 의해 로직 시뮬레이션을 거치면서 중요한 블록별 출력 데이터를 파일로 저장하거나 파형 데이터를 덤프 하게 되며 이 결과와 채널링크 시뮬레이터에서 생성되는 중요 블록별 출력을 비교하여 제대로 동작하는지 여부를 판단하게 된다. RTL은 앞서 설명한 바와 같이 ISS로 구현되는 ARM940T와 Teaklite을 제외하고 로직 합성을 거쳐 실리콘에 구현된 RTL 모델을 변형 없이 그대로 이용하였다. 테스트벤치는 하드웨어-소프트

웨어 동시 검증시 뿐만 아니라 RTL 단계와 로직 합성된 게이트 단계, 레이아웃 이후 단계의 로직 시뮬레이션에 전적으로 동일하게 적용될 수 있는 다기능 모델로 작성되었으며 검증 단계 변화시에는 몇개의 파라미터 값만 실시간으로 재정의하여 수행시킬 수 있다. 또한 중간 단계에서 assertion기능을 통해 오류 검출과 추적이 용이하도록 구성되었다.

3. 검증용 모뎀 소프트웨어 구성

모뎀 검증용 소프트웨어 구조에서 필수적인 요구사항은, 첫째 하위 계층 드라이버로서 검증 시간을 고려하여 크기는 작으면서 하드웨어를 효율적으로 제어할 수 있어야 하며, 둘째 모뎀 하드웨어와의 전체적인 연동을 검증할 수 있도록 기본적인 상위 계층 프로토콜 기능의 대부분을 포함하고 있어야 한다는 것이다. 실제로 이동국에 장착되는 것과 가까운 소프트웨어를 구현하는데 있어서 가장 큰 제약은 시간적인 측면이다. 즉 수행시간과 동작 타이밍 문제인데, 이러한 점을 고려하여 동시 검증에서 사용되는 소프트웨어는 실제 이동국

소프트웨어와 세가지 면에서 대비되는 특성을 갖는다. 첫째, 수행 속도 향상을 위해 임의의 순서로 상태(State)를 자유롭게 이동하는 것이 가능하다. 둘째, 모뎀 하드웨어를 구동하는 물리계층(Layer 1) 소프트웨어 특성을 고려하여 하드웨어와의 상호 작용시 시간적 관점(예를 들어 동기화)을 명확히 하기 위해 가급적 오버헤드 요소(RTOS, Scheduler 등)는 포함하지 않는다. 셋째, 하드웨어의 이상 여부를 조사하기 위한 부가적인 코드가 다수 포함하는데 이는 주로 메모리상에서 대용량 채널 복조 결과의 비교, 레지스터 상태 값 조사 등의 방법으로 검증효과를 높이기 위해 필요한 것이다.

이상 세 가지를 제외한 구조는 실제 응용 단계와 유사한 구조로 구현되므로, 사양을 만족하는 하위 프로토펬를 검증하는데 큰 제약은 없다. 또한 그 과정에서 얻어진 소프트웨어 프로토펬타입은 이동국 소프트웨어 구현에 별다른 수정 또는 점점 없이도 안정적인 코드로 재이용할 수 있다는 이점이 있다. 그림 5는 동시 검증용 소프트웨어에서 상태 진행 방식과 각 상태에서 검증되는 항목을 개략적으로 나타낸 것이다.

III. 하드웨어-소프트웨어 동시검증

검증과정은 채널 탐색기능을 포함한 순방향 채널 및 순방향 전력제어 기능에 비중을 두었는데, 채널링크 시뮬레이터로부터 미리 생성된 순방향 채널 데이터를 동시 검증의 입력으로 사용하고, 이동국 모뎀 RTL에서의 수신 복조 결과를 채널링크 시뮬레이터의 복조 결과와 비교하는 방식을 취했다. 순방향 채널 입력을 미리 생성해두는 이러한 방식에서는 이동국에서의 복조 결과가 순방향 채널 데이터에 반영되지 못한다. 이런 단점을 보완하기 위해 채널링크 시뮬레이터내에 이동국 모뎀과 동일한 FLPC 모델을 구현하였으며 순방향 채널 데이터 생성시 내부 FLPC 모델이 계산한 복조 결과를 지속적으로 전력제어부에 피드백시키도록 하였다. 이를 통해 이동국 복조부에서의 전력제어 신호가 역방향으로 전송되는 효과를 얻고, 전력제어부의 동작을 보다 정확하게 검증할 수 있도록 하였다.

1. 탐색기 검증

cdma2000 방식의 CDMA 시스템에서 이동국 모뎀측 탐색기의 용도는 크게 CDMA 시스템 타이밍 획득을 위한 초기 포착 및 레이크 수신기 할당과 핸드오프를

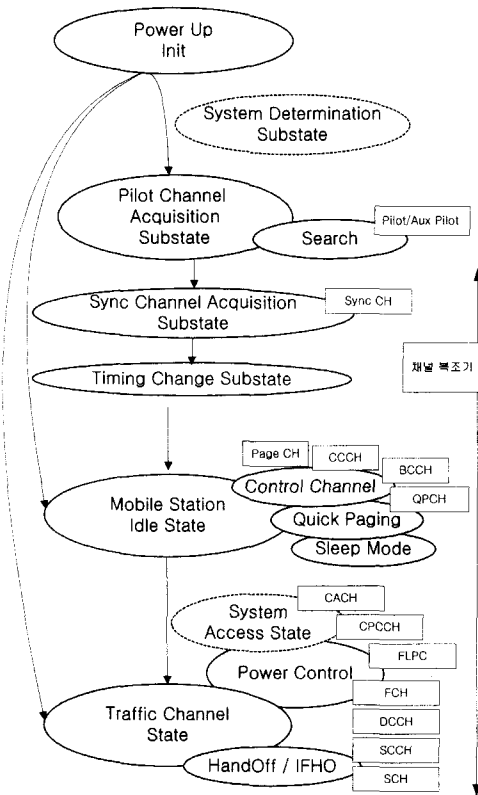


그림 5. 모뎀 소프트웨어 상태도 및 검증항목
Fig. 5. The state-diagram of modem software and verification points.

위한 파일럿 탐색으로 구분된다. 전자는 이동국 초기화 상태에서의 역할이고 후자는 유휴 상태 및 통화 상태에서의 역할이다. 탐색 방법에는 연속적으로 수신되는 PN 부호를 이용하는 온라인 탐색과 일정량의 수신된 PN 부호를 메모리에 저장한 후 이를 이용하여 탐색하는 오프라인 탐색이 있다. cdma2000 시스템에서는 주파수간 핸드오프와 긴급호출채널을 지원하기 위해 오프라인 탐색기능이 요구된다. 현재 채널링크 시뮬레이터에는 탐색기 하드웨어가 구현되어 있지 않으므로, 검증 결과에 대한 판단은 채널 환경 형성부분에 의존한다. 이런 방법으로 단일 탐색, 그룹 탐색, 온라인 탐색, 오프라인 탐색 등을 점검하면서 동시에 마스크 동작, 보조 파일럿 탐색, 강제 덤프, 타이밍 이동, 탐색 창 크기 등을 동시에 점검하고, 주파수간 핸드오프 및 긴급호출채널과 같이 탐색기에서 주로 처리하는 알고리즘에 대해서도 시나리오를 적용하여 검증한다. 이 중에서 일부는 다분히 일반적인 탐색기 검증에 해당이 되겠고, 세부적인 항목은 다음과 같다.

오프라인 탐색 : 일정량의 수신되는 I, Q 데이터를 메모리에 저장한 후 이를 이용하여 탐색하는 방식이다. 탐색기는 지속적으로 PN 부호를 생성하는 온라인 PN 생성기와 오프라인 탐색 시 사용되는 오프라인 PN 생성기를 가진다.

레이크수신내의 결합기에서 지정한 순간에 오프라인 PN 생성기의 상태를 저장하고 이때부터 메모리에 지정된 양만큼의 수신 I, Q 데이터를 저장한다. 데이터 저장 완료 후 탐색명령이 발생하면 오프라인 PN 생성기의 상태를 저장된 상태로 복원하고 메모리에 저장된 I, Q 데이터를 로드하여 오프라인 탐색을 수행한다. 오프라인 탐색기의 용도는 주파수간 핸드오프를 위한 주파수간 탐색 시 경쟁 주파수 파일럿 탐색, 그리고 긴급 호출 심볼 복조를 위한 재포착 시 파일럿 탐색 등이 있다.

점검 포인트는 탐색 위치(position), 탐색 위치 이동, 레이크 수신부의 결합기 시작 신호에 의한 I/Q 데이터 저장, 오프라인 PN 생성기 동작, 파일럿 에너지, 인덱스 등의 정확성 여부이다.

그룹 탐색 : 탐색기는 최대 4개의 독립적인 탐색 명령을 그룹으로 수행할 수 있다. 그룹 탐색은 각기 독립적인 탐색 명령을 한 그룹으로 묶어서 각 명령에 대한

탐색을 순차적으로 수행하고 한번의 인터럽트를 발생시킨다. 온라인 오프라인 탐색에 모두 적용되며 점검 포인트는 단일 탐색과 유사하며, 소프트웨어에서 탐색 횟수만큼 파라미터를 반복으로 설정해주는 것에 유의한다.

보조 파일럿 : 기지국이 CDMA 시스템의 성능 향상을 목적으로 스팟 빔 안테나 및 어댑티브 안테나를 사용하는 경우 개별적인 보조 파일럿을 필요로 한다. 보조 파일럿 채널은 스팟 빔 지역의 이동국 및 어댑티브 빔 스티어링 모드의 이동국에서 공용 파일럿으로 사용된다. 따라서 보조 파일럿 채널은 데이터 변조되지 않으며, W0를 제외한 월쉬 및 준 직교 함수를 사용하여 확산된다. 채널링크 시뮬레이터의 기지국 변조기에서 임의의 월쉬와 준 직교 함수를 갖는 보조 파일럿 데이터를 생성해서 탐색기에 인가한 후, 탐색기가 탐색 명령을 내렸을 때 정확한 인덱스와 에너지를 갖는 파일럿 최대치를 포착하는지와 일반 파일럿 탐색을 정상적으로 수행하는지 점검한다.

긴급 호출 채널(QPCH) : 슬롯 모드 호출 채널 프로토콜에서 충분한 대기시간 보장을 보완하기 위하여 고안되었다. 긴급 호출 채널은 현재의 기존 호출 채널 외에 새로운 물리채널을 통하여 할당된 슬롯에 호출/제어 메시지의 존재 여부를 알려주는 방식이다. 이를 위하여 호출 지시 비트 (또는 긴급 호출 채널 심볼)이라는 1비트 메시지를 긴급 호출 채널로 전송한다. 이동국은 할당된 시간에 1비트 메시지를 수신하여 기존 호출 채널을 모니터링 여부를 결정한다. 실제 시스템에 적용 시 기존 호출 채널 지시 비트는 신뢰성을 향상시키기 위하여 80ms 슬롯 안에서 2번 전송된다.

점검 방법은 채널링크 시뮬레이터의 기지국 송신부에서 소정의 긴급 호출 채널과 파일럿 채널 데이터를 생성해서 이동국 모뎀 수신부에 인가한 후, 소프트웨어에 설정해준 대로 모든 타이밍 제어 시점에서 제어 신호가 정상적으로 발생하는지, 인터럽트가 정상적으로 발생하는지 확인하는 것이다.

주파수간 핸드오프(IFHHO) : RTT 제안에 의거한 몇 가지 경우에 있어서 서로 다른 RF CDMA 채널상에서 셀 간의 핸드오프를 의미하는 주파수간 핸드오프(IFHHO)를 하게 된다. IFHHO를 위하여 목표 주파수

에서 파일럿 신호의 세기를 측정하는 것을 탐색기 excursion이라 하며, 탐색기 excursion시 원래 주파수 상에서 현재 서비스의 방해를 최소화하기위해 오프라인 탐색과 탐색기 excursion시 순방향 및 역 방향 링크 전력 제어 방법을 쓰게 된다.

주파수간 탐색을 최소 시간내에 수행하기 위하여 정확한 타이밍에 이동국의 각 기능 블록을 제어할 필요가 있다. 이를 위하여 주파수간 탐색 과정의 각 단계별 타이밍은 하드웨어 타이머로 제어하기로 하며, 이를 IFS(inter-frequency search) 제어기라 한다. 이 테스트는 IFHHO를 위한 IFS (inter-frequency search) 시 이 와 관련된 타이밍 제어와 각 기능 블록의 역할을 테스트 하는 것을 그 목적으로 한다.

점점 방법은 채널링크 시뮬레이터의 기지국 송신기에서 파일럿 채널 데이터를 생성해 수신기에 인가한 후, 모든 타이밍 제어 시점에서 타이밍 제어 신호가 정상적으로 발생하는지, 인터럽트가 정상적으로 발생하는지, 상태 계수기가 정상적으로 동작하는지를 확인하는 것이다.

2. 순방향 채널 전력 제어 (FLPC) 검증

순방향 전력 제어는 전력 제어 그룹(1.25ms)마다 레이크수신기의 지정, 제어 채널/기본 채널의 최고속도 통화 채널을 통해 얻어진 트래픽 에너지와 파일럿 에너지, 잡음 에너지간의 차이로 구해진 참조 값의 비율 임계값과 비교하여 순방향 전력 제어 명령을 발생시킴으로써 전력 제어를 수행하는 것이 주요 기능이다. 그 외 파일럿 게이팅 모드시의 전력 제어, 역방향 통화채널 1/8 게이팅 모드시의 전력 제어, 불연속 전송 모드시의 페루프 전력제어를 위한 데이터 베이스 생성 여부도 검증한다.

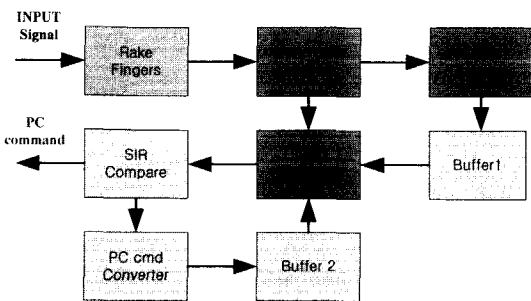


그림 6. 순방향 전력 제어 흐름도
Fig. 6. The flow-diagram of forward link power control.

그림 6은 순방향 전력 제어의 흐름도를 나타낸 것이다. 검증하고자 하는 항목별로 채널링크 시뮬레이터에 이동국 이동속도, 전력 제어 여부, 전력 제어 단계 값,

표 2. 순방향 전력 제어 관련 검증 항목
Table 2. The verification items of forward link power control.

| 구분 | RC | 세 부 항 목 |
|-----------------------|----|--------------------------|
| FLPC | 3 | FCH(800Hz) |
| | | FCH(400Hz) + SCH(400Hz) |
| | | DCCH(600Hz) + SCH(200Hz) |
| | | SCH DTX (800Hz) |
| TEST | 4 | FCH(800Hz) |
| | | FCH(400Hz) + SCH(400Hz) |
| | 5 | FCH(800Hz) |
| | | FCH(400Hz) + SCH(400Hz) |
| R-Traffic Gaging TEST | 3 | FCH (1.5K) |
| | 4 | FCH (1.5K) |
| | 5 | FCH (1.5K) |
| DTX TEST | 3 | DCCH(9.6K) |
| | 4 | DCCH(9.6K) |
| | 5 | DCCH(14.4K) |

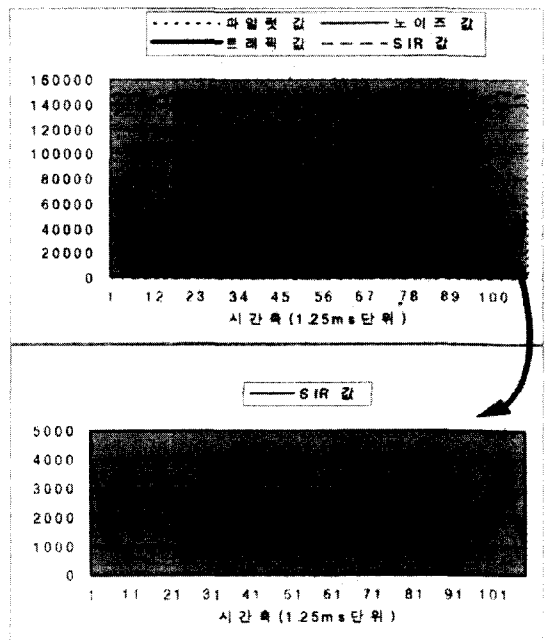


그림 7. FLPC 검증 시 참조 신호값
Fig. 7. The reference signal value in FLPC verification.

전력 제어 임계값, 테스트 하고자 하는 채널, 채널의 데이터 속도 등에 대해 적절한 값을 설정하면, 그림 6의 각 노드에서는 검증에 필요한 기준값이 파일로 생성된다. 이에 맞게 모뎀 소프트웨어의 레지스터에 적절한 값을 설정하고 시뮬레이션 돌린 결과를 이미 생성된 기준참조값과 비교한다. 검증 항목은 표 2와 같다.

그림 7은 통합 시뮬레이션 결과로 상단부는 레이크 수신기에 입력되는 입력신호를 경로별로 얻은 3가지 성분 값이며, 이것은 채널링크 시뮬레이터에서 순방향 전력제어 피드백을 통해 전력을 변화시키는 기능으로부터 나타나며, 이 값들을 이용해 얻은 SIR 값은 그림 7의 하단에 나타나 있다. 이 SIR 값과 SIR 임계값을 비교하여 발생하는 전력 제어 명령은 버퍼에 저장되는데 궁극적으로 이 값이 제대로 생성되는지를 검증하는 것이 FLPC 검증의 주요 목적이라 할 수 있다.

3. 통화 채널 및 제어 채널의 레벨2 검증

본 검증에서는 순방향 채널을 통해 기지국이 정보를 보내면 모뎀의 각 블록이 정상적으로 정보를 처리하여 기지국에서 보내 준 정보 비트를 제대로 복원하는지를 검증하는데 목적을 둔다. 검증의 용이를 위해 소수의 프레임 단위로 통화 채널에서의 수신 기능 및 성능을 테스트하는 레벨2검증과 초기 동기 획득에서 페이징, 통화 채널까지의 다단계 수신 과정에서 기능 및 성능을 다수의 프레임을 통해 검증하는 레벨3 검증으로 구분하여 수행하였다.

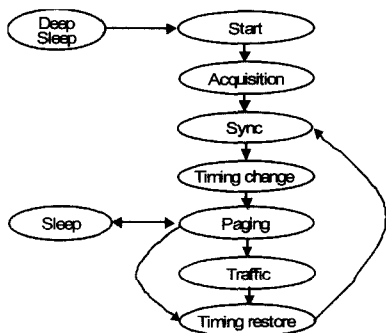


그림 8. CDMA 이동국 모뎀 상태 전이도
Fig. 8. State-transition diagram of CDMA mobile station modem.

먼저 레벨2 검증은, 한두개 프레임에 해당하는 I, Q 데이터를 채널링크 시뮬레이터를 통해 생성하고, 그 데이터를 하드웨어 RTL 모델 각 블록의 출력값과 비교

하여 올바른 동작 여부를 판단한다. 검증 항목 및 채널은 다음과 같다.

- 통화채널(Traffic Channel)
 - 순방향 기본채널(F-FCH)
 - 순방향 지정 제어 채널(F-DCCH)
 - 순방향 보조채널(F-SCH, F-SCCH)
 - 통화 중 채널 속도 변화
- 제어채널(Control Channel)
 - 순방향 브로드캐스트 채널(F-BCCH)
 - 공통 할당 채널(F-CACH)
 - 순방향 공통 제어 채널(F-CCCH)
 - 공통 전력제어 채널(F-CPCH)

이때 모뎀 상태 흐름도는 그림 8과 같다. 레벨2 검증은 대부분 호출과 통화 상태에서 이루어진다. 그 이유는 통화채널은 통화 상태에서 사용되고, 제어채널은 호출 상태와 통화 상태에서 사용되기 때문이다.

채널링크 시뮬레이터에서 생성되는 I, Q 데이터는 그림 9에 보인바와 같이 이동국 모뎀으로 입력 되어 레이크 수신기, 채널 디인터리버, 복호기 (비터비 복호기 또는 터보 복호기)를 순서대로 거치게 된다. 복호기는 복호된 데이터 값과 CRC (Cyclic Redundancy Check) 결과를 출력하는데 이 결과를 통해 제대로 복호되었는지를 판단한다. CRC가 틀리다는 결과가 나오면 채널링크 시뮬레이터에서 생성해준 기준 참조값과 각 블록별 출력을 비교 추적하면서 원인을 파악하여 디버깅한다.

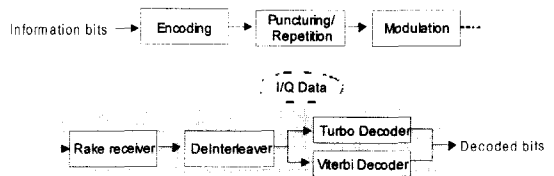


그림 9. 모뎀 수신 데이터 처리 순서
Fig. 9. The data processing flow of modem receiver.

4. 통화 채널 및 제어 채널의 레벨3 검증

상위 프로토콜에 대한 시나리오 별 검증상황 및 레벨2에서 검증한 항목들을 연속된 하나의 흐름으로 진행 하였을 때 나타나는 하드웨어 이상 여부, 장시간 동작 했을 때 나타나는 문제점등을 검증한다. 본 검증의 목적은 지금까지의 검증 동안에 나타나지 않았던 복합

적인 문제를 조사하기 위한 것이며, 이를 위하여 채널 링크 시뮬레이터의 I, Q 데이터는 필요한 요소를 모두 포함하도록 복합적으로 생성된다. 검증에 소요되는 시간은 상당히 길지만, 검증 시나리오 구성에 따라서 오히려 레벨2보다 시간을 단축할 수도 있는 검증 방법이다. 연속된 소프트웨어의 상태변화는 크게 시스템 초기화 상태, 유휴 상태, 통화 상태 로 구분할 수 있으며 시스템 초기화 상태에서는 채널 탐색 결과로 찾아낸 채널로부터 동기채널 정보를 획득, 시스템 타이밍 변경을 수행하고, 이후 유휴 상태에서는 제어 채널 복조를 하며, 미리 정해진 시나리오에 따라 통화채널로 진행하여 통화 채널을 복조한다. 이상의 내용으로 약 600ms 이상의 프레임 데이터를 필요로 하였으며, 검증 시간은 대략 12시간 이상 소요되었다. 좀더 세부적으로 상태를 이동하며 테스트하는 경우에는 더 많은 시뮬레이션 시간이 필요했다. 동시 검증을 통해 수행할 수 있는 방법으로선 실장 테스트와 가장 유사하다고 할 수 있다.

IV. 성능평가 및 분석

3절에서 설명한 바와 같이 검증 항목은 크게 레벨2와 3로 나뉜다. 레벨2 검증은 각각의 채널에서 수신 관

표 3. 몇가지 주요 검증 항목 요약

Table 3. Summary of several test items.

| 검증항목 | 구분 | 설명 |
|----------------|-----|--|
| conti_95A | 레벨3 | IS-95A 모드에서 초기 동기 획득부터 통화채널 수신까지 모뎀 연속 동작 검증 |
| conti_cdma2000 | 레벨3 | cdma2000 모드에서 초기 동기 획득부터 통화채널 수신까지 모뎀 연속 동작 검증 |
| dtx_rc4 | 레벨2 | DCCH의 불연속전송 모드 |
| sch_rc3_153k | 레벨2 | RC3에서 SCH를 통한 153.6kbps 데이터 수신 |
| scch_long | 레벨2 | SCCH 장시간 데이터 수신 검증 |
| dcch_sch_var | 레벨2 | DCCH와 SCH를 동시 수신하는 상황에서 SCH의 데이터율이 변하는 경우 검증 |
| ltu_test | 레벨2 | 상위계층 소프트웨어에서 설정한 LTU (Logical Tx. Unit) 검증 |

련 기능을 검증하며, 레벨3는 채널의 상태전이 과정을 포함하는 검증 시나리오로 레벨2 검증이 모두 완료된 후 수행하였다. 총 검증 항목은 72개이고 이중 레벨2에 해당하는 항목이 66개, 레벨3 검증은 6개이다. 표 3에 대표적인 몇가지 검증 항목과 간단한 설명을 보였다.

표 3에 열거한 검증 항목에 대해 SCom5100 내의 마이크로프로세서 코어 동작 주파수 기준의 시뮬레이션 사이클 수와 워크스테이션상의 수행시간(CPU time)으로 나타낸 수행속도를 표 4에 보였다. 마이크로프로세서 코어는 40MHz로 동작하도록 소프트웨어가 PLL을 설정하며, 각 검증항목에서 채널 동작은 프레임 단위로 수행된다.

전통적인 방법의 RTL 로직 시뮬레이션의 경우 수행 속도는 수에서 수십 Hz(cycle/sec)에 불과한 반면, 본 논문의 동시검증 환경에서는 500 Hz이상을 나타내었다. 수행 속도의 대폭적인 감소는 메모리 버스 사이클을 최적화와 ISS에 기인한 바가 크지만, 시스템적으로 설계된 검증 시나리오와 자체 보조 소프트웨어, 다기능 테스트벤치 등을 유기적으로 결합한 검증 운영체제 또한 중요한 역할을 하였다.

표 4. 검증 항목별 수행 사이클 수 및 속도

Table 4. Number of operation cycles Run time and speed of co-verification items.

| 검증 항목 | 동작사이클수 (A) | CPU time (B) | 수행속도 (A/B) |
|----------------|-------------------|--------------|------------|
| conti_95A | 2.4×10^7 | 26,299 초 | 913 Hz |
| conti_cdma2000 | 3.1×10^7 | 29,363 초 | 1065 Hz |
| dtx_rc4 | 9.0×10^6 | 11,083 초 | 812 Hz |
| sch_rc3_153k | 2.3×10^6 | 3,792 초 | 607 Hz |
| scch_long | 2.7×10^7 | 45,303 초 | 595 Hz |
| dcch_sch_var | 2.7×10^6 | 4,275 초 | 631 Hz |
| ltu_test | 1.5×10^6 | 2,587 초 | 580 Hz |

V. 결 론

SCom5100은 cdma2000 1x를 지원하는 이동국용 모뎀칩으로 0.18마이크론 저전력 표준 셀 공정으로 약 300만 게이트급에 이르는 대규모 SoC이다. 본 논문은 SCom5100과 같이 모(母)버전 칩에 대한 프로토타이핑

혹은 실장 검증이 충분히 이루어진 상태에서 물리 계층 소프트웨어 및 하드웨어가 최적화나 기능 추가등 비교적 소규모의 변경이 이루어진 경우, 프로토타이핑 대신 최종 검증 단계로서 하드웨어-소프트웨어 동시 검증 방법을 적용해 검증 시간과 노력을 대폭 줄일 수 있음을 보였다. 구체적으로 효과적인 하드웨어-소프트웨어 동시 검증을 위해 수행된 방법과 환경에 대해 기술하고 그 결과를 제시하였다. 과거의 설계 검증 경험을 바탕으로 체계적이고 효과적인 검증 시나리오 및 자체 개발된 보조 소프트웨어와 검증 환경을 통해 성공적인 검증을 완료할 수 있었다.

참 고 문 헌

[1] SCom5100 Specification - preliminary, Device Specification, 삼성전자 주식회사, Nov. 2001
 [2] SCom5010 Specification, Device Specification, 삼성전자 주식회사, Feb. 2001
 [3] S. -C. Han, T. H. Han, et. al., A Mobile Station Modem VLSI for cdma2000 1x, Proc. of

IEEE ASIC SoC Conference, Washington D.C., 2001.
 [4] R. Klein Miami, a Hardware/Software Coverage System in Proc 7th IEEE Rapid Systems Prototyping Workshop, pp. 173~177, 1996.
 [5] S. R. Chaudhuri, R. Klein Hardware/Software Co-verification of CDMA ASIC Designs Mentor Graphics.
 [6] "Seamless CVE General Release Notes," Document Version 4.1_2.3, Mentor Graphics, 2001.
 [7] "HW & SW co-verification 방법론 구축," 반도체 기술보고서, 삼성전자 주식회사, 1999
 [8] Physical Layer Standard for cdma2000 Spread Spectrum Systems - Release A, 3GPP2 C..S002 v67, 3GPP2, March, 2000.
 [9] Recommended Minimum Performance Standards for cdma2000 Spread Spectrum Mobile Stations-Release A, TIA/EIA-98-D, TIA/EIA, March, 2001.

저 자 소 개

韓 兌 熙(正會員)

1970년 9월 2일생, 1992년 2월 한국과학기술원 전기 및 전자공학과 졸업(공학사), 1994년 2월 한국과학기술원 전기및 전자공학과 졸업(공학석사), 1999년 2월 한국과학기술원 전기및 전자공학과 졸업(공학박사), 1999년 3월 - 현재 삼성전자 통신연구소 책임연구원, <주관심분야: 모뎀 SoC 설계, SoC 설계방법론, Embedded 시스템, 채널코딩, MPEG>



韓 誠 鐵(正會員)

1971년 7월 6일생, 1994년 2월 연세대학교 전자공학과 졸업(공학사), 1996년 2월 연세대학교 전자공학과 졸업(공학석사), 1996년 2월 - 현재 : 삼성전자 통신연구소 책임연구원, <주관심분야: 무선통신시스템, 디지털

번복조, SoC 설계기술, 하드웨어-소프트웨어 동시설계>

韓 東 具(正會員)

1971년 8월 15일생, 1999년 2월 홍익대학교 기계공학과 졸업(공학사), 1999년 3월 - 현재 삼성전자 통신연구소 연구원, <주관심분야: CDMA LI SW, 모뎀 SoC 설계, Co-Verification/Application>



金 成 龍(正會員)

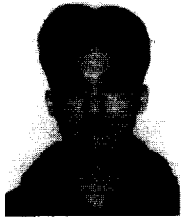
1971년 8월 16일생, 2000년 8월 광운대학교 전자공학과 졸업(공학사), 2000년 9월 - 현재 삼성전자 통신연구소 연구원, <주관심분야: CDMA LI S/W, Modem Co-Verification/Application>



韓今求(正會員)

1971년 9월 2일생, 1998년 2월 고려대학교 재료공학과 졸업(공학사), 2000년 8월 - 한국 정보 통신 대학원 전자공학과 졸업(공학석사), 2000년 9월 - 현재 삼성전자 통신연구소 연구원, <주관심분야: 무선 모뎀 설계, 검

증 및 응용>



黃錫珉(正會員)

1975년 12월 24일생. 2001년 2월 광운대학교 전자계산학과 졸업(공학사), 2001년 1월 - 현재 삼성전자 통신연구소 연구원, <주관심분야: CDMA LI S/W및 Modem Co-Verification>



金敬昊(正會員)

1961년 2월 3일생, 1984년 2월 연세대학교 전자공학과 졸업(공학사), 1987년 2월 한국과학기술원 전기및 전자공학과 졸업(공학석사), 1991년 2월 한국과학기술원 전기및 전자공학과 졸업(공학박사), 1983년 12월 - 현재 삼성전자 수석연구원, 1997년 Marquis Who's Who인명록등재 <주관심분야: 통신용 SOC설계, Low Power VLSI설계, 단말용 Modem설계, HW/SW Codesign>