

論文 2002-39SD-7-3

다층배선 인터커넥트 구조의 기생 인덕턴스 추출 연구

(A Study on the Extraction of Parasitic Inductance for Multiple-level Interconnect Structures)

尹錫仁*, 元太映*

(Sukin Yoon and Taeyoung Won)

요 약

본 논문에서는 반도체 집적 회로의 다층 배선 인터커넥트 사이의 기생 인덕턴스를 수치 해석적으로 계산하여 추출하는 방법과 그 적용 예를 보고한다. 기생 인덕턴스를 추출하기 위하여, 3차원 다층배선 구조물에 대해 유한요소법을 이용하여 다층 배선내에서의 전위 분포 및 전류 밀도를 계산하고, 계산된 전류 밀도로부터 자계 에너지를 계산하여 상호 인덕턴스 및 셀프 인덕턴스를 계산하였다. 시뮬레이션 결과의 정확도를 검증하기 위하여 해석적 방법으로 해석이 가능한 간단한 구조에 대하여 시뮬레이션을 수행하여 결과를 비교하였으며, 또다른 응용으로, $13 \times 10.25 \times 8.25 \mu\text{m}^3$ 크기의 4비트 롬 구조에 대하여 시뮬레이션을 수행하였다. 3차원 4비트 롬 구조물의 기생 인덕턴스 추출을 위해서, 유한요소법 적용을 위한 6,358개의 노드와 31,941개의 사면체 메쉬를 생성하였으며, ULTRA 10 워크스테이션에 대해서 소요된 CPU 시간은 약 2분 30초이었으며, 20 메가바이트의 메모리를 사용하였다.

Abstract

This paper presents a methodology and application for extracting parasitic inductances in a multi-level interconnect semiconductor structure by a numerical technique. In order to calculate the parasitic inductances, the distribution of electric potential and current density in the metal lines are calculated by finite element method (FEM). Thereafter, the magneto-static energy caused by the current density in metal lines was calculated. The result of simulation is compared with the result of Grover equation about analytic simple structures, and 4 bit ROM array with a dimension of $13.0 \times 10.25 \times 8.25 \mu\text{m}^3$ was simulated to extract the parasitic inductances. In this calculation, 6,358 nodes with 31,941 tetrahedra were used in ULTRA 10 workstation. The total CPU time for the simulation was about 150 seconds, while the memory size of 20 MB was required.

Key Words : Inductance, Interconnect, Parasitics, FEM

* 正會員, 仁荷大學校 電子電氣工學部

(School of Electrical Engineering, Inha University)

※ 본 연구는 과학기술부와 산업자원부가 주관하는 시스템집적회로기반기술개발사업(과제명: 다층배선 고주파 모델링 소프트웨어 개발, 과제번호: 00-B4-FR-00-13-00-01)과 정보통신부가 주관하는 대학정보통신연구센터육성지원사업의 지원에 의하여 수행하였음.)

接受日字: 2001年7月2日, 수정완료일: 2002年6月25日

I. 서론

최근 반도체 공정에 적용되는 최소 선폭이 딥-서브-하프-마이크론으로 감소함에 따라 칩 복잡도(chip complexity), 클럭 속도(clock speeds)의 많은 향상을 가져왔다. 그러나, 최소 선폭이 감소함에 따라 칩을 구성하는 활성 소자에 의한 신호 지연 효과에 비하여 다층배선 라인에 존재하는 기생 저항 및 캐패시턴스

(capacitances)에 의한 신호 지연 효과가 두드러지게 되었다. 이는 공정 기술의 발달로 칩 제작에 사용되는 선 폭은 딥-서브-하프-마이크론으로 줄일 수 있지만, 다층 배선의 높이는 줄일 수 없기 때문에 인접한 배선간의 캐패시턴스가 증가하게 되며, 또한, 칩 내 소자를 연결하는 다층배선의 형상이 복잡한 3차원적인 형상을 이루기 때문이다. 이러한 문제를 해결하기 위하여, 칩 내 소자를 연결하는 다층배선에 존재하는 기생 저항 및 캐패시턴스를 3차원 시뮬레이션 방법을 이용하여 예측하기 위한 많은 방법들이 제안되었으며,^[1,2,3] 그 결과, 3차원 형상을 갖는 구조에서의 기생 저항 및 캐패시턴스 성분에 의한 신호 지연은 많은 부분에 있어서 예측 가능해 졌다. 더욱이, 기생 저항 및 캐패시턴스에 의한 신호 지연 효과는 낮은 저항률(resistivity)을 갖는 배선 물질 및 낮은 유전 상수(dielectric constant)를 갖는 절연 물질을 사용함으로써 기생 저항 및 캐패시턴스에 의한 신호 지연 효과를 억제하기 위한 신 공정 기술들이 개발되고 있어, 기생 저항 및 캐패시턴스에 의한 신호 지연 효과가 상당부분 억제될 것으로 예측되고 있다.^[4]

그러나, 최근 SOC(System On Chip) 형태의 칩의 발달로 칩 사이즈 및 칩 내의 전력 소모 감소를 위하여 다층배선에 있어서 계층적 구조가 사용되고 있다. 다층배선에 있어서 계층적 구조란 칩 사이즈 감소를 위하여, 칩의 집적도를 필요로 하는 회로 레벨에서는 최소 선폭을 이용한 얇은 배선을 사용하며, 빠른 클럭 속도 및 낮은 전력 소모를 요구하는 전력선(power distribution lines) 및 신호선(signal lines)를 포함하는 칩의 최상위 레벨 및 글로벌(global) 레벨에서는 낮은 배선 저항을 구현하기 위하여 두꺼운 배선을 사용하는 것을 말한다. 이러한 계층적 다층배선에서 글로벌 레벨에서는 낮은 배선 저항을 구현하기 위하여 배선 물질로 구리가 사용되고 있다.^[5] 그 결과, 얇은 배선을 사용하는 회로 레벨의 다층배선 구조에서는 기생 저항 및 캐패시턴스에 의한 신호 지연 효과가 두드러지며, 낮은 배선 저항을 갖는 글로벌 레벨에서는 기생 캐패시턴스 및 인덕턴스(inductances)에 의한 신호 지연 효과가 두드러지게 된다. 따라서, 회로 성능의 예측과 빠른 클럭 속도 유지, 신호 왜곡을 방지하기 위해서는 칩의 설계 단계에서 기생 캐패시턴스 및 인덕턴스에 의한 신호 지연을 예측해야 하며, 이를 위해서는 칩 내에 존재하는 기생 인덕턴스 성분의 계산이 필수적이다.^[6]

이미 수치해석 방법을 이용하여 인덕턴스를 계산하

기 위하여 많은 연구 방법들이 제안된 바 있으며,^[7-9] 인덕턴스의 경우 폐전류 곡선에서 발생하기 때문에 인덕턴스를 계산하기 위해서는 전류의 귀환 경로(return path)를 알아야 하는 문제점이 있다. 더욱이, 전류의 귀환 경로는 칩 내의 배선 저항에 영향을 받게 되며, 낮은 저항률을 갖는 배선물질의 사용과 고주파 특성에 의하여, 인덕턴스를 포함한 임피던스 값을 알기 전에는 전류의 귀환 경로를 알 수가 없다. 이러한 문제점은 부분 인덕턴스(partial inductance) 개념이 도입되면서,^[8] 전류의 귀환 경로가 무한의 거리에 있다는 가정을 통해 폐전류 곡선이 정의되지 않은 도전체에서의 인덕턴스를 계산할 수 있게 되었으며, 인덕턴스 값은 전류의 귀환 경로에 의존하지 않고, 도전체의 기하학적 형상에 의존하게 되었다. 그러나, 종래의 인덕턴스를 계산하는 기술의 경우, 비교적 단순하고 대칭적인 구조에 대하여 기하학적 평균 거리(geometric mean distance)를 이용하여 인덕턴스 값을 계산하는 해석적 모델이 주류를 이루었으며, 2차원 수치해석적 적분을 이용하여 맥스웰 방정식(Maxwell equation)으로부터 유도되어진 자기 에너지(magnetostatic energy) 관계식과 이로부터 얻어지는 노이만 식(Neumann formula)을 해석하여 셀프 인덕턴스(self-inductance) 및 상호 인덕턴스(mutual inductance)를 계산하는 방법이 사용되었다.^[7]

해석적 모델을 이용한 계산 방법이나 2차원 수치해석적 적분을 통해 인덕턴스의 계산은 계산 속도 측면에서 빠르다는 장점이 있지만, 최근, 칩 내 다층배선의 형상이 기하학적으로 복잡해짐에 따라 정확도가 떨어지고, 더 이상 복잡한 구조에의 적용이 어렵다는 단점을 가지고 있기 때문에 복잡한 3차원 형상을 갖는 구조에 대해 3차원 노이만 적분을 수행하여 기생 인덕턴스를 계산할 수 있는 수치해석 방법이 필요하게 되었다.

따라서, 본 논문에서는 3차원 노이만 적분을 수행하기 위하여 다층배선 구조에 대하여 사면체 요소로 분할하고, 유한요소법을 이용하여 다층배선 내의 인가된 전압에 의한 전위 분포를 계산하여, 계산된 전위 분포로부터 전류 밀도를 계산하였다. 또한, 계산된 전류 밀도를 이용하여 노이만 적분을 수행하여 자기장 에너지를 계산하고, 계산된 자기장 에너지로부터 인덕턴스 값을 계산하였다.

후술하는 제II장에서는 인덕턴스 계산을 위한 전류밀도 및 전력손실 모델에 대해 설명하고, 제III장에서는

셀프 인덕턴스 및 상호 인덕턴스를 계산하기 위한 모델에 대해 설명하고, 이어서, 제IV장에서는 본 시뮬레이터를 이용한 시뮬레이션 결과에 대하여 설명하고 결론을 맺는다.

II. 전류밀도 및 전력손실 계산 모델

본 논문에서 기생 인덕턴스를 계산하기 위하여 사용한 방법은 다층배선 양단에 인가된 전압으로부터 배선 라인 내부의 전위 분포를 계산한 후, 계산된 전위 분포로부터 전류밀도를 계산하여, 계산된 전류밀도를 이용하여 3차원 노이만 적분을 수행하여 자기장 에너지를 계산하는 방법이다. 이때, 자기장 에너지와 인덕턴스와의 관계를 이용하여 다층배선에서의 기생 셀프 인덕턴스 및 상호 인덕턴스를 계산하였다. 다층배선에서의 전위 분포 및 전류밀도, 자기장 에너지를 계산하기 위하여 3차원 유한요소법을 이용하여 계산하였으며, 유한요소 계산을 위하여 사면체 요소와 2차원 형상함수를 사용하였다.

다층배선 양단에 인가된 전압으로부터 배선 라인 내부의 전위 분포를 유한요소법으로 구하기 위한 지배 방정식은 식 (1)과 같은 전류밀도(J)와 전하밀도(ρ)의 시간변화율로 주어지는 연속 방정식(continuity equation)으로, 다층배선 인터커넥트 구조에서 내부에 전하밀도의 시간 변화율이 없는 안정된 상태라고 가정을 하고, 전류밀도와 전계의 관계, 전계와 전위 분포와의 관계를 이용하여 대입하면, 식 (2)와 같은 라플라스 방정식(Laplace equation)을 얻어 낼 수 있다.

$$\nabla \cdot J = -\frac{\partial \rho}{\partial t} \quad (1)$$

$$\nabla \cdot (\sigma(x, y, z) \text{ grad } \psi(x, y, z)) = 0 \quad (2)$$

식 (2)에서 σ 은 배선 라인의 도전율(conductivity)이며, ψ 는 배선 라인 내부의 전위 분포이다. 이때, σ 가 위치에 따라 일정한 값을 갖는다면, 식 (2)로부터 식 (3)과 같은 오일러 방정식(Euler equation)을 얻을 수 있다.

$$P = \sigma \int_{V_c} [(\frac{\partial \psi}{\partial x})^2 + (\frac{\partial \psi}{\partial y})^2 + (\frac{\partial \psi}{\partial z})^2] dV \quad (3)$$

식 (3)에서 P 는 배선 라인에서 발생하는 전력 손실로, 변분 원리를 이용하여 P 를 최소화시키는 전위 분포를 리치 방법(Ritz Method)을 이용하여 계산하여 배선 라

인 내부에서의 전위 분포를 얻을 수 있다. 사면체 요소를 사용하였을 때, 요소 내에서의 전위 분포(ψ^e)는 다음의 식 (4)와 같이 나타낼 수 있다.

$$\psi^e(x, y, z) = \sum_{j=1}^n N_j(x, y, z) \psi_j^e \quad (4)$$

식 (4)에서 n 은 요소의 절점(node) 갯수이며, N_j 와 ψ_j^e 는 각각 j 번째 절점에서의 형상 함수(shape function)와 전위 분포 값을 나타낸다. 따라서, 식 (4)를 식 (3)에 대입하여 식 (5)와 같은 각 요소에서의 오일러 방정식을 수립할 수 있다.

$$P^e = \sigma \int_{V_c} [(\sum_{j=1}^n \frac{\partial N_j}{\partial x} \psi_j^e)^2 + (\sum_{j=1}^n \frac{\partial N_j}{\partial y} \psi_j^e)^2 + (\sum_{j=1}^n \frac{\partial N_j}{\partial z} \psi_j^e)^2] dV \quad (5)$$

또한, 식 (5)에 변분 원리를 적용하면, 각 절점에서의 전위 분포에 대하여 식 (6)을 얻을 수 있다.

$$\frac{\partial P^e}{\partial \psi_i^e} = \sigma \sum_{j=1}^n \psi_j^e \int_{V_c} [\frac{\partial N_i}{\partial x} \frac{\partial N_j}{\partial x} + \frac{\partial N_i}{\partial y} \frac{\partial N_j}{\partial y} + \frac{\partial N_i}{\partial z} \frac{\partial N_j}{\partial z}] dV = 0 \quad (6)$$

따라서, 식 (6)을 정리하면, 식 (7)과 같은 요소의 시스템 행렬(system matrix, K^e)을 얻을 수 있다. 식 (9)은 요소의 시스템 행렬의 각 요소(K_{ij}^e)를 나타낸 식이다. 요소의 시스템 행렬을 이용하여, 전체 시스템 행렬(global system matrix)을 구성할 수 있다. 또한, 구성된 전체 시스템 행렬에 배선 라인 양단에 인가된 전압을 디리클리트 경계 조건(Dirichlet boundary condition)으로 적용하고, 반복법을 이용하여 해를 구함으로써, 배선 라인에서의 전위 분포를 계산할 수 있다.

$$\left\{ \frac{\partial P^e}{\partial \psi^e} \right\} = [K^e] \{\psi^e\} \quad (7)$$

$$\left\{ \frac{\partial P^e}{\partial \psi^e} \right\} = \left[\frac{\partial I^e}{\partial \psi_1^e}, \frac{\partial I^e}{\partial \psi_2^e}, \dots, \frac{\partial I^e}{\partial \psi_n^e} \right]^t \quad (8)$$

$$K_{ij}^e = \int_{V_c} [\frac{\partial N_i}{\partial x} \frac{\partial N_j}{\partial x} + \frac{\partial N_i}{\partial y} \frac{\partial N_j}{\partial y} + \frac{\partial N_i}{\partial z} \frac{\partial N_j}{\partial z}] dV \quad (9)$$

$$\{\psi^e\} = [\psi_1^e, \psi_2^e, \dots, \psi_n^e]^t \quad (10)$$

이때, 계산된 전위 분포를 식 (5)에 대입하여 계산하면, 배선 라인 양단에 인가된 전압에 의한 전력 손실

(P)을 계산할 수 있다.

또한, 계산된 전위 분포로부터 전류 밀도를 계산하기 위하여, 식 (11)과 식 (12)와 같은 전류밀도(J)와 전계(E)의 관계, 전계와 전위분포와의 관계를 이용한다.

$$J = \sigma E \quad (11)$$

$$E = -\nabla\phi \quad (12)$$

식 (12)에 식 (4)의 전위 분포를 대입하면 다음의 식 (13)과 같다.

$$\begin{aligned} E^e &= -\left[\frac{\partial\phi^e}{\partial x}x + \frac{\partial\phi^e}{\partial y}y + \frac{\partial\phi^e}{\partial z}z\right] \\ &= -\left[\left(\sum_{j=1}^n \frac{\partial N_j}{\partial x} \phi_j^e\right)x + \left(\sum_{j=1}^n \frac{\partial N_j}{\partial y} \phi_j^e\right)y \right. \\ &\quad \left. + \left(\sum_{j=1}^n \frac{\partial N_j}{\partial z} \phi_j^e\right)z\right] \quad (13) \end{aligned}$$

따라서, 식 (11)과 식(13)을 이용하여 전류밀도를 행렬로 표시하면 다음과 같다.

$$\{J^e\} = [C^e]\{\phi^e\} \quad (14)$$

$$C_{ij}^e = \begin{bmatrix} \frac{\partial N_1}{\partial x} & \frac{\partial N_2}{\partial x} & \dots & \frac{\partial N_n}{\partial x} \\ \frac{\partial N_1}{\partial y} & \frac{\partial N_2}{\partial y} & \dots & \frac{\partial N_n}{\partial y} \\ \frac{\partial N_1}{\partial z} & \frac{\partial N_2}{\partial z} & \dots & \frac{\partial N_n}{\partial z} \end{bmatrix} \quad (15)$$

식 (14)에서와 같이 전류밀도의 경우, 이미 계산된 각 절점에서의 전위 분포 벡터와 각 요소의 형상함수로부터 생성된 행렬의 곱을 이용하여 계산할 수 있다.

III. 셸프 및 상호 부분 인덕턴스 계산 모델

다층 배선 라인에 흐르는 전류밀도(J)로부터 인덕턴스(L)를 계산하기 위해서는 배선 라인에 흐르는 전류 밀도에 의한 자계 에너지(W_H)를 계산하여 식 (16)과 같이 자계 에너지와 인덕턴스와의 관계로부터 인덕턴스 값을 계산할 수 있다.

$$L = \frac{2W_H}{I^2} \quad (16)$$

이때, 식 (16)에서 I 는 다층 배선에 흐르는 전류이다. 일반적으로 인덕턴스를 정의하기 위해서는 폐곡로가 정의되어야 하나, 다층 배선 구조 내에서 폐곡로를 정의하기가 어렵기 때문에 전류의 귀환 경로(return

path)가 먼 거리에 떨어져 있는 경우를 가정한 부분 인덕턴스 개념을 이용하여 계산하게 된다.^[8]

다층 배선 구조에서 배선 라인에 흐르는 전류 밀도에 의한 자계 에너지(W_H)는 식 (17)과 같이 정의된다.

$$W_H = \frac{1}{2} \int_{V_c} J(\mathbf{r}) \cdot \mathbf{A}(\mathbf{r}) dV \quad (17)$$

식 (17)에서 \mathbf{A} 는 벡터 자위(magnetic vector potential)로, 자속밀도(B)와 전류밀도(J)로 정의되는 맥스웰 방정식에 자속밀도와 벡터자위의 관계, 쿨롱 게이지(Coulomb gauge)를 적용하면, 식 (18)과 같은 포아송 방정식(Poisson's equation)을 얻을 수 있으며, 식 (18)의 특별해(particular solution)로써, 벡터 자위는 식 (19)와 같이 정의된다.

$$-\nabla^2 \mathbf{A} = \mu \mathbf{J} \quad (18)$$

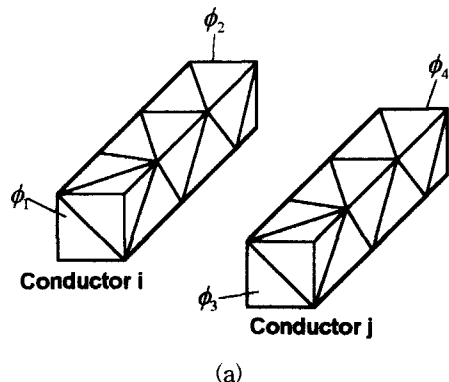
$$\mathbf{A}(\mathbf{r}) = \frac{\mu}{4\pi} \int_{V_c} \frac{\mathbf{J}(\mathbf{r}')}{|\mathbf{r} - \mathbf{r}'|} dV' \quad (19)$$

식 (18), (19)에서, μ 는 투자율(permeability)이며, 식 (19)를 식 (17)에 대입하여 자계 에너지를 계산할 수 있는 식 (20)과 같은 노이만 식(Neumann formular)을 얻을 수 있다.

$$W_H = \frac{\mu}{8\pi} \int_{V_c} \int_{V_c} \frac{\mathbf{J}(\mathbf{r}) \cdot \mathbf{J}(\mathbf{r}')}{|\mathbf{r} - \mathbf{r}'|} dV' dV \quad (20)$$

따라서, 식 (20)과 식 (16)의 인덕턴스와 자계 에너지와의 관계를 이용하여 인덕턴스를 계산할 수 있다. 이때, 인덕턴스는 다음과 같다.

$$L = \frac{\mu}{4\pi} \frac{1}{I^2} \int_{V_c} \int_{V_c} \frac{\mathbf{J}(\mathbf{r}) \cdot \mathbf{J}(\mathbf{r}')}{|\mathbf{r} - \mathbf{r}'|} dV' dV \quad (21)$$



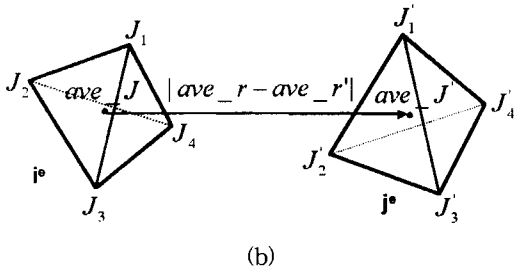


그림 1. 상호 인덕턴스 계산을 설명하기 위한 개념도 : (a) 상호 인덕턴스를 계산하기 위한 사면체 구조, (b) 구조물을 구성하는 사면체 상호간의 평균 전류 밀도 및 평균 위치를 이용한 적분식의 간략화 개념

Fig. 1. Schematic view of the calculation for mutual inductances : (a) tetrahedra mesh structure, (b) integral concept.

인덕턴스는 노이만 식 내 전류 밀도의 근원에 따라, 상호 인덕턴스와 셀프 인덕턴스로 구분된다. 그림 1(a)와 1(b)는 식 (21)로부터 상호 인덕턴스를 계산하기 위한 수학적 모델을 설명하기 위한 개념도이다.

그림 1(a)를 참조하면 서로 독립적인 배선 라인 (conductor i, conductor j) 양단에 서로 다른 전압이 인가되어 있을 경우, 인가된 전압에 의해 발생하는 전위 분포로부터 계산되어진 전류 밀도를 이용하여 식 (21)의 적분 항을 계산할 수 있다.

두 도전체 사이의 거리가 배선 라인을 구성하고 있는 사면체 요소 한 변 길이의 수 배인 경우, 그림 1(b)에 도시한 바와 같이 *i*번째 도전체와 *j*번째 도전체의 각 사면체 요소의 평균 전류 밀도 및 평균 중심 거리를 이용하여 식 (21)의 적분항을 간략화할 수 있다. 즉, 평균 중심 거리 및 평균 전류 밀도, 사면체의 부피를 이용하여 적분항을 간략화하면, 상호 인덕턴스를 식 (22)와 같이 나타낼 수 있다.

$$L_{ij} = \frac{\mu}{4\pi} \frac{1}{I_i I_j} \sum_{m=1}^M \sum_{n=1}^N \frac{J_m(\mathbf{r}_m) \cdot J_n(\mathbf{r}_n)}{|\mathbf{r}_m - \mathbf{r}_n|} \frac{\det(i_m)}{6} \frac{\det(j_n)}{6} \quad (22)$$

이때 I_i, I_j 는 각각의 도전체에 흐르는 전류이며 양단 간의 인가전압과 유한요소법을 이용하여 계산한 전력 손실로부터 계산할 수 있다. 또한, M, N 은 각각의 도전체를 구성하는 사면체의 개수이다.

그림 2(a)와 2(b)는 식 (21)로부터 셀프 인덕턴스를

계산하기 위한 수학적 모델을 설명하기 위한 개념도이다.

그림 2(a)를 참조하면 배선 라인(conductor i) 양단에서 서로 다른 전압이 인가되어 있을 경우, 인가된 전압에 의해 발생하는 전위 분포로부터 계산되어진 전류 밀도를 이용하여 식 (21)의 적분 항을 계산할 수 있다. 이때, 계산되어지는 인덕턴스는 배선 라인의 셀프 인덕턴스므로, 도전체를 구성하고 있는 사면체들 사이에 발생하는 노이만 식을 적분하여 구할 수 있다.

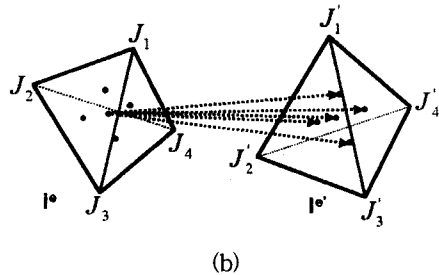
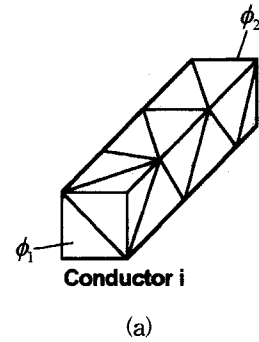


그림 2. 셀프 인덕턴스 계산을 설명하기 위한 개념도 : (a) 셀프 인덕턴스를 계산하기 위한 사면체 구조, (b) 구조물의 사면체 상호간의 노이만식의 계산을 위한 5차 적분 포인트를 이용한 적분식의 간략화 개념

Fig. 2. Schematic view of the calculation for self inductances : (a) tetrahedra mesh structure, (b) integral concept.

셀프 인덕턴스를 계산할 경우 배선 라인을 구성하는 사면체 사이의 중심 거리가 배선 라인을 구성하고 있는 사면체 요소 한 변 길이와 유사한 경우가 발생하여, 그림 1(b)에 도시한 바와 같이 두 사면체 요소의 평균 전류 밀도 및 평균 중심 거리를 이용하여 계산할 경우 수치적 오차가 많이 발생한다. 따라서, 수치 해석 적분 중 직접 적분법(direct integral method)을 사용하여 사면체 내의 직접 적분 포인트(direct integral point)에서의 전류밀도와 중심거리, 기중치를 이용하여 수치 해석

적분을 구현하였다.

또한, 수치적 적분시 수치적분의 표준화를 위해, 임의의 사면체를 매핑(mapping)을 통해 그림 3과 같은 기준 요소(reference element)로 변환하고, 5개의 적분 포인트와 각각의 가중치 ω 를 사용하여 수치적분을 수행하였다. 이때, 각각의 적분 포인트와 가중치(ξ, η, ζ, ω)를 그림 3에 도시하였다.

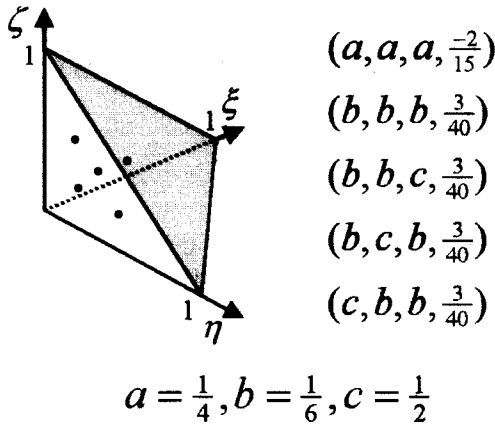


그림 3. 기준요소 좌표계에서의 5차 적분 포인트 및 가중치

Fig. 3. integral points and weights of fifth order in the standard coordinate system.

5차의 적분포인트 및 가중치를 이용한 적분 개념을 식 (21)의 인덕턴스 식에 적용하여, 식 (23)과 같은 셀프 인덕턴스 식으로 나타낼 수 있다.

$$L_{ii} = \frac{\mu}{4\pi} \frac{1}{I_i^2} \sum_{m=1}^M \sum_{k=1}^M \sum_{n=m+1}^M \sum_{l=1}^M w_k w_l Y_{mnl} \det(i^e) \det(i^{e'}) \quad (23)$$

$$Y_{mnl} = \frac{J(\xi_k, \eta_k, \zeta_k) \cdot J(\xi_l, \eta_l, \zeta_l)}{|\mathbf{r}(\xi_k, \eta_k, \zeta_k) - \mathbf{r}(\xi_l, \eta_l, \zeta_l)|} \quad (24)$$

이때 I_i 는 도전체에 흐르는 전류이며, M 은 도전체를 구성하는 사면체의 개수이다.

IV. 시뮬레이션

본 연구에서 개발된 시뮬레이터를 검증하기 위하여 해석적으로 계산이 가능한 단순한 구조에 대하여 해석적 계산식으로부터 얻은 인덕턴스 값과 유한요소 방법을 이용하여 계산한 인덕턴스 값을 비교하였다.

상호 인덕턴스 계산 검증을 위해 사용된 시뮬레이션

구조는 그림 4와 같은 평행선 도전체 구조로, 216개의 노드와 528개의 사면체 요소로 구성되어 있으며, 시뮬레이션을 위해 사용된 물질 파라미터는 구리(Cu, $\mu = 1.0 \times 10^{-5}$ H/m)를 이용하였으며, 각 도선의 반경과 길이는 각각 0.2, 10 cm이며, 두 도선 사이의 중심 거리는 0.9 cm이다.

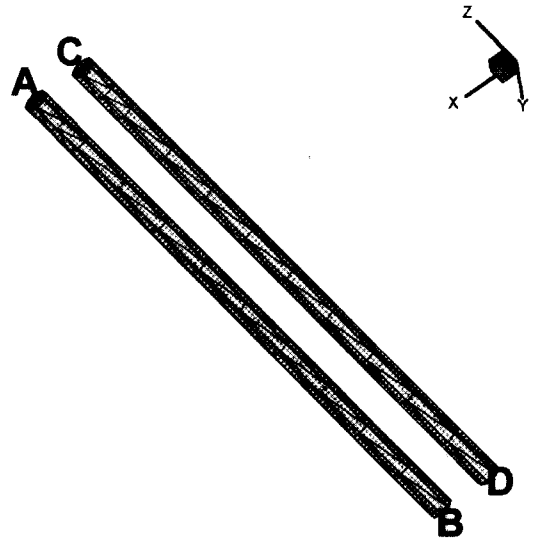
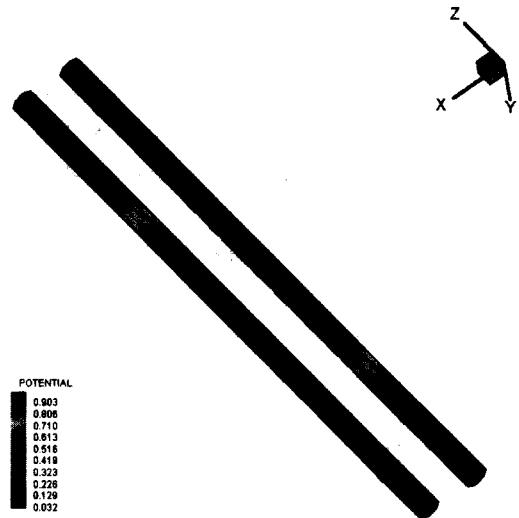
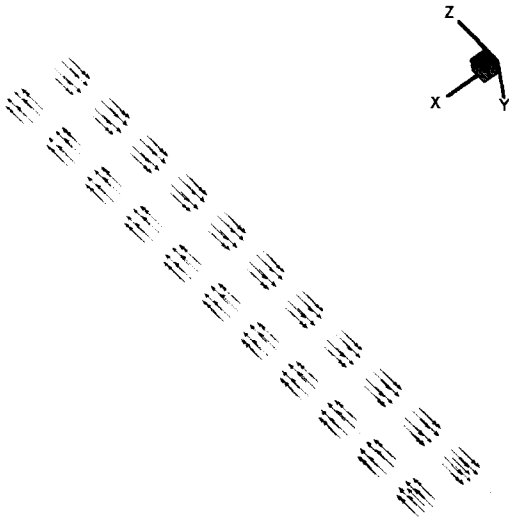


그림 4. 상호 인덕턴스 계산을 검증하기 위한 평행선 도전체의 사면체 구조물(반경과 길이는 각각 0.2, 10 cm, 중심 거리는 0.9 cm)

Fig. 4. mesh structure of parallel conductors for extracting mutual inductance(radius : 0.2 cm, length : 10 cm, central length : 0.9 cm).



(a)



(b)

그림 5. 평행선 도선체에 전압을 인가하였을 경우 (a) 전위 분포 및 (b) 전류밀도 벡터 계산 결과.
 Fig. 5. Result of simulation for parallel conductor : (a) distribution of electric potential and (b) current density vectors.

시뮬레이션을 위해 그림 4에서 도시한 시뮬레이션 구조의 A와 D에는 1 V를 인가하고, B와 C에 0 V를 인가하는 것을 가정하였으며, 이 때의 전위 분포와 전류밀도 벡터를 유한요소법을 이용하여 계산하고, 계산된 전류밀도로부터 노이만 식을 계산하였다. 시뮬레이션을 수행한 결과로 얻어진 전위 분포와 전류밀도 벡터를 그림 5(a)와 5(b)에 도시하였다.

이때, 시뮬레이션에 소요된 시간은 27초로, 그로버식 (Grover equation)^[7]을 이용한 해석적 인덕턴스 계산 결과는 10.7 nH이며, 유한요소법을 이용한 계산 결과는 10.9 nH로 근사한 값을 나타내는 것을 볼수 있었다.

또한, 셀프 인덕턴스 계산 검증을 위하여, 인덕턴스 구조로 잘 알려진 나선형 인덕터 구조에 대하여 인덕턴스 계산 시뮬레이션을 수행하였다. 사용된 시뮬레이션 구조는 그림 6와 같으며, 660개의 노드와 1068개의 사면체 요소로 구성되어 있으며, 시뮬레이션을 위해 사용된 물질 파라미터는 상호 인덕턴스와 마찬가지로 구리(Cu, $\mu = 1.0 \times 10^{-5}$ H/m)를 이용하였으며, 라인의 폭과 간격, 두께는 각각 18, 10, 2.7 μm 이다.

시뮬레이션을 위해 그림 6에서 도시한 시뮬레이션 구조의 A에는 1 V를 인가하고, B에 0 V를 인가하는 것을 가정하였으며, 이 때의 계산된 전위 분포와 전류

밀도 벡터를 그림 7(a)와 7(b)에 도시하였다. 셀프 인덕턴스를 계산하기 위하여 시뮬레이션에 소요된 시간은 1분 20초로, 계산 결과 2.02nH의 셀프 인덕턴스 값이 계산되었다. 계산 결과는 참고문헌 값 2.05 nH와 비교할 때,^[10] 근사한 계산 결과를 나타내는 것을 볼 수 있다.

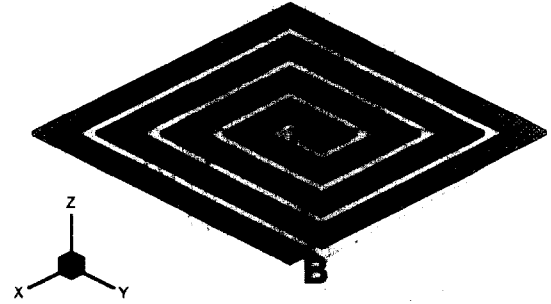
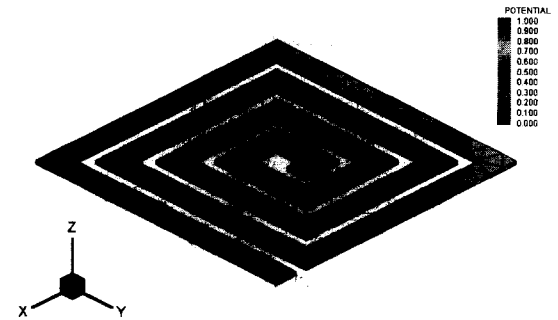
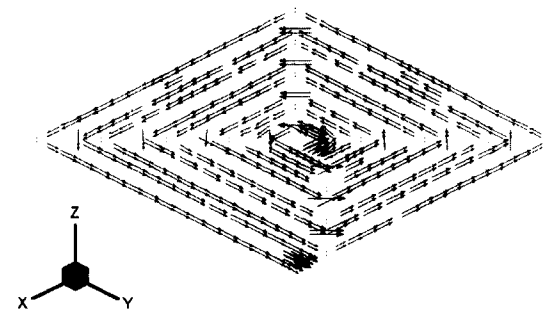


그림 6. 셀프 인덕턴스 계산을 검증하기 위한 나선형 인덕터의 사면체 구조물(라인의 폭과 간격, 두께는 각각 18, 10, 2.7 μm)
 Fig. 6. mesh structure of spiral inductor for extracting self inductance(width : 18 μm , pitch : 10 μm , thickness : 2.7 μm).



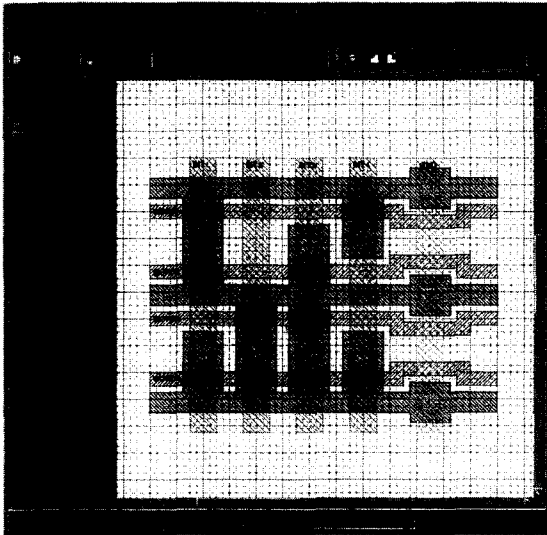
(a)



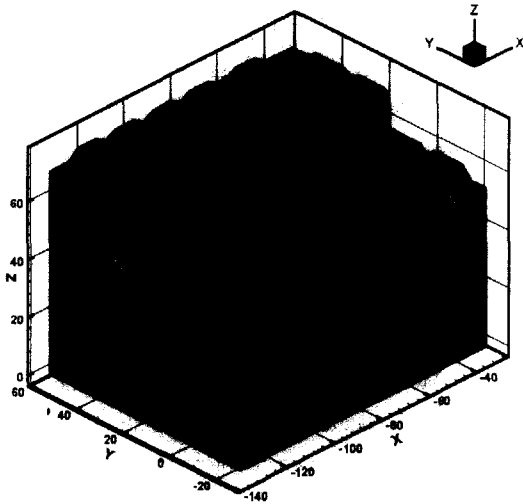
(b)

그림 7. 나선형 인덕터에 전압을 인가하였을 경우 (a) 전위 분포 및 (b) 전류밀도 벡터 계산 결과.
 Fig. 7. Result of simulation for spiral inductor : (a) distribution of electric potential and (b) current density vectors.

본 연구에서 개발된 시뮬레이터를 이용하여 다층배선에서의 배선 라인에 존재하는 기생 인덕턴스 값을 추출하는 시뮬레이션을 수행하였다. 시뮬레이션에 사용된 구조는 4비트 롬(4bit ROM) 구조로 그림 8(a)와 8(b)에 레이아웃과 3차원 구조를 각각 도시하였다.



(a)



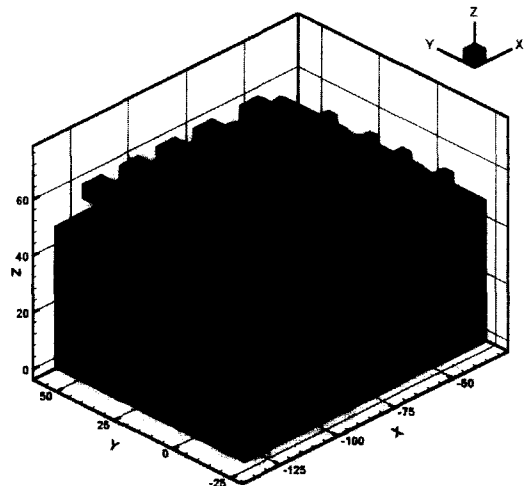
(b)

그림 8. 4비트 롬 구조의 (a) 레이아웃, (b) 3차원 구조
Fig. 8. (a) Layout and (b) simulation structure of 4 bit ROM array.

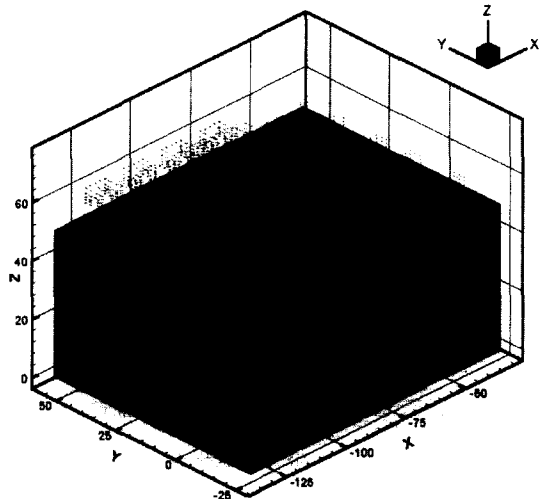
그림 8에 도시된 롬 구조는 $13 \times 10.25 \times 8.25 \mu\text{m}^3$ 의 전체 크기를 갖으며, $0.5 \mu\text{m}$ 의 게이트 폭과 $1.0 \mu\text{m}$ 의 비트라인 폭을 갖는다. 특히, 인덕턴스 계산을 하게 될

비트 라인에 사용된 물질 파라미터는 알루미늄(Al , $\mu = 1.0 \times 10^{-7} \text{ H/m}$)을 가정하였다. 그림 8(b)에 도시된 3차원 메쉬 구조는 6,358개의 시뮬레이션 노드와, 31,941개의 사면체 요소로 구성되어 있다.

그림 9(a)와 9(b)에 시뮬레이션 구조에서의 인가전압에 대한 전위분포 및 전류밀도 벡터를 각각 도시하였다. 상호 인덕턴스 및 셀프 인덕턴스의 계산을 위해 Ultra 10 워크스테이션에서 약 2분 30초의 계산 시간과, 20MB의 메모리를 사용하였다.



(a)



(b)

그림 9. 시뮬레이션 구조에 전압을 인가하였을 경우 (a) 전위 분포 및 (b) 전류밀도 벡터 계산 결과
Fig. 9. Result of simulation for 4 bit ROM array : (a) distribution of electric potential and (b) current density vectors.

시뮬레이션 결과는 식 (25)와 같은 인덕턴스 행렬로 표현될 수 있다.

$$L = \begin{bmatrix} L_{11} & L_{12} & \cdots & L_{1N} \\ L_{12} & L_{22} & \cdots & L_{2N} \\ \vdots & \vdots & \ddots & \vdots \\ L_{M1} & L_{M2} & \cdots & L_{MN} \end{bmatrix} \quad (25)$$

식 (25)에서 N 은 시뮬레이션에 고려하는 배선라인의 개수이다. 또한, 인덕턴스 행렬의 ii 번째 주대각 요소는 i 번째 라인의 셀프 인덕턴스이며, ij 번째 요소는 i 번째 라인과 j 번째 라인 사이의 상호 인덕턴스 값이다. 따라서, 롬 구조에 대해 계산한 인덕턴스 행렬은 식 (26)과 같다.

$$L = \begin{bmatrix} 5.721 & 3.320 & 2.091 & 1.406 \\ 3.320 & 5.719 & 3.319 & 2.093 \\ 2.091 & 3.319 & 5.720 & 3.321 \\ 1.406 & 2.093 & 3.321 & 5.721 \end{bmatrix} \text{ pH} \quad (26)$$

식 (26)에서 나타낸 바와 같이 인덕턴스 행렬의 경우 캐패시턴스 행렬이 행렬 요소 중 주대각 성분이 지배적인 것과는 다르게 행렬 요소 전체에 대하여 비슷한 차수를 갖는 것을 볼 수 있다. 이는 다층 배선 사이에서, 캐패시터 성분은 다층 배선의 인가전압에 따른 전계에 의해 발생하고, 이웃한 배선에 의한 가상 그라운드 효과가 나타나기 때문이나, 인덕턴스의 경우 다층배선의 인가전압에 따른 전류에 의해 발생하는 자계 성분에 영향을 받으므로, 캐패시턴스의 경우와 같은 가상 그라운드 효과가 나타나지 않기 때문으로 사료된다. 따라서, 기생 인덕턴스의 계산을 위해 전류의 귀환경로 (return path)를 처리하기 위한 알고리즘이 좀더 필요할 것으로 사료된다.

V. 결 론

최근 칩 집적도의 증가 및 칩 사이즈, 칩 내의 전력 소모 감소를 위하여 다층배선에 있어서 계층적 구조가 사용되고 있으며, 이에 따라, 빠른 클럭 속도 및 낮은 전력 소모를 요구하는 전력선(power distribution lines) 및 신호선(signal lines)을 포함하는 칩의 최상위 레벨 및 글로벌(global) 레벨에서는 낮은 배선 저항을 구현하기 위하여 구리를 이용한 배선이 사용되고 있다. 그 결과, 낮은 배선 저항을 갖는 글로벌 레벨에서는 기생 인덕턴스가 신호 지연에 미치는 효과가 크게 나타날 것

으로 예측된다. 따라서, 회로 성능의 예측과 빠른 클럭 속도 유지, 신호 왜곡을 방지하기 위해서는 칩의 설계 단계에서 기생 캐패시턴스 및 인덕턴스와 같은 신호 지연에 관계되는 파라미터에 대한 계산이 필수적이다

본 논문에서는 임의의 다층배선 인터커넥트 구조에 대해 기생 인덕턴스를 수치 해석적으로 계산하였다. 수치 해석 방법으로 유한요소법을 이용하여 배선 라인 양단에 인가한 전압으로부터 배선 라인에서의 전위 분포를 해석하였으며, 이로부터 전류밀도 벡터 성분을 계산하였다. 또한, 계산된 전류 밀도 벡터 성분으로부터 자계 에너지를 계산하였으며, 계산된 자계 에너지를 이용하여 셀프 인덕턴스 및 상호 인덕턴스 값을 계산하였다. 시뮬레이션의 검증을 위해 해석적 구조에 대하여 시뮬레이션을 수행한 후 계산값을 비교하였으며, 이를 응용하여 4비트 롬 구조에 대하여, 비트라인에서의 셀프 인덕턴스 및 상호 인덕턴스를 계산하였다.

참 고 문 헌

- [1] K. Nabors and J. White, "FastCap : A Multipole accelerated 3-D Capacitance Extraction Program," *IEEE Trans. on Computer-Aided Design*, Vol. 10, No. 11, pp. 1447~1459, 1991.
- [2] W. Hong, W. K. Sun, Z. H. Zhu, H. Ji, B. Song, and W. M. Dai, "A Novel Dimension-Reduction Technique for the Capacitance Extraction of 3-D VLSI Interconnects," *IEEE Trans. on Microwave Theory and Techniques* Vol. 46, No. 8 pp. 103741044, 1998.
- [3] M. W. Beattie and L. T. Pileggi, "Bounds for BEM Capacitance Extraction," in *Proc. 34rd Design Automation Conference*, pp. 133~136, 1997.
- [4] J. Noguchi, T. Saito, N. Ohashi, H. Ashihara, H. Maruyama, M. Kubo, H. Yamaguchi, D. Ryuzaki, K. Takeda, and K. Hinode, "Impact of Low-K dielectrics and barrier metals a on TDDB Lifetime of Cu Interconnects," in *Proc. 39th Reliability Physics Symposium*, pp. 355~359, 2001.

- [5] K. Yamashita and S. Odanaka, "Interconnect Scaling Scenario using a Chip Level Interconnect Model," IEEE Trans. on Electron Devices, Vol 47, pp. 90~96, 2000.
- [6] R. Sabelka, C. Harlander, and S. Selberherr, "The State of the Art in Interconnect Simulation," in Proc. International Conference on Simulation of Semiconductor Processes and Devices, pp. 6~11, 2000.
- [7] F. Leferink, "Inductance Calculations : Methods and Equation," in Proc. IEEE International Symposium on Electromagnetic Compatibility, pp. 16~22, 1995.
- [8] A. Ruehli, C. Paul, and J. Garrett, "Inductance Calculations using Partial Inductances and Macromodels," in Proc. IEEE International Symposium on Electromagnetic Compatibility, pp. 23~28, 1995.
- [9] K. L. Shepard, Z. Tian, "Return-Limited Inductances : A Practical Approach to On-Chip Inductance Extraction," IEEE Trans. on Computer-Aided Design, Vol. 19, No. 4, pp. 425~436, 2000.
- [10] C. Harlander, R. Sbelka, and S. Selberherr, "Inductance Calculation In Interconnect structures," in Proc. 3rd International Conference on Modeling and Simulation of Microsystems, pp. 416~419, 2000.

 저 자 소 개

尹 錫 仁(正會員) 第37卷 SD編 第7號 參照

1972년 12월 30일생. 1998년 인하대학교 전자재료공학과(공학사), 2000년 인하대학교 전자재료공학과(공학석사) 2000년~현재 인하대학교 전자재료공학과 박사과정, 주관심 분야는 반도체 소자 및 공정, 인터커넥트 시뮬레이션, TCAD와 ECAD의 인터페이싱 등임

元 太 映(正會員) 第35卷 D編 第5號 參照

1959년 2월 21일생. 1981년 서울대학교 전자공학과(공학사). 1983년 한국과학기술원 전기 및 전자공학과(공학석사). 1989년 미국 University of Illinois at Urbana-Champaign 전자공학과(공학박사). 1989년~1990년 미국 State University of New York 조교수. 1990~1991년 삼성전자(주) 수석 연구원. 1991년~현재 인하대학교 공과대학 전자전기공학부 교수. 주관심 분야는 반도체 소자 및 공정 등임