

論文2002-39SD-7-2

위성 수신기용 광대역 튜너 시스템의 CMOS 단일칩화에 관한 연구

(A CMOS Fully Integrated Wideband Tuning System for Satellite Receivers)

金 裁 完^{*}, 柳 尙 夏^{**}, 徐 範 洙^{*}, 金 成 男^{***}, 金 昌 俸^{****}, 金 壽 遠^{*}
 (Jae Wan Kim, Sang-Ha Ryu, Bum-Soo Suh, Sung-Nam Kim, Chang-Bong Kim, and Soo Won Kim)

요 약

고집적화를 위해 직접변환 아키텍처를 적용한 디지털 DBS 수신기용 광대역 튜너를 CMOS 공정으로 구현하였다. 이 튜너는 수신 대역폭을 극대화하기 위하여 주파수 950~2150MHz의 광대역 신호를 단일칩에 단일칩으로 사용하였으며 링 발진기의 낮은 위상 잡음을 해결하기 위해 이중 루프 구조로 주파수 합성기를 설계하였다. 본 논문에서는 이중 루프 주파수 합성기의 매우 느린 주파수 스위칭 시간을 개선하기 위해서 초기 주파수 차이를 보상하는 대역 선택 루프 구조를 제안, 검증하였다. 그리고 하향 변환 믹서는 저전압 동작이 가능하도록 소스 팔로워 구조로 설계하였다. 0.25um CMOS 공정으로 집적된 주파수 합성기와 믹서는 측정 결과 위상 미스매치는 최대 3.4°, 진폭 미스매치는 최대 0.06dB의 쿼드러처 정확도를 얻었으며 950MHz에서 2150MHz로 주파수 변환시 약 600us의 스위칭 시간을 얻었다.

Abstract

The digital DBS tuner is designed and implemented in a CMOS process using a direct-conversion architecture that offers a high degree of integration. To generate matched LO I/Q quadrature signals covering the total input frequency range, a fully integrated ring oscillator is employed. And, to decrease a high level of phase noise of the ring oscillator, a frequency synthesizer is designed using a double loop structure. This paper proposes and verifies a band selective loop for fast frequency switching time of the double loop frequency synthesizer. The down-conversion mixer with source follower input stages is used for low voltage operation. An experiment implementation of the frequency synthesizer and mixer with integrated a 0.25um CMOS process achieves a switching time of 600us when frequency changes from 950 to 2150MHz. And, the experiment results show a quadrature amplitude mismatch of max. 0.06dB and a quadrature phase mismatch of max. 3.4°.

Key Words : CMOS, Tuner, Frequency Synthesizer, Double Loop, Band Selective Loop, Frequency Switching Time, Mixer

* 正會員, 高麗大學校 電子工學科

(Dept. of Electronic Engineering, Korea University)

** 正會員, 三星電子, 情報通信總括,

(Division, Information & Communications Business, Samsung Electronics Co., Ltd.)

*** 正會員, 韓國電子通信 研究院

(Electronics and Telecommunications Research Institute)

**** 正會員, 公州大 工大 情報通信工學部

(Information and Communication Engineering, Kongju National University)

※ 이 논문은 한국학술진흥재단의 지원에 의하여 연구되었음(KRF-1998-005-E00257)

接受日字:2001年5月30日, 수정완료일:2002年6月7日

I. 서론

디지털 DBS(direct broadcast satellite) 수신기에서 튜너는 주파수 변환과 채널 선택 기능을 갖는 아날로그 RF 전단부(front-end)이다. 궁극적으로 RF 전단부는 소형화, 저전력화, 저가격화를 위하여 디지털 모듈부와 함께 하나의 다이(die) 위에 집적되는 단일칩화가 요구된다. 그러나, 일반적으로 RF부는 주로 GaAs, Bipolar 등의 공정 등을 사용하여 구현되므로 CMOS 공정보다 고집적화에 불리하다. 최근 공정 기술의 발달로 인해 CMOS 소자도 1~2GHz대의 주파수 영역에서 뛰어난 성능을 보이므로 저가이면서도 고집적화에 용이한 CMOS로 RF 부를 구현하는 연구는 필수적이다.

디지털 위성 수신기의 튜너 시스템을 광대역(wideband)라 부르는 이유는 950~2150MHz의 넓은 주파수 대역을 수신하기 때문이다. 현재 사용되는 튜너의 대부분은 광대역 슈퍼헤테로다인(superheterodyne) 아키텍처로 구현되어 있다. 그러나, 슈퍼헤테로다인은 원하는 RF 신호를 중간 주파수(IF)로 변환하는 방식으로 외부 소자인 고품질 대역통과 필터(SAW 필터)로 구현된 IF 필터를 사용하여 채널을 선택하므로 전력 소모가 많고 집적화하기 어려운 단점이 있다. 따라서, 튜너 시스템의 아키텍처는 고집적화를 위해 기존의 슈퍼헤테로다인 방식이 아닌 직접변환(direct-conversion) 방식을 적용한다. 직접변환은 RF 입력 신호에서 원하는 채널을 선택하여 IF를 거치지 않고 바로 기저대역(baseband)으로 변환하는 방식이다. 직접 변환 튜너는 기저대역에서 채널을 선택하므로 많은 외부 소자가 필요 없어 비용과 전력 소모를 크게 줄일 수 있으며 회로의 집적도 또한 크게 향상시킬 수 있다.^[1] 설계되는 직접변환 튜너 시스템의 블록도는 그림 1과 같으며 주요 블록으로는 주파수 합성기, 믹서 등이 있다.

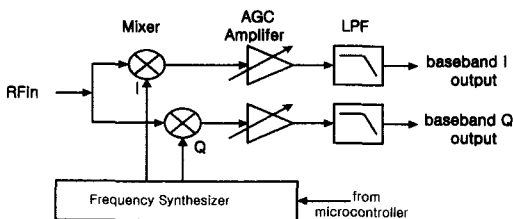


그림 1. 광대역 직접변환 튜너의 블록도

Fig. 1. A block diagram of a wideband direct-conversion tuner.

이 튜너 블록 중 주파수 합성기는 채널 선택을 위해 채널 주파수와 동일한 LO(local oscillator) 신호를 발생시키는 블록으로 위성 수신기의 CMOS 단일칩화에 가장 병목(bottleneck)이 되는 부분이다. 특히 직접변환 아키텍처에서 주파수 합성기의 LO는 입력 주파수의 전 범위를 포함하는 정합된(matched) I/Q 쿼드러처(quadrature) 신호를 생성해야한다. 게다가 LO는 직접변환 아키텍처의 DC 오프셋 문제를 심화시키는 LO 누설에 의한 LO 자가 혼합(self-reception)도 최소화해야한다.^[2] 그러나, 대부분의 RF 주파수 합성기에 사용되는 LC 발진기는 정합된 쿼드러처 신호를 생성하기 어려우며 외부 LC 탱크 회로를 사용하기 때문에 LO 누설을 더 심화시키는 문제점이 있다. 더구나, LC 발진기는 튜닝 범위가 좁으므로 광대역 튜너 시스템에서 입력 주파수의 전 범위를 포함하는 신호를 발생시키기 위해서는 수십V나 되는 큰 튜닝 전압을 필요로 한다. 반면에 링 발진기는 정합된 쿼드러처 신호를 발생시키기 용이하며 칩 안에 집적이 가능하므로 LO 누설과 같은 문제점도 쉽게 경감시킬 수 있다. 그리고, 튜닝 범위가 넓으므로 작은 튜닝 전압으로도 입력의 전 범위를 만족시킬 수 있다. 그러나, 링 발진기는 LC 발진기보다 위상 잡음이 더 큰 문제점이 있다. 주파수 합성기의 LO 신호의 위상 잡음이 크면 기저대역 신호의 지터를 증가시켜 위성 수신기의 BER(bit error rate)를 나쁘게 한다. 따라서, LO를 CMOS 공정을 이용한 링 발진기로 설계할 때는 큰 위상 잡음을 줄이기 위해 PLL(phase locked loop)의 루프 대역폭(loop bandwidth)이 크도록 설계해야한다. 그러나, 위성 수신기의 좁은 채널 선택을 위해서는 주파수 합성기의 분주비가 상당히 커져야 하므로 PLL의 루프 대역폭을 크게 할 수가 없는 제약이 생긴다. 따라서, 본 논문에서는 위의 문제를 해결하기 위하여 좁은 채널 선택과 큰 루프 대역폭이 동시에 가능한 이중 루프(double loop) 구조로 주파수 합성기를 설계하였다.^[3]

II. 이중 루프 주파수 합성기

그림 2는 이중 루프 주파수 합성기의 블록도이다. 이 이중 루프 주파수 합성기는 링 VCO, 멀티모듈러스 프리스케일러(multimodulus prescaler), PFD, 전하 펌프 등으로 구성된다. 그림에서 보듯이 이중 루프 PLL은 루프 1과 2로 구성되는데 루프 1은 CMOS 링 발진기

로 구현되는 VCO 1의 위상 잡음을 감소시키기 위해 큰 루프 대역폭을 가지도록 설계한다. 그리고 루프 2는 좁은 채널 선택을 위해 루프 대역폭을 작게 설계한다. 그러나, 루프 2는 루프 1보다 훨씬 낮은 주파수에서 동작하게 되므로 VCO 2의 위상 잡음은 낮아지게 설계할 수 있다.

채널은 루프 2의 주 분주기(main divider)의 분주비를 조절하여 VCO 2의 주파수를 스텝핑(steppping)하여 선택한다. 그러면, 루프 1의 VCO 1은 멀티모듈러스 프리스케일러를 통해 VCO 2의 출력과 록(lock)이 되게 되므로 원하는 채널이 선택 가능하게 된다.

입력 주파수 범위는 950~2150MHz의 광대역이므로 전 범위를 만족시키기 위해서는 큰 튜닝 전압이 요구되므로 VCO 1은 전 튜닝 범위를 4개의 대역(band)으로 나누어 스위칭 회로를 통해 대역 선택이 가능하도록 설계한다. 그리하여, 튜닝 전압은 3.3V 이내가 되도록 한다. 그리고, 각 대역은 4, 5, 6, 7 분주비를 가지는 멀티모듈러스 프리스케일러를 통해 분주하는데, 이 경우 VCO 2는 237~307MHz의 튜닝 범위를 가지게 된다. 각 대역 내에서 VCO 1의 튜닝 간격을 일정하게 유지하기 위하여 루프 2의 크리스털 발진기와 기준 분주기 사이에 루프 1과 동일한 멀티모듈러스 프리스케일러가 추가되었다.

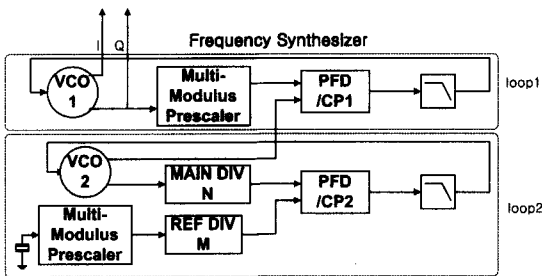


그림 2. 이중 루프 주파수 합성기의 블록도
Fig. 2. A block diagram of the double loop frequency synthesizer

VCO 1은 그림 3과 같은 일반적인 차동 4단 링 발진기를 사용하여 설계하였다. 이런 차동 구조의 링 발진기는 정합된 I/Q 쿼드러처 신호를 만들기가 쉬우며 디지털 CMOS 공정으로도 구현 가능하므로 광대역 직렬-변환 위상 튜너의 집적도를 향상 할 수 있는 장점이 있다. 위성 튜너에서는 최대 2150MHz 정도의 높은 주파수를 발생시켜야 하기 때문에 단순한 능동(active) 저

항을 출력 부하로 사용하는 지연 소자를 사용하여 설계하였다. 지연소자는 PMOS triode-region 부하에 NMOS 차동 입력 단을 가진 소스-커플된 로직으로 구현되었고 레플리카(replica) 바이어스를 사용하여 PMOS 저항을 조절, 출력 전압 스윙을 일정하게 고정하였다.

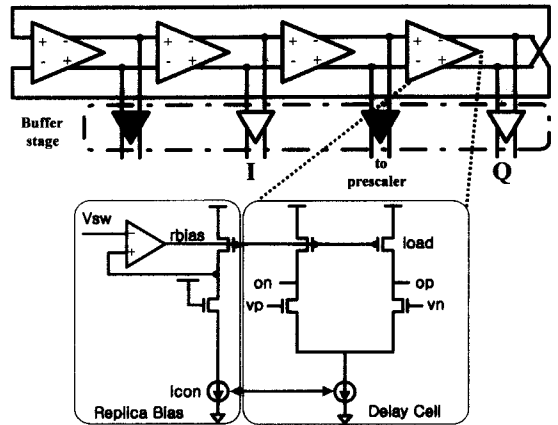


그림 3. 4단 링 발진기
Fig. 3. A 4-stage ring oscillator.

4 / 5 / 6 / 7 의 분주비를 가지는 멀티모듈러스 프리스케일러는 그림 4와 같이 2 / 3 분주의 일반적인 듀얼모듈러스(dualmodulus) 프리스케일러 2개를 직렬(cascade)로 연결하여 구성하였다. 2 / 3 분주의 듀얼모듈러스 프리스케일러는 두 개의 플립플롭과 게이트 로직을 이용하여 단지 3개의 동작상태만 출력하도록 하여 3 분주를 구현하며 2 분주는 플립플롭을 하나만 동작하도록 하여 구현한다. 2 / 3 분주기를 구성하는 플립플롭과 조합 논리 회로는 CML(Current Mode Logic)으로 구현하여 스위칭 잡음을 최소화하고 VCO의 작은 고속 출력 신호에도 동작할 수 있도록 하였다.

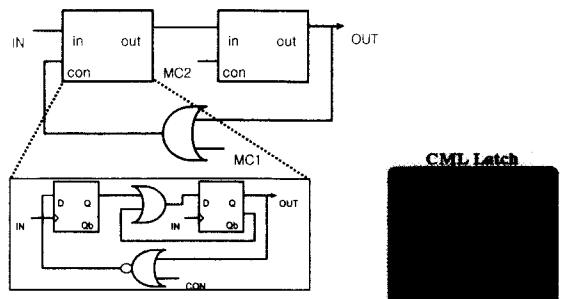


그림 4. 멀티모듈러스 프리스케일러
Fig. 4. A multimodulus prescaler.

III. 제안된 대역 선택 루프

위의 이중 루프 주파수 합성기는 위상 잡음 특성이 좋고 광대역을 만족시킬 수 있으나 루프 2를 록 한 후에 루프 1을 록하여 채널을 선택하므로 주파수 스위칭 시간(switching time)이 매우 느린 단점이 있다. 이 스위칭 시간을 빠르게 하기 위해서는 록을 획득(acquisition)하는 시간을 줄일 필요가 있다. 기존의 PLL은 다음과 같은 식으로 획득 시간의 특성이 나타난다.^[4]

$$T_{acq} \approx \frac{(\Delta w / K_L)^2 - 1}{w_2} \quad (1)$$

여기서 K_L 은 PLL의 루프 대역폭, w_2 는 루프의 영점(zero) 주파수, Δw 는 VCO의 초기 주파수(또는 free-running 주파수)와 록하고자 하는 주파수의 차이이다. 수식 (1)에 의하면 획득 시간은 Δw 가 적고, K_L 이 클수록 빨라지는데 이중 루프 합성기의 루프 2 PLL은 좁은 채널 선택을 위해 낮은 K_L 을 가지므로 획득 시간을 향상시키는데 한계가 있다. 그러나, 본 논문에서는 루프 대역폭을 조정하는 대신 주파수 차이(Δw)를 크게 줄여주는 대역 선택(band selective) 루프 구조를 제안하여 이중 루프 합성기의 빠른 주파수 스위칭이 가능하도록 하였다.^[5] 그림 5는 제안된 대역 선택 루프 구조가 추가된 이중 루프 주파수 합성기의 전체 블록도이다. 루프 1은 루프 대역폭이 크므로 획득 시간을 개선하기 위해서 대역 선택 루프를 추가할 필요는 없으나 VCO 1의 free-running 주파수를 자가 조정(self-calibration)하기 위해 추가하였다. VCO 1은 광대역을 만족시키기 위해서 큰 튜닝 범위를 필요로 하므로 자가 조정을 하지 않으면 온도나 공정 변화를 고려할 때 큰 VCO 이득을 필요로 한다. 큰 VCO 이득은 루프 1 PLL의 위상 잡음을 증가시키는 원치 않는 효과를 가지므로,^[6] 본 논문에서는 루프 1에도 대역 선택 루프를 적용하여 VCO의 초기 주파수 차이를 보상하여 VCO 이득을 낮게 설정함으로써 위상 잡음 특성이 좋은 최적의 설계를 하고자 하였다.

대역 선택 루프의 기본 동작 원리는 원하는 주파수 대역과 초기 주파수가 속하는 대역의 차이를 디지털 코드로 측정하고 그 대역 차이를 VCO에 가하여 VCO의 주파수를 원하는 주파수 대역으로 순간적으로 이동

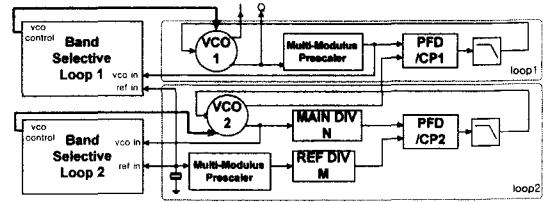


그림 5. 대역 선택 루프가 추가된 이중 루프 주파수 합성기의 블록도

Fig. 5. The block diagram of the double loop frequency synthesizer with band selective loop.

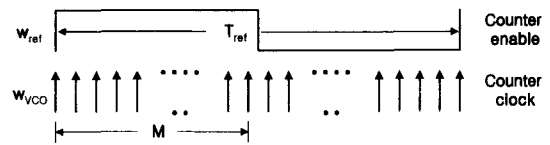


그림 6. VCO 출력 주파수의 대역을 측정하는 방법
Fig. 6. The method for measuring, VCO frequency band.

시켜 주파수 차이(Δw)를 줄여주는 것이다. VCO의 초기 주파수 대역은 그림 6과 같이 저속의 기준(reference) 신호 입력의 주기를 고속의 VCO 주기를 이용하여 셈하면 디지털 코드로 측정이 가능하다. 여기서 화살표는 VCO의 상승 에지를 나타낸다. 이는 인에이블(enable) 신호로 기준 신호를, 클럭 신호로 VCO 신호를 사용하면 카운터(counter)로 간단히 구현할 수 있다.

원하는 주파수 대역의 코드 값(N)은 PLL의 분주비(division ratio)로 미리 알 수 있으므로 카운터를 사용하여 측정된 초기 주파수 코드 값이 M이라면 대역 차이는 다음과 같은 수식으로 유도할 수 있다.

$$N - M = \text{quotient} \left(\frac{\Delta w}{2w_{ref}} \right) + \epsilon_q \quad (2)$$

여기서 Δw 은 VCO 주파수 차이, w_{ref} 는 기준 신호 주파수, ϵ_q 는 양자화 오차로 1 또는 -1의 값을 가지며 $\text{quotient} \left(\frac{m}{n} \right)$ 은 $\frac{m}{n}$ 의 몫, 즉 정수부분만을 나타내는 함수이다. 수식 (2)에서 대역 간격이 $2w_{ref}$ 가 되는 이유는 카운터 인에이블의 반주기내에서만 클럭을 세기 때문이다.

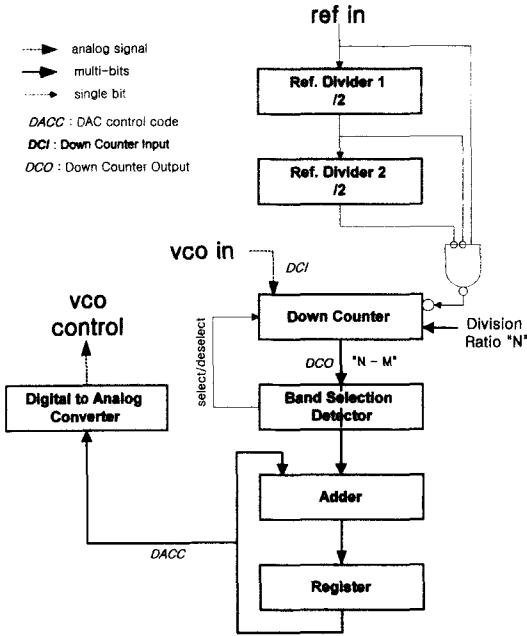


그림 7. 대역 선택 루프의 세부 블록도
Fig. 7. The detailed block diagram of band selective loop.

그림 7은 대역 선택 루프의 세부 블록도이다. 대역 차이를 알아내기 위해서 상향(up) 카운터와 뺄셈기를 사용하는 대신에 하향(down) 카운터를 사용하여 구현하였다. 하향 카운터의 인에이블 신호로는 기준 주파수를 4분주한 신호를 사용하며 이 신호의 반주기 동안만 VCO 출력 신호를 하향 카운팅하여 N-M 출력을 만들어 내게 된다. 이 디지털 출력은 대역 선택 검출기(band selection detector)를 거쳐 가산기(adder) 보내지게 된다. 가산기에 보내진 하향 카운터의 출력 값은 레지스터(register)에 저장된 이전 값과 합산되어 DAC로 보내지고, DAC의 출력 값은 VCO 제어 회로에 전달되어 그에 상응하는 주파수 신호를 출력하게 된다. 하향 카운터의 출력 값이 0이 되면 대역 선택 루프가 VCO 초기 주파수를 원하는 주파수 대역으로 이동시킨 것을 의미하므로 대역 선택 검출기는 선택(selection) 신호를 하향 카운터에 주어 루프의 동작을 멈추게 한다. 그러면, 가산기와 레지스터에 전달된 신호는 일정한 값을 유지하게 된다. 가산기와 레지스터가 추가된 이유는 수식 (2)의 양자화 오차 및 실제 회로 설계시 아날로그 회로인 DAC와 VCO 제어 회로에서 생기는 오차를 피드백을 사용하여 보정해 주기 위해서이다.

IV. 소스 팔로워 구조 믹서

튜너 블록 중 믹서는 RF 입력 신호를 LO 신호와 혼합하여 기저대역으로 하향 변환하는 블록이다. RF 응용에서는 브리지 타입의 평형 믹서가 많이 쓰이고 있으나 이는 트랜스포머(transformer)를 이용해야하므로 집적화가 불가능하므로 집적화를 위해서는 능동 소자를 이용한 길버트 셀 구조의 믹서가 주로 사용된다. 그러나, 이 구조는 트랜지스터가 3단의 직렬 형태로 이루어져 저전압 구현이 어려운 문제가 있다. 따라서, 본 논문에서는 트랜지스터의 stack을 줄이기 위해 그림 8과 같은 소스 팔로워(source follower) 구조를 사용한 저전압용 CMOS 하향 변환 믹서를 설계하였다.^[7] 이 회로는 스위칭 역할을 하는 M1~M4와 소스 팔로워를 구성하는 M5, M6, 전류원인 M7, M8과 부하 저항 R로 구성되어 있다. 입력된 RF 전압 신호는 M5, M6에 의해 전류로 변환되고 변환된 전류는 M1~M4의 스위칭에 의해 LO 신호와 혼합되어 기저대역 신호로 변환된 후 부하를 거쳐 전압으로 출력된다. 입력된 RF 전압 신호 (V_{RF})는 M5, M6을 통해 아래 식과 같이 전류로 변환된다.

$$I_5 - I_6 = \mu C_{OX} \left(\frac{W}{L} \right) (V_{GS} - V_t) V_{RF} = g_m V_{RF} \quad (3)$$

이 때 입력 전압 V_{RF} 의 진폭은 $\sqrt{2}(V_{GS} - V_t)$ 보다 작아야 출력 전류는 입력 전압에 따라 선형적으로 변하게 된다. 그리고, LO에 진폭이 큰 신호가 가해져서 M1~M4가 스위칭 역할을 하면 이는 M5, M6 전류에 +1과 -1로 변하는 구형파($sq(\omega_{LO}t)$)를 곱해지는 것과 같다. 따라서, 하향 변환기의 출력 전압 V_{out} 은 식 (4)과 같이 주어진다.

$$\begin{aligned} V_{out} &= g_m V_{RF} R [\sin \omega_{RF} t \times sq(\omega_{LO} t)] \\ &= \frac{2}{\pi} g_m V_{RF} R \cos(\omega_{RF} - \omega_{LO}) \end{aligned} \quad (4)$$

식 (4)를 보면 출력 전압은 $\omega_{RF} - \omega_{LO}$ 의 주파수를 갖는 신호고 전압 이득은 $\frac{2}{\pi} g_m R$ 임을 알 수 있다.

기존 길버트 셀 구조의 믹서에서는 스위칭 역할을 하는 LO 입력 단의 바이어스 부분은 RF 입력 트랜지스터에 대해 바이어스 전압이 높아야 하므로 저전압

설계가 어려웠다. 그러나, 본 논문에서 사용하는 회로에서는 RF 입력 신호 단과 LO 단이 동일한 바이어스 전압을 가지므로 저전압 구현이 가능하다. 위 믹서의 자세한 설명과 모의 실험 결과는 참고 문헌 [7]에 나와있다.

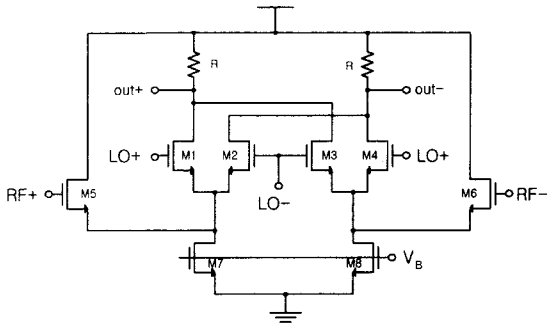


그림 8. 소스 팔로워 구조 믹서의 회로도
Fig. 8. The schematic of mixer with a source follower input stage.

V. 모의 실험 및 측정 결과

그림 9는 기존의 PLL과 대역 선택 루프를 추가한 제안된 PLL의 획득 시간을 비교, 측정하기 위해 HSPICE를 이용하여 루프 2 PLL만 모의 실험한 결과이다. 여기서 x축은 시간, y축은 루프 필터의 전압이다. 모의 실험 시간을 줄이기 위해 PLL의 기준주파수는 4MHz, 분주비는 80, VCO의 초기 주파수는 230MHz, 출력하고자 하는 주파수는 320MHz로 설정하였다. 모의 실험 결

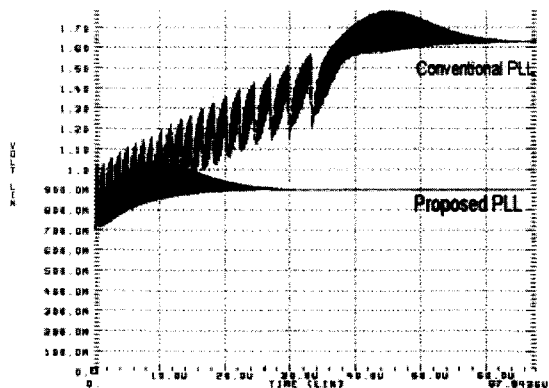


그림 9. 모의 실험된 기존의 PLL과 제안된 PLL의 주파수 획득 응답
Fig. 9. Simulated frequency acquisition response of conventional PLL and proposed PLL.

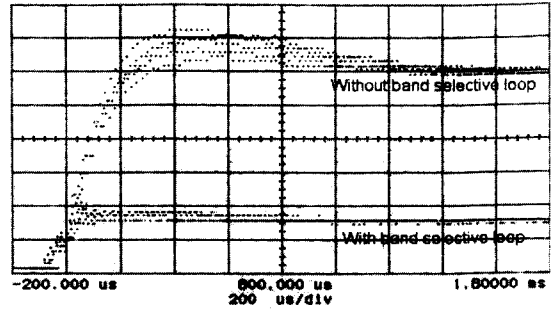


그림 10. 대역 선택 루프가 추가된 이중 루프 주파수 합성기와 추가되지 않은 합성기의 주파수 스위칭 시간 측정 결과

Fig. 10. Measured frequency switching time of double loop frequency synthesizer with and without band selective loop.

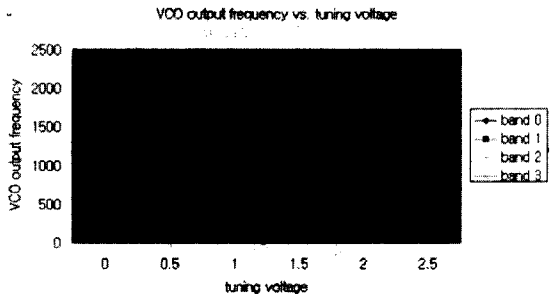


그림 11. 측정된 VCO 출력 주파수대 튜닝 전압 곡선
Fig. 11. Measured VCO output frequency vs. tuning voltage curve.

과 기존의 PLL의 획득 시간은 66us, 대역 선택 루프가 추가된 제안된 PLL은 30us가 걸려 초기 주파수 차이가 90MHz일 때 55%의 acquisition 시간 감소를 이루어짐을 알 수 있었다. 만약 초기 주파수 차이가 커지면 대역 선택 루프 PLL의 획득 시간은 기존의 PLL보다 더욱 개선된다.

그림 10은 대역 선택 루프가 추가된 이중 루프 주파수 합성기와 추가되지 않은 합성기의 주파수 스위칭 시간을 디지털 오실로스코프의 트리거 기능을 사용하여 측정한 그래프이다. 이 그림에서 x축은 시간, y축은 루프 필터의 전압이다. 950MHz에서 2150MHz로 VCO의 주파수 변화시킬 때 대역 선택 루프가 추가된 주파수 합성기는 약 600us의 스위칭 시간은 얻었으며 추가되지 않은 합성기는 약 1.8ms의 스위칭 시간이 얻어 대역 선택 루프가 추가된 합성기의 스위칭 시간이 크게 개선됨을 확인할 수 있다. 링 발진기 VCO 1의 입력 튜닝 전압에 대한 출력 주파수 특성의 측정 결과는 그

림 11에 나타나는데 4개의 대역 선택에 의해 950~2150MHz의 광대역을 충분히 만족함을 알 수 있다. 그림 12는 VCO 1의 위상 잡음 스펙트럼 측정 결과로서 VCO 2의 주파수가 307MHz, 멀티모듈러스 프리스케일러 분주비 7, VCO 1 출력 주파수가 2149MHz 일 때 100kHz 오프셋에서 -96.4dBc/Hz를 보인다. 이는 DBS 튜너용 주파수 합성기의 위상 잡음 사양을 충분히 만족한다.

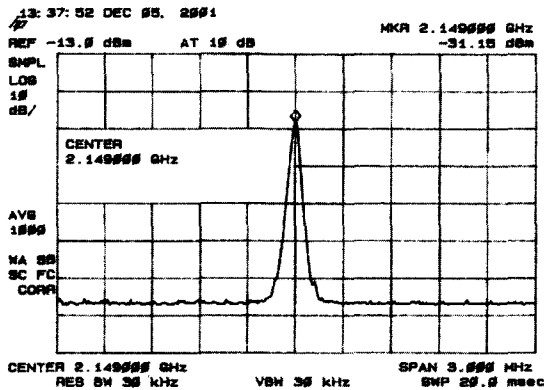


그림 12. 위상 잡음 스펙트럼 측정 결과
Fig. 12. Measured phase noise spectrum.

설계된 소스 팔로워 구조의 믹서는 1.5V의 낮은 전원 전압에서도 동작하였으며 4mW의 전력을 소모하였다.

직접 변환 아키텍처는 DC 오프셋, I/Q 미스매치, 플리커 잡음(flicker noise)등의 문제점들에 의해 성능이 떨어지는 단점이 있다. 그러나, 위성 튜너는 채널 대역폭이 광대역이므로 DC 오프셋 문제는 고역통과 필터를 통해 DC의 오프셋 성분을 제거하는 AC 커플링 방법으로 BER 큰 손실없이 간단히 해결할 수 있다. 그림 13은 쿼드러처 정확도(quadrature accuracy)를 측정한 그래프이다. RF 캐리어(carrier) 신호의 주파수를 950MHz에서 2150MHz 범위 내에서 변화시키면서(LO 주파수 = RF 주파수 +125kHz) 믹서를 통과한 I와 Q 출력 신호의 위상과 진폭을 디지털 오실로스코프로 측정하였다. 진폭 미스매치는 I와 Q 신호의 진폭을 측정 후 $20\log(A_I/A_Q)$ 로 계산하고(A_I 는 I 신호의 진폭, A_Q 는 Q 신호의 진폭) 위상 미스매치는 디지털 오실로스코프의 지연 함수를 사용하여 측정, 계산하였다. 그림 13의 왼쪽 그림은 RF 캐리어 주파수 $f_{RFIN} = 2060\text{MHz}$, 전력 레벨 $P_{RFIN} = -40\text{dBm}$ 조건일 때 측정된 파형으로

0.007dB의 진폭 미스매치(mismatch)와 3.4°의 위상 미스매치를 보였고, 오른쪽 그림은 $f_{RFIN} = 960\text{MHz}$, $P_{RFIN} = -40\text{dBm}$ 조건일 때 측정된 파형으로 진폭 미스매치가 0.03dB, 위상 미스매치가 3.1°를 얻었다. 전체 튜닝 범위에 대해 300MHz 간격마다 진폭과 위상 미스매치를 구해 그래프로 도시한 것은 그림 14이다. 위상 미스매치는 최대 3.4°, 진폭 미스매치는 최대 0.06dB를 가진다.

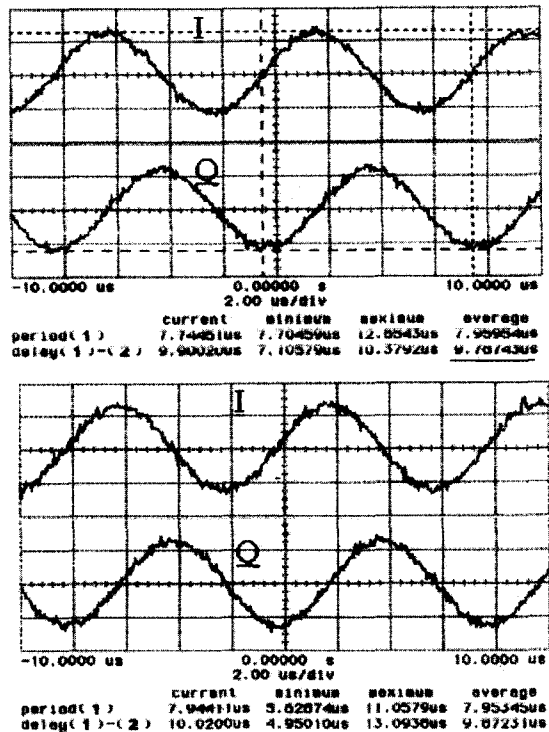
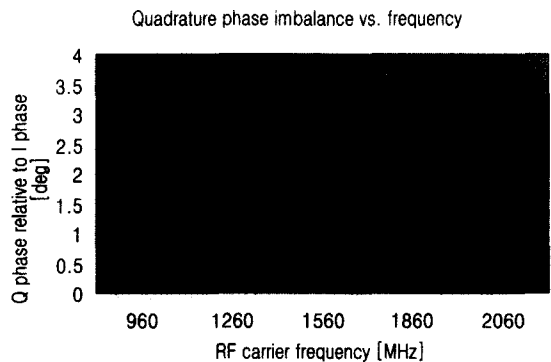


그림 13. 측정된 쿼드러처 정확도
Fig. 13. Measured quadrature accuracy.



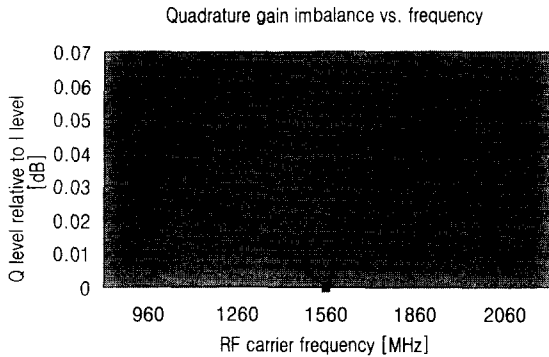


그림 14. 주파수에 따른 진폭과 위상 미스매치 측정 결과

Fig. 14. Measured amplitude and phase mismatch vs. frequency.

VI. 결 론

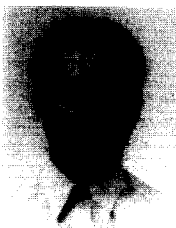
본 논문에서는 대역 선택 루프가 추가된 이중 루프 주파수 합성기를 제안하였고, 저전압 하향변환 믹서와 함께 설계되어, 0.25 μ m CMOS 공정으로 집적되었다. 제작된 주파수 합성기와 믹서는 측정 결과 입력 주파수의 전 범위(950~2150MHz)를 포함하는 정합된 LO I/Q 쿼드러처 신호를 생성할 수 있었다. 그리고 제안된 대역 선택 루프는 초기 주파수 차이를 보상하여 이중 루프 주파수 합성기의 주파수 스위칭 시간을 크게 개선할 수 있었다. 하향 변환 믹서는 소스 팔로워 구조로 설계하여 기존의 길버트 셀 믹서보다 저전압 구현이 가능하도록 하였다. 한편, 대역 선택 루프는 VCO의 free-running 주파수를 자가 조정하므로 VCO의 이득을 낮출 수 있어 주파수 합성기의 위상 잡음 특성도 개선할 수 있는 최적의 설계가 가능하다. 그리고, 대역 선택 루프는 DAC를 제외하고는 전부 디지털 회로이므로 공정과 온도 변화에도 강한 특성을 가진다. 게다가,

원하는 주파수의 대역을 레지스터에 저장할 수 있어 최근 RF 응용에서 중요시되는 power-down 모드에서의 빠른 탈출도 가능하다.

참 고 문 헌

- [1] A. A. Abidi, "Direct-conversion radio transceivers for digital communications", *IEEE J. Solid-State Circuits*, Vol. 30, No. 12, pp. 1399~1410, Dec. 1995.
- [2] J. Tang, D. Kasperkovitz, "A 0.9-2.2GHz Monolithic Quadrature Mixer Oscillator for Direct-Conversion Satellite Receivers", *ISSCC Digest of Technical Papers*, pp. 88~89, San Francisco, U. S. A., Feb., 1997.
- [3] C. Vaucher, D. Kasperkovitz, "A Wide-Band Tuning System for Fully Integrated Satellite Receivers", *IEEE J. Solid-State Circuits*, Vol. 33, No. 7, pp. 987~997, Jul. 1998.
- [4] Dan H. Wloaver, *Phase-Locked Loop Circuit Design*, Prentice-Hall, p. 162, 1991.
- [5] 류상하, 김재완, 김수원, "빠른 Acquisition 시간을 위한 Band-Selective CPPLL", *대한전자공학회 추계종합학술대회논문집*, 제 23권, 제 1호, 전남대학교, 2000년 6월
- [6] John A. McNeil, "Jitter in Ring Oscillator", *IEEE J. Solid-State Circuits*, Vol. 32, No. 6, pp. 870~879, June, 1997.
- [7] 김희진, 이순섭, 김수원, "1.8GHz 대역의 저전압용 CMOS RF하향변환 믹서 설계", *대한전자공학회 추계종합학술대회논문집*, 제 23권, 제 1호, 전남대학교, 2000년 6월

저 자 소 개



金 裁 完(正會員)

1995년 2월 : 고려대학교 전자공학과 학사. 1997년 2월 : 고려대학교 전자공학과 석사. 2002년 2월 : 고려대학교 전자공학과 박사. 2002년 2월 ~ 삼성전자 DS총괄 책임 연구원.

<주관심분야: CMOS 고속 아날로그

/디지털 회로 설계, 고성능 PLL/DLL, CMOS RF 회로>

柳 尙 夏(正會員)

2000년 8월 고려대학교 전자공학과 석사. 2000년 8월 ~ 삼성전자 정보통신총괄 연구원



徐 範 洙(正會員)
1999년 2월 고려대학교 전자공학과 석사. 2001년 9월~슬립텍 주식회사 연구원

金 昌 偉(終身會員) 第38卷 SD編 第 3號 參照
1957년 6월 6일생. 1983년 2월 고려대학교 전자공학과 (공학사). 1988년 12월 Florida Tech. Electrical Eng.(공학석사). 1992년 5월 Texas A&M University Electrical Eng.(공학박사). 1992년~1993년 삼성전자 선임연구원. 1993년 3월~현재 공주대학교 정보통신공학부 부교수. 2000. 9~현재 미국전기·전자공학회(IEEE) Senior Member. <주관심분야: 광통신 및 위성통신>

金 成 男(正會員)
1998년 7월 고려대학교 전자공학과 박사
1998년 7월 ~ 한국전자통신 연구소 연구원



金 壽 遠(正會員) 第38卷 SC編 第 6號 參照
현재 : 고려대학교 전기전자전파공학부 정교수