

Optimal Layout Methods for MOSFETs of Ultra Low Resistance

金 俊 燁*
(Joon-Yub Kim)

Abstract - New layout methods for implementing MOS switches of ultra low channel resistance are presented. These area-effective layout methods include the waffle structure, zipper structure, star zag structure and fingered waffle structure. The design equations for these new layout structures are analyzed. The area-effectiveness of these structures is compared with that of the conventional alternating bar structure. MOS switches of the waffle structure were fabricated using a standard 0.25um CMOS process. The experimental characterization results of the fabricated MOS switches are presented. The analytical comparison and experimental results show that area reductions over 40% are achievable with the new structures.

Key Words : MOSFET, MOS Switch, Layout, Low Resistance Switch

1. 서 론

근래 전자제품의 동향은 다기능화 되면서도 여기에 소형화와 아울러 시장 경쟁력에 부합되는 낮은 가격을 요구하고 있다. 특히 제품의 가격 경쟁과 소형화 지향은 휴대형 전자제품에서 두드러지며, 휴대형 전자제품은 앞으로 통신산업의 발전과 함께 그 비중이 더욱 증대될 전망이다. 이러한 전자제품의 다기능화와 경박단소화는 핵심부품인 반도체 IC를 더욱 작게 만드는 것과 동시에 IC의 고집적화를 요구하고 있다. 이러한 요구에 부응하고자 필요한 성능의 회로를 보다 간단히 실현하기 위한 노력이 꾸준히 기울여 지고 있으나 이에 요구되는 사양은 계속 까다로워지고 있는 실정이라서 그 한계성을 갖고 있으며 이러한 방법으로 지대한 면적 면에서의 개선을 기대하기는 어렵다고 하겠다. 이에 반하여 집적회로에서 MOSFET이 극히 낮은 Turn-on 저항의 스위치 등으로 사용되는 경우, 그 주변의 수 백 개 또는 수 만 개의 소자로 이루어진 복잡한 기능의 회로보다도 오히려 단일 MOSFET이 반도체 위에서 차지하는 면적이 큰 경우가 흔히 발견된다. 이러한 예는 PCMCIA Card 및 Universal Serial Bus 등의 Power Interface Switch 또는 Regulator 및 High Output Power Amplifier의 Output Stage 등에서 필요한 수 mm 이상의 채널 폭을 갖는 MOSFET에서 흔히 볼 수 있다 [1-3]. 이렇게 큰 면적을 소모하는 초대형 MOSFET이 차지하는 면적을 개선하는 것

은 IC의 소형화를 위하여 가장 효율적인 부분이라고 하겠다.

현재 큰 채널 폭(W)의 MOSFET은 여러 개의 Finger를 가진 Alternating Bar 구조나 이를 변형한 구조로 구현되고 있다 [4]. 본 논문에서는 IC의 고집적화에 대한 요구가 증대되고 있는 시점에서 절실히 요구되는 큰 채널 폭(W)의 MOSFET을 최소의 면적으로 구현할 수 있는 새로운 배치설계방안을 제시하고 기존의 배치설계와 면적 면에서의 효율을 비교한다.

2. MOSFET 스위치의 저항 성분 분석

MOSFET 스위치의 양단간 저항은 세 가지 저항 성분의 합으로 표현할 수 있다. 첫째 성분은 Transistor 자체의 채널의 저항을 나타내는 RFET이고 실질적인 W/L 비율과 $(V_{GS}-V_T)$ 전압에 의해 결정된다. 두 번째 성분은 스위치의 Drain과 Source Diffusion에의 Contact 저항 R_{VIA} 이다. 그리고 세 번째 성분은 Diffusion 영역에서의 채널의 끝과 Contact 사이의 직렬 저항 R_{DIFF} 이다. Source 및 Drain을 연결하기 위한 Metal과 관련된 저항은 일반적으로 이 세 가지 저항에 비하면 무시할 수 있을 만큼 작다. 따라서 MOS 스위치의 저항 R_{DS} 는 다음과 같이 정의 할 수 있다.

$$R_{DS} = R_{FET} + R_{VIA} + R_{DIFF} \quad (1)$$

그림 1에 보인 배치구조를 가진 단순한 MOSFET에서, Gate와 Source 사이의 전압이 V_{GS} 이고, R_{CON} 는 Contact 저항, K' 는 MOSFET의 Transconductance, V_T 는 Threshold 전압, R_{sq} 는 Diffusion 영역의 Sheet Resistance라 할 때,

* 正 會 員 : 世宗大學校 電子工學科 助教授 · 工博
 接受日字 : 2002年 10月 28日
 最終完了 : 2002年 11月 24日

$$R_{FET}=(L/W) \times [1/\{K \times (V_{GS}-V_T)\}] \quad (2)$$

$$R_{VIA} = 2 \times R_{CONT} \quad (3)$$

$$R_{DIFF}=R_{sq} \times (l_1+l_2)/W \quad (4)$$

로 주어진다. 최소 크기로 구현된 MOSFET에서 각 저항 성분을 계산해 보면, Submicron 공정에서 보편적인 경우인 $W=L$, $K=100\mu A/V^2$, $V_{GS}=3V$, $V_T=0.8V$, $R_{CONT}=10\Omega$, $R_{sq}=10\Omega/\square$, $(l_1+l_2)=3W$ 를 가정할 때, $R_{FET}=4,545\Omega$, $R_{VIA}=20\Omega$, $R_{DIFF}=30\Omega$ 이 되고 전체 저항 $R_{DS}=4,595\Omega$ 이 된다. 따라서 Submicron 공정에서도 R_{VIA} 는 전체 저항의 0.44%, R_{DIFF} 는 전체 저항의 0.65%에 불과하며 채널의 저항을 나타내는 R_{FET} 가 전체저항의 대부분임을 알 수 있다.

일반적인 레이아웃 방식에서는 넓은 채널 폭(W)의 MOSFET을 설계할 경우 다수의 Contact를 사용하여 R_{VIA} 와 R_{DIFF} 를 최소화한다. 이 경우 R_{VIA} 와 R_{DIFF} 는 R_{FET} 에 거의 선형적으로 비례하며 submicron 공정에서도 R_{VIA} 와 R_{DIFF} 의 저항 성분은 MOSFET의 전체 저항값에 비하여 각각 1%를 넘지 않는다. 따라서 MOSFET의 Turn-on 저항을 줄이기 위해서는 R_{FET} 성분을 최소화하기 위한 방안이 중요하다.

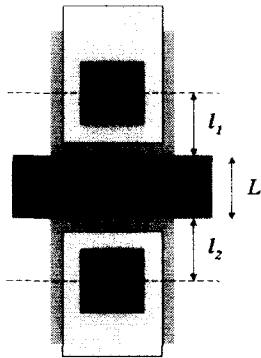


그림 1 MOSFET의 구조
Fig. 1 MOSFET dimensions

3. 배치설계의 효율성 비교 방법

일반적으로 W/L 값이 큰 MOSFET은 작은 단위 구조(Reference Cell)를 반복적으로 합성하여 만들 수 있다. 만일, R_{des} 이 설계하고자 하는 스위치의 Turn-on 저항이고 R_{VIA} 와 R_{DIFF} 은 무시한다면, 이 스위치를 합성하기 위해 필요한 Area는 다음과 같다.

$$A=(R_{ref} \times A_r)/R_{des} \quad (5)$$

R_{ref} 는 Reference Cell의 저항이고 A_r 은 Reference Cell의 면적이다. Reference Cell의 저항 R_{ref} 는 다음과 같이 표현된다.

$$R_{ref} = 1/[\{K \times (V_{GS}-V_T)\} \times \{W/L_{eff}\}] \quad (6)$$

W/L_{eff} 는 Reference Cell의 유효한 W/L 비율이다. Reference Cell의 Normalized Cell Area, A_{rn} 을 (7)과 같이 정의할 수 있는데, 이 값을 비교하면 각 구조가 단위 W/L_{eff} 를 구현하는 데에 필요로 하는 면적을 명료하게 비교할 수 있다.

$$A_{rn}=A_r/(W/L_{eff}) \quad (7)$$

4. 효율적인 배치설계법

4.1 Alternating Bar 구조

그림 2는 기존의 Alternating Bar 구조에서 Metal을 생략한 것이다. 이 구조는 그림 2에 함께 보인 Reference Cell의 반복적 조합으로 볼 수 있다. 이 Reference Cell의 면적 A_r 및 W/L_{eff} 와 Alternating Bar 구조의 A_{rn} 은 표 1의 파라미터들로 표현하면 각각 다음과 같다.

$$A_r=(d_3+d_6) \times (d_1+d_3+2 \times d_4) \quad (8)$$

$$W/L_{eff}=(d_3+d_6)/d_1 \quad (9)$$

$$A_{rn}=d_1 \times (d_1+d_3+2 \times d_4) \quad (10)$$

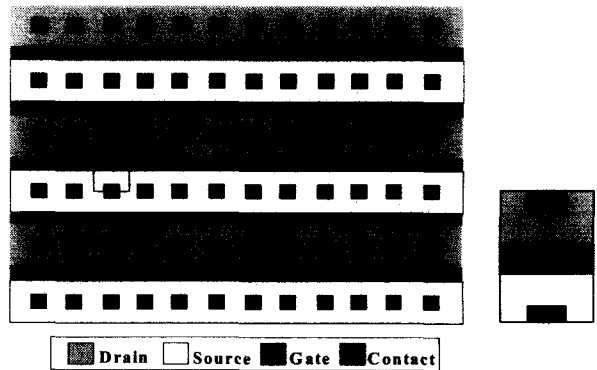


그림 2 Alternating bar 구조 및 reference cell
Fig. 2 Alternating bar structure and reference cell

표 1 MOSFET 배치설계와 관련된 design rules
Table 1 Design rules for MOSFET layout

Poly Width	d_1
Diffusion Width	d_2
Contact Opening	$d_3 \times d_3$
Contact to Poly	d_4
Diffusion Overlap of Contact	d_5
Contact-Contact Spacing	d_6
Poly-Poly Spacing	d_7

4.2 Waffle 구조

그림 3은 Waffle 구조이다. Waffle 구조는 기존의 Alternating Bar 구조의 수평 채널 외에 수직의 채널을 추가적으로 포함하여 단위 면적당 구현할 수 있는 채널의 폭이 넓다 [4, 5]. 이 구조는 그림 3의 Reference Cell의 2차원적인 반복 조합으로 볼 수 있다.

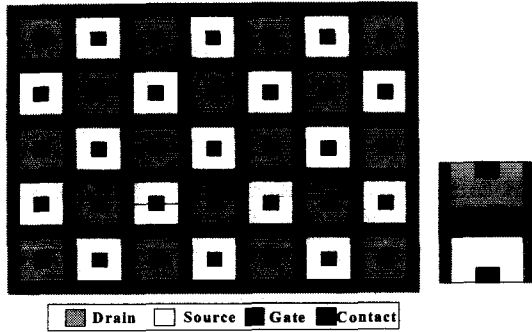


그림 3 Waffle 구조 및 reference cell
Fig. 3 Waffle structure and reference cell

그림 3의 Reference Cell의 면적 A_r 및 W/L_{eff} 와 이 Waffle 구조의 A_m 는 다음과 같이 구해진다.

$$A_r = (d_3 + 2 \times d_4 + d_1)^2 \quad (11)$$

$$W/L_{eff} = 2 \times (d_3 + 2 \times d_4) / d_1 \quad (12)$$

$$A_m = d_1 \times (d_3 + 2 \times d_4 + d_1)^2 / (2 \times (d_3 + 2 \times d_4)) \quad (13)$$

4.3 Zipper 구조

그림 4에 보인 구조는 Zipper 구조이다. 이 Zipper 구조는 Diffusion 영역의 저항 성분을 상대적으로 무시할 수 있는 범위에서 유효 채널폭을 효과적으로 늘릴 수 있는 구조로, 그림 4에 함께 보인 Reference Cell의 상호연결로 볼 수 있다.

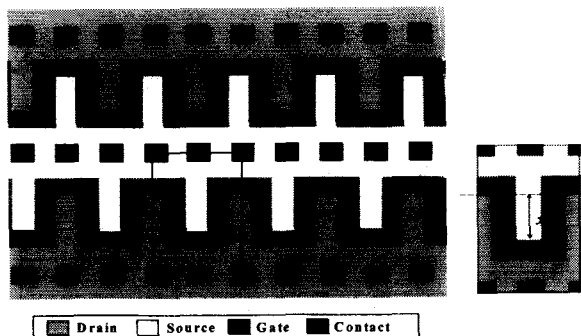


그림 4 Zipper 구조 및 reference cell
Fig. 4 Zipper structure and reference cell

이 Reference Cell의 W/L_{eff} 값을 직접 정확히 계산하기는 어렵다. 특히 Gate가 직각으로 꺾인 부분의 정사각형 영역에서는 채널을 흐르는 전류가 부챗살 모양으로 흐르게 된다. [6, 7]은 이러한 Non-Rectangular Gate 구조의 유효한 W/L_{eff} 를 간접적으로 계산하는 방법을 소개하고 있는데, 역트랜지스터를 정의하고 이 역트랜지스터의 등가 W/L 값의 역수로서 원하는 트랜지스터의 유효한 W/L 값을 구한다. 이러한 방법으로 Gate의 직각으로 꺾인 구석부분의 정사각형 영역의 최소 W/L_{eff} 를 구하면 0.55가 된다.

그림 4에서 Zipper의 깊이가 $x=d_1$ 일 때 Zipper 구조의 A_r , W/L_{eff} 및 A_m 은 다음과 같다.

$$A_r = 2 \times (d_1 + d_2) \times (3 \times d_1 + d_4 + 2 \times d_4) \quad (14)$$

$$W/L_{eff} = 6.2/1 \quad (15)$$

$$A_m = 0.323 \times (d_1 + d_2) \times (3 \times d_1 + d_3 + 2 \times d_4) \quad (16)$$

Deep Zipper 구조로서 $x=3 \times d_1$ 일 때는 다음과 같다.

$$A_r = 2 \times (d_1 + d_2) \times (5 \times d_1 + d_3 + 2 \times d_4) \quad (17)$$

$$W/L_{eff} = 10.2/1 \quad (18)$$

$$A_m = 0.196 \times (d_1 + d_2) \times (5 \times d_1 + d_3 + 2 \times d_4) \quad (19)$$

또, 무한 Deep Zipper 구조로 $x=\infty$ 일 때는 다음과 같다.

$$A_m = d_1 \times (d_1 + d_2) \quad (20)$$

4.4 Star Zag 구조

그림 5에 보인 구조는 Star Zag 구조이다. Star Zag 구조는 Zipper 구조의 특징을 활용하되 Zipper 구조의 경우 Zipper의 깊이가 깊어질 경우 Diffusion 영역의 저항이 증가하는 문제점을 고려하여, 깊지 않은 Diffusion 영역만으로 효과적으로 W/L_{eff} 값을 최대화하기 위한 방법으로 고안된 구조이다.

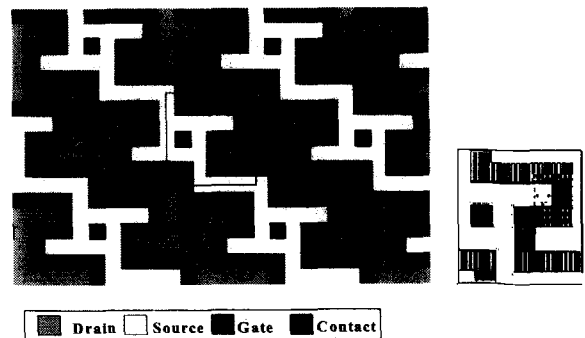


그림 5 Star zag 구조 및 reference cell
Fig. 5 Star zag structure and reference cell

이 구조에서 $d_1=d_2=d_4$, $(d_3+2 \times d_4) < (3 \times d_1)$ 이라 가정하면,

$$A_r = 36 \times d_1^2 \quad (21)$$

$$W/L_{eff} = 13.3 \quad (22)$$

$$A_{rn} = 2.71 \times d_1^2 \quad (23)$$

을 얻을 수 있다.

4.5 Fingered Waffle 구조

그림 6은 Fingered Waffle 구조를 나타내고 있다. 이 구조는 Waffle 구조에 Zipper 구조의 특징을 더하여 Waffle 구조의 W/L_{eff} 를 더욱 최대화하기 위하여 고안된 구조이다.

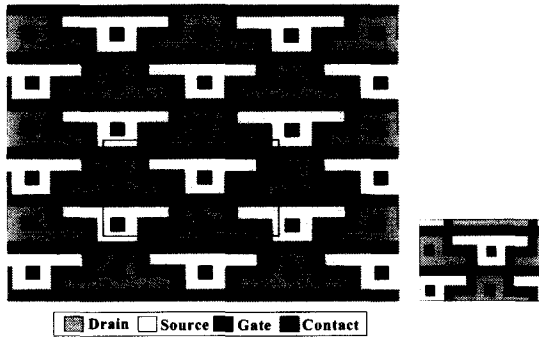


그림 6 Fingered waffle 구조 및 reference cell
Fig. 6 Fingered waffle structure and reference cell

이 구조에서도 $d_1=d_2=d_4$ 와 $(d_3+2 \times d_4) < (3 \times d_1)$ 을 가정하고 W/L_{eff} 를 구하면 그 결과는 다음과 같다.

$$A_r = 8 \times (10 + 2 \times x) \times d_1^2 \quad (24)$$

$$W/L_{eff} = 24 + 8 \times x + 8 \times 0.55 = 28.4 + 8 \times x \quad (25)$$

$$A_{rn} = \{8 \times (10 + 2 \times x) / (28.4 + 8 \times x)\} \times d_1^2 \quad (26)$$

5. 고안된 구조의 효율성 비교

앞에서 소개한 구조들을 정량적으로 비교하기 위하여 2.3절에서 구한 각 구조의 Normalized Area A_{rn} 을 계산하여 아래 표 2에 정리하였다. 표 2에는 Alternating Bar 구조의 Normalized Area에 대한 다른 구조의 Normalized Area의 상대적인 증감을 괄호 속에 함께 표시하였다. Normalized Area 및 이의 상대적인 증감은 공정의 Design Rule에 따라 달라지는데, 표 2의 계산을 위하여 표 3에 보인 바와 같은 네 가지의 보편적인 Design Rule을 상정하고 각각의 경우에 각 구조의 Normalized Area를 계산하여 비교하였다.

표 2에서, Waffle 구조의 경우 Design Rule 1, 3, 4가 적용될 경우 Alternating Bar 구조에 비하여 30~33.1%의 면

적을 절약할 수 있음을 알 수 있다. Zipper 구조의 경우 Design Rule 3 또는 4의 경우 22%의 면적을 쉽게 얻을 수 있으며 이상적으로 50%까지 면적을 절약할 수 있다. Star Zag 구조의 경우 32.5%의 면적을 절약할 수 있으며, Fingered Waffle 구조의 경우 29.4%에서 40% 이상의 절약까지 기대할 수 있다.

표 2 Normalized area를 통한 각 구조의 비교

Table 2 Comparison of normalized area

구 조	Normalized Area, A_{rn}			
	DR1	DR2	DR3	DR4
Alternating Bar	14.0	11.0	16.0	4.0
Waffle	9.8 (-30.0%)	8.6 (-21.8%)	10.7 (-33.1%)	2.7 (-33.1%)
Zipper	$x=d_1$ 14.2 (1.4%)	12.3 (8.1%)	15.5 (-3.1%)	3.9 (-3.1%)
	$x=3 \times d_1$ 11.8 (-15.7%)	10.6 (-3.6%)	12.5 (-22%)	3.1 (-22%)
	$x=\infty$ 8.0 (-42.9%)	8.0 (-27.3%)	8.0 (-50.0%)	2.0 (-50.0%)
Star Zag			10.8 (-32.5%)	2.7 (-32.5%)
Fingered Waffle	$x=0$		11.3 (-29.4%)	2.8 (-29.4%)
	$x=2 \times d_1$		10.1 (-36.9%)	2.5 (-36.9%)
	$x=4 \times d_1$		9.5 (-40.6%)	2.4 (-40.6%)
	$x=10 \times d_1$		8.9 (-44.4%)	2.2 (-44.4%)

6. 최적배치설계의 구현 및 측정

6.1 테스트 Chip의 설계 및 측정

4절에서 고안되고 5절에서 그 효율성을 비교해 본 새로운 배치설계법의 실험적인 검증을 위하여 표준적인 0.25 μ m 2-poly 3-metal CMOS 공정을 이용하여 테스트 Chip을 구현하였다. 테스트 Chip에는 Waffle 구조를 적용 채널폭(W)이 다른 4개(M1, M2, M3, M4)의 초저저항 MOSFET을 배

표 3 Design rules

Table 3 Design rules

Parameter	DR1	DR2	DR3	DR4
d_1	2	2	2	1
d_2	2	2	2	1
d_3	2	1.5	2	1
d_4	1.5	1	2	1
d_5	1	1	2	1
d_6	2	1	2	1

시설계하였는데, 구현된 4개의 초저저항 MOSFET의 유효 채널폭(W)과 각 MOSFET을 구현하는데 사용된 면적을 정리하면 표 4에 보인 바와 같다.

이 칩에 포함된 각 MOSFET의 Drain과 Source에 연결된 핀 간의 저항 R_M 을 Gate-Source 간의 전압을 변화시켜 가며 측정하였는데, 4개의 Chip을 사용하여 반복 측정된 값 및 그 평균을 표 5에 정리하였다.

표 4 구현된 MOSFET의 유효 채널폭과 사용된 면적
Table 4 Effective channel width of designed MOSFETs and area

MOSFET	유효 채널폭 W [μm]	면적 A [μm^2]
M1	3,557.0	2,831.78
M2	14,400.4	11,378.71
M3	57,946.4	45,618.17
M4	232,449.6	182,679.48

표 5 각 MOSFET의 turn-on 저항 측정값

Table 5 Measured turn-on resistance

V_{GS}	0V	0.5V	1V	1.5V	2V	2.5V
R_{M1} [Ω]	0.606M	0.602M	5.566	1.236	0.861	0.737
	0.614M	0.607M	5.746	1.292	0.898	0.765
	0.612M	0.606M	5.248	1.255	0.878	0.751
	0.612M	0.608M	5.6	1.26	0.87	0.74
R_{M1} 평균 [Ω]	0.611M	0.605M	5.504	1.261	0.877	0.748
R_{M2} [Ω]	0.610M	9.5K	1.491	0.48	0.398	0.358
	0.611M	7K	1.516	0.5	0.4	0.368
	0.611M	7.61K	1.423	0.481	0.393	0.361
	0.61M	10K	1.465	0.496	0.4	0.368
R_{M2} 평균 [Ω]	0.61M	8.525K	1.474	0.489	0.396	0.364
R_{M3} [Ω]	0.612M	1.49K	0.534	0.282	0.258	0.25
	0.608M	2.55K	0.503	0.266	0.243	0.235
	0.611M	2.386K	0.516	0.275	0.252	0.243
	0.61M	2K	0.54	0.28	0.26	0.25
R_{M3} 평균 [Ω]	0.61M	1.865K	0.523	0.276	0.253	0.245
R_{M4} [Ω]	0.609M	2.120K	0.275	0.216	0.21	0.208
	0.611M	2.047K	0.281	0.216	0.209	0.207
	0.612M	0.55K	0.289	0.228	0.221	0.219
	0.61M	3.11K	0.3	0.235	0.227	0.215
R_{M4} 평균 [Ω]	0.61M	2.42K	0.286	0.224	0.217	0.212

이 측정값을 그래프로 나타내면 그림 7에 보인 바와 같다. 같은 Gate-Source 전압에 대하여 각 MOSFET의 R_M 값이 유효 채널폭에 반비례하여 $M1 \rightarrow M2 \rightarrow M3 \rightarrow M4$ 순으로 감소함을 볼 수 있다. 또한, Gate-Source 간의 전압이 2.5V 일 때 가장 낮은 저항을 가지는 M4의 경우 평균 0.212 Ω 의

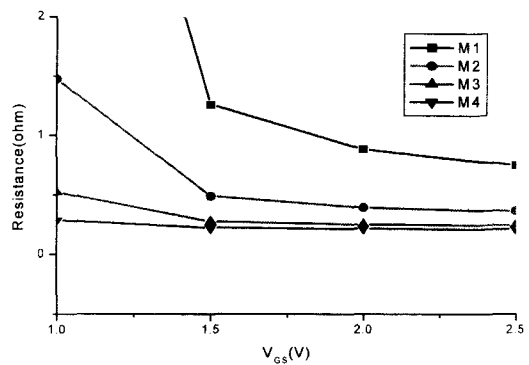
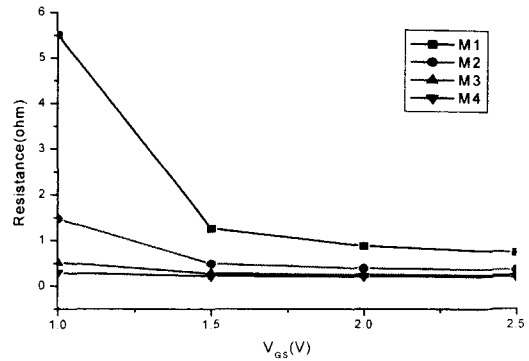


그림 7 V_{GS} 의 변화에 따른 R_M
Fig. 7 R_M as a function of V_{GS}

저항값을 나타내고 있다.

그러나 유의해야 할 점은 측정된 R_M 값은 칩 외부의 Pin과 Pin 사이에서 측정된 값으로 그림 8에 보인 바와 같이 측정하고자 하는 Drain-Source 간의 저항 외에 Drain과 Pin 간의 저항 및 Source와 Pin 간의 저항까지 포함되어 측정된 값이다 [8]. 이러한 오차를 초래하는 요소들은 Source나 Drain에서 Pad까지의 Metal 라인의 저항, Wire Bonding의 Contact 저항, Bonding Wire의 저항, 그리고 Bonding Wire에서 Pin까지의 저항 등 여러 기생 저항 성분들의 영향을 모두 포함하는데, 측정하고자 목표하는 MOSFET의 Drain-Source 간 저항이 아주 적은 넓은 채널폭의 초저저항 MOSFET의 경우 이들 기생 성분을 무시할 수 없다. 따라서 측정된 데이터로부터 이들 기생 저항 성분들을 보정하여 정확한 Drain-Source 간의 MOSFET의 Turn-on 저항을 계산할 필요가 있다.

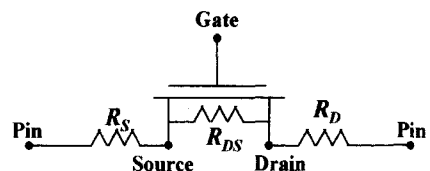


그림 8 R_M 측정시의 오차 요소
Fig. 8 Error elements involved in measuring R_M

6.2 측정된 저항값의 보정

앞 절에서 지적한 바와 같이 측정에 포함된 기생 저항을 보정하기 위한 방법은 다음과 같다. 그림 8에서와 같이 Drain 쪽의 기생저항 성분을 R_D , Source 쪽의 기생저항 성분을 R_S 라 하면 측정시 영향을 미치는 총 기생저항 성분을 다음과 같이 표현할 수 있다.

$$R_P = R_D + R_S \quad (27)$$

MOSFET의 Drain-Source 간의 실제 Turn-on 시의 저항을 R_{DS} 라 할 때, 측정된 저항 R_M 은

$$R_M = R_P + R_{DS} \quad (28)$$

이다. 여기서 기생 저항 성분 R_P 의 값은 $M1, M2, M3, M4$ 를 설계함에 있어서 Source 및 Drain에서 Pin까지의 구조를 동일하게 구현하였으므로 $M1, M2, M3, M4$ 에 대하여 동일한 값을 갖는다고 할 수 있다.

$M1$ 과 $M2$ 를 사용하여 측정된 R_{M1} 과 R_{M2} 로부터 기생 저항 성분 R_P 를 구할 수 있는데, R_{M1} 과 R_{M2} 는 각각

$$R_{M1} = R_P + R_{DS1} \quad (29)$$

$$R_{M2} = R_P + R_{DS2} \quad (30)$$

으로 표현할 수 있다. 한편

$$W_2 \approx 4W_1 \quad (31)$$

이므로, 같은 V_{GS} 값에 대하여

$$R_{DS1} \approx 4R_{DS2} \quad (32)$$

이다. 같은 V_{GS} 값에서 측정된 R_{M1} 과 R_{M2} 값을 사용하면,

$$R_{M1} = R_P + 4R_{DS2} \quad (33)$$

$$R_{M2} = R_P + R_{DS2} \quad (34)$$

이다. 식 (33) 와 식 (34)에서

$$3R_{DS2} = R_{M1} - R_{M2} \quad (35)$$

$$R_{DS2} = (R_{M1} - R_{M2})/3 \quad (36)$$

이고, 식 (30)에 식 (36)을 대입하면 R_P 는

$$R_P = \frac{4}{3}R_{M2} - \frac{1}{3}R_{M1} \quad (37)$$

로 구해진다.

유사한 방법으로 R_{M1} 과 R_{M3} , R_{M1} 과 R_{M4} , R_{M2} 와 R_{M3} ,

R_{M2} 와 R_{M4} , R_{M3} 와 R_{M4} 로부터도 R_P 의 값을 구하는 식을 유도할 수 있는데, 이를 표 6에 정리하였다. 표 5의 V_{GS} 가 2V인 경우에 측정된 R_M 들을 사용하여 R_P 값을 계산하면 그 결과는 표 6의 셋째 열에 보인 바와 같다. 계산된 R_P 값은 거의 일치함을 볼 수 있으며 그 평균값은 211m Ω 이다.

표 6 기생 저항성분

Table 6 Parasitic resistance

R_{M1}, R_{M2}	$R_P = \frac{4}{3}R_{M2} - \frac{1}{3}R_{M1}$	0.236
R_{M1}, R_{M3}	$R_P = \frac{16}{15}R_{M3} - \frac{1}{15}R_{M1}$	0.211
R_{M1}, R_{M4}	$R_P = \frac{64}{63}R_{M4} - \frac{1}{63}R_{M1}$	0.206
R_{M2}, R_{M3}	$R_P = \frac{4}{3}R_{M3} - \frac{1}{3}R_{M2}$	0.205
R_{M2}, R_{M4}	$R_P = \frac{16}{15}R_{M4} - \frac{1}{15}R_{M2}$	0.205
R_{M3}, R_{M4}	$R_P = \frac{4}{3}R_{M4} - \frac{1}{3}R_{M3}$	0.205
평균		0.211

이 R_P 값으로 표 5의 측정된 R_M 값을 보정하여 실제 MOSFET의 Drain-Source 간의 저항 R_{DS} 를 구하면 표 7과 같다. 그림 9는 표 7의 결과를 그래프로 보인 결과이다. 0.25um 공정에서 45,618um²의 면적에 구현된 $M3$ 의 R_{DS3} 는 V_{GS} 가 2V 일 때 43m Ω , 2.5V일 때 35m Ω 의 초저저항값을 가짐을 볼 수 있다. $M3$ 보다 4배의 유효 채널폭을 갖는 $M4$ 의 경우, 2V 및 2.5V의 V_{GS} 에 대하여 채널 저항은 극히 작은 값을 가지게 되며, 이는 측정상 및 보정상의 오차에 비하여 상대적으로 크지 않으므로 이 결과를 신뢰하기에는 다소 무리가 있다. 이 두 데이터를 제외하면 보정된 데이터는 설계시에 예상된 R_{DS} 의 변화 양상과 잘 일치함을 표 7과 그림 9에서 볼 수 있다. 표 8은 표 7의 측정된 저항값 및 표 4의 채널폭을 사용하여 단위 채널 폭 당 구현된 채널의 conductance를 계산하여 정리한 것이다. $V_{GS}=1.5V$ 에서 271.3 Ω/m , $V_{GS}=2.0V$ 에서 398.7 Ω/m 그리고 $V_{GS}=2.5V$ 에서 488.9 Ω/m 이 구현되었음을 알 수 있다.

표 7 각 MOSFET의 turn-on 저항

Table 7 Turn-on resistance of MOSFETs

R_{DS1} [Ω]	5.294	1.051	0.667	0.538
R_{DS2} [Ω]	1.264	0.279	0.186	0.154
R_{DS3} [Ω]	0.313	0.066	0.043	0.035
R_{DS4} [Ω]	0.076	0.014	(0.007)	(0.002)

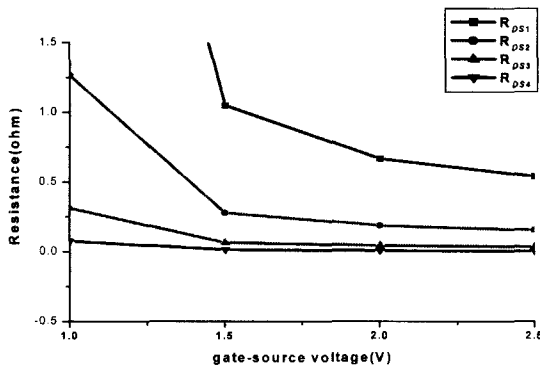
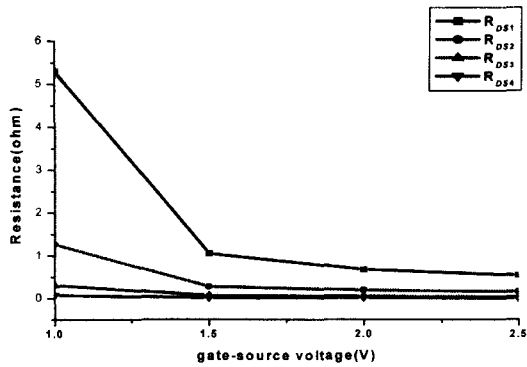


그림 9 V_{GS} 의 변화에 따른 R_{DS}
Fig. 9 R_{DS} as a function of V_{GS}

6.3 최적배치설계의 단위 면적 당 유효 채널폭 및 Conductance

위에서 Waffle 구조를 적용하여 구현된 MOSFET의 Turn-on 저항값을 실험적으로 구하였는데, 이를 바탕으로 Waffle 구조의 효율성을 알아보기 위하여 단위면적 당 구현된 유효 채널폭 및 Conductance를 계산하면 표 9와 그림 10에 보인 바와 같다. 0.25um 공정에서 μm^2 당 평균 유효 채널폭 1.266um를 구현할 수 있었고, μm^2 당 구현 가능한 Conductance는 $V_{GS}=1.5\text{V}$ 에서 $343.5\mu\text{S}/\mu\text{m}^2$, $V_{GS}=2.0\text{V}$ 에서는 $503.9\mu\text{S}/\mu\text{m}^2$, 그리고 $V_{GS}=2.5\text{V}$ 에서는 $617.8\mu\text{S}/\mu\text{m}^2$ 의 높은 값을 얻을 수 있었다.

7. 결론

Turn-on 시에 Source와 Drain의 양단간에 극히 적은 저항이 요구되는 MOS 스위치를 배치설계하는 데에 있어 면적 면에서 효율적으로 설계할 수 있는 구조로 기존의 Alternating Bar 구조 외에 Waffle 구조, Zipper 구조, Star Zag 구조, Fingered Waffle 구조를 제안하였다. 제안하였다. 제안된 각 구조에서 단위 W/L_{eff} 를 구현하는데 필요한 면적을 분석하여 이 들을 비교함으로써 제안된 각 구조가 Alternating Bar 구조에 비하여 면적 면에서 얼마나 효율적

표 8 단위 채널폭 당 Conductance

Table 8 Conductance per unit channel width

$G_{DS1}/W1$ [S/m]	53.1	267.5	421.5	522.6
$G_{DS2}/W2$ [S/m]	54.9	248.9	373.3	450.9
$G_{DS3}/W3$ [S/m]	55.1	261.5	401.3	493.1
$G_{DS4}/W4$ [S/m]	56.6	307.3		
평균	54.9	271.3	398.7	488.9

표 9 단위 면적 당 conductance

Table 9 Conductance per unit area

M1	3,557.0	2,831.78	1.256	66.7	336.0	529.4	656.4
M2	14,400.4	11,378.71	1.265	69.5	315.0	472.5	570.7
M3	57,946.4	45,618.17	1.270	70.0	332.1	509.8	626.3
M4	232,449.6	182,679.48	1.272	72.0	391.0		
평균			1.266	69.6	343.5	503.9	617.8

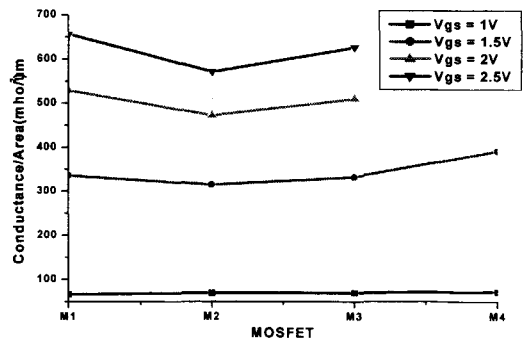


그림 10 단위 면적당 conductance

Fig. 10 Conductance per unit area

인 가를 정량적으로 비교하였다. 제안된 구조를 이용함으로써 표준적인 Design Rule이 적용되는 공정에서 30% 정도의 면적을 쉽게 절감할 수 있으며, 공정의 Design Rule에 따라 40% 이상의 절감도 가능한 것을 보였다.

또한, Waffle 구조로 최적 배치설계된 MOSFET을 IC로 구현하고 이를 측정하여, 0.25um 공정에서 μm^2 당 유효 채널폭 1.266um를 구현할 수 있음과, $V_{GS}=2.5\text{V}$ 에서 μm^2 당 $617.8\mu\text{S}$ 의 높은 Conductance를 구현할 수 있음을 보였다.

다기능의 고집적회로를 보다 소형화하기 위해서는 근본적으로 회로의 설계단계에서 배치설계의 단계까지 최적의 설계를 요구한다. 그러나 회로 설계의 최적화를 통한 소형화는 그 근본적인 한계성을 가지고 있으며, 막대한 면적을 소모하는 MOS 스위치의 면적을 최소화하는 것이 MOS 스위치를 포함하는 Mixed Signal 및 Analog IC의 소형화를 위하여 가장 효과적이라고 할 수 있다. 본 연구에서 얻어진 초저저항의 대형 MOSFET을 최소 면적으로 구현하는 배치설계기법은 나날이 고집적화에 대한 요구가 증대되고 있는 시점에서 IC의 소형화, 다기능 회로의 고밀도 집적화 및 개발되는 IC의 가격 경쟁력을 높이는 데에 기여할 것이다.

참 고 문 헌

- [1] A.I. Pressman, Switching Power Supply Design, McGraw-Hill, New York, 1998.
- [2] A.S. Sedra, K.C. Smith, Microelectronic Circuits, Oxford, New York, 1998.
- [3] R.L. Geiger, P.E. Allen, N.R. Strader, VLSI Design Techniques for Analog and Digital Circuits, McGraw-Hill, New York, 1990.
- [4] K. Laker and W. Sansen, Design of Analog Integrated Circuits and Systems, McGraw-Hill, New York, 1994.
- [5] D.A. Grant and J.G. Gowar, Power MOSFETs Theory and Applications, Wiley, New York, 1989.
- [6] P. Grignoux and R.L. Geiger, "Modeling of MOS transistors with nonrectangular-gate geometries", IEEE Transactions on Electron Devices, Vol. ED-29, No. 8, pp. 1261-1269, August 1982.
- [7] P. Grignoux, Electrical Characteristics of Non-Rectangular Gate Transitional MOSFETs, M.S. Thesis, Texas A&M University, College Station, TX, 1981.
- [8] H.B. Bakoglu, Circuits, Interconnections, and Packaging for VLSI, Addison-Wesley, New York, 1990.

저 자 소 개



김 준 엽 (金 準 葉)

1962년 7월 5일생. 1985년 서울대 공대 전기공학과 졸업. 1987년 6월 Univ. of California, San Diego, Dept. of Electrical and Computer Engineering 대학원 졸업(석사), 1995년 12월 Iowa State University, Dept. of Electrical and Computer Engineering 대학원 졸업(박사). 1995년 12월~1998년 2월 Texas Instruments, Dallas, Texas 재직, 1998년 3월~현재 세종대 전자공학과 조교수

Tel : 02-3408-3298

Fax : 02-3408-3329

E-mail : jkim@sejong.ac.kr