

패키지 반도체소자의 ESD 손상에 대한 실험적 연구

김상렬[†] · 김두현* · 강동규*

안동과학대학 산업보건과 · *충북대학교 안전공학과
(2002. 6. 14. 접수 / 2002. 11. 20. 채택)

Experimental Investigation of the Electrostatic Discharge(ESD) Damage in Packaged Semiconductor Devices

Sang-Ryull Kim[†] · Doo-Hyun Kim* · Dong-Kyu kang*

Department of Occupational Health, Andong Science College

*Department of Safety Engineering, Chungbuk National University

(Received June 14, 2002 / Accepted November 20, 2002)

Abstract : As the use of automatic handling equipment for sensitive semiconductor devices is rapidly increased, manufacturers of electronic components and equipments need to be more alert to the problem of electrostatic discharges(ESD). In order to analyze damage characteristics of semiconductor device damaged by ESD, this study adopts a new charged-device model(CDM), field-induced charged model(FCDM) simulator that is suitable for rapid, routine testing of semiconductor devices and provides a fast and inexpensive test that faithfully represents ESD hazards in plants. High voltage applied to the device under test is raised by the field of non-contacting electrodes in the FCDM simulator, which avoids premature device stressing and permits a faster test cycle. Discharge current and time are measured and calculated. The characteristics of electrostatic attenuation of domestic semiconductor devices are investigated to evaluate the ESD phenomena in the semiconductors. Also, the field charging mechanism, the device thresholds and failure modes are investigated and analyzed. The damaged devices obtained in the simulator are analyzed and evaluated by SEM. The results obtained in this paper can be used to prevent semiconductor devices from ESD hazards and be a foundation of research area and industry relevant to ESD phenomena.

Key words : electrostatic discharge(ESD), charged device model(CDM), field-induced device model(FCDM), scanning electron microscope(SEM)

1. 서 론

정전기방전(ESD)현상은 주변매질의 절연내력의 파괴, 또는 접지체와의 접촉으로 인하여 대전 물체가 가진 에너지가 순간적으로 방출되는 현상이다. 특히 정전기방전현상에 의한 방전에너지가 수 [mJ] 정도로 작을지라도 가연성가스·증기에 착화원으로 작용하여 폭발·화재를 일으킬 수도 있으며 반도체소자를 파괴시키거나 전자노이즈를 발생시켜 컴퓨터, 자동생산기기 등 각종 전자기기의 오동작과 같은 장애를 유발하기도 한다^{1,2)}. 정전기의 대전은 정

전기 발생 그 자체로서가 아니라 정전기가 발생과 누설의 차이로 나타내는데 대전상태를 알 수 있는 방법으로는 대전전하량의 측정과 전하에 의해 발생되는 표면전위의 측정이 있으며, 또한 전하의 누설 특성을 측정하는 방법으로 전하감쇠측정이 있다. 정전기의 측정에 있어서 전압은 높고 전류가 미소하고, 전하가 공간적으로 분포되는 정전기의 특성으로 인해 일반적인 측정기로는 측정이 곤란하여 특별한 측정방법으로 측정하여야 한다.

정전기방전(Electrostatic Discharge ; ESD) 해석모델 중 유도대전소자모델(Field-induced Charged Device Model ; FCDM)³⁾은 소자주변의 전기장(전계) 변화에 의해 소자내부에 발생하는 과도전압, 과전류에 기인하여 유도된 ESD현상을 해석하는 모델이다. 산화막

[†]To whom correspondence should be addressed.
kisar@andong-c.ac.kr

게이트 구조를 가진 소자의 경우 외부 전계에 의해 대전되어 피해를 수반하게 되는데 대부분 ESD 문제들은 소자가 주위 환경의 충전체 근처에 있을 때 정전유도에 의해 발생되기 때문에 이러한 생산공정에서 FCDM의 적용이 유용하다. 반도체소자의 ESD에 의한 손상특성을 알아보기 위하여 우선 소자의 형태와 패키지 재료, 핀 수에 따른 반도체소자의 정전기 완화특성⁴⁵⁾을 파악하였고, FCDM 테스트를 이용하여 인가전압에 따른 반도체소자의 손상여부⁶⁾와 실제 반도체소자의 ESD에 의한 방전전하량과 방전에너지, 방전전류 및 방전시간을 측정하여 반도체소자의 ESD에 의한 손상특성⁷⁾도 해석하였다.

따라서 이상과 같은 실험결과를 통하여 반도체소자를 생산·조립하는 산업현장에서 반도체소자의 ESD에 의한 손상 위험성을 파악하는데 도움을 줄 수 있으며, 특히 패키지형 반도체소자의 포장이나 유통과정 및 사용과정에서 인체나 주위의 고전압 발생원으로부터 반도체소자에 전하가 유도되는 경우에 이에 대한 대책을 강구하는데 이용될 수 있을 것으로 기대된다. 또한 이것을 일반 산업체에 응용한다면 반도체소자뿐만 아니라 각종 전자부품에서의 ESD에 의한 오동작 및 장·재해를 분석하는데 기초자료로 활용될 수 있을 것으로 생각된다.

2. ESD 방전이론

2.1. 정전기 완화모델

본 실험과 관련된 정전기 완화모델⁹⁾에 대하여 살펴보면 다음과 같다. 시료에 전하를 인가하여 이 시료의 전위를 $V_0[V]$ 라 하면 t 초 후에는 누설전류에 의한 전하의 감소분만큼 시료전위가 강하하며, 그때의 전위 $V[V]$ 는 시료의 누설저항 $R_L[\Omega]$ 과 정전용량 $C[F]$ 에 의해 식 (1)로 주어진다.

$$V = V_0 \exp \{-t / (R_L \cdot C)\} \quad (1)$$

시료의 전하가 누설되어 감소하고 그 전위 V 가 초기의 전위 V_0 의 $1/2$ ($1/2$ 전압치)로 될 때의 시간 τ 를 반감기라 부른다. 식(1)에 $V = \frac{1}{2} V_0$ 를 대입하여 정리하면 반감기 τ 는 식(2), (3)과 같이 된다.

$$\tau = R_L \cdot C \cdot \ln 2 \quad (2)$$

$$R_L = \frac{\tau}{C \cdot \ln 2} \quad (3)$$

여기에서 반감기 τ 는 누설저항 R_L 과 비례 관계에 있으므로 반감기 τ 를 측정하면 대전체의 전하이동에 대한 난이도의 추정이 가능하다. V_0 의 크기는 시료의 누설전하와 코로나 방전에 의해서 공급된 전하가 평형을 이루는 곳에서 결정된다. 일반적으로 대전물체의 절연성능이 높을수록 V_0 가 높고, τ 가 커진다.

2.2. 유도대전소자모델(FCDM)의 방전이론

대부분 ESD 문제들은 소자가 주위 환경의 충전체 근처에 있을 때 정전유도에 의해 발생되기 때문에 이러한 생산공정에서 ESD 해석모델은 FCDM의 적용이 유용하다⁸⁾. FCDM을 반도체부품에 적용하기 위해서는 소자의 대전이 선행되어야 하는데 소자가 대전되는 경우는 두 가지로 고려할 수 있다. 즉, 근접 대전체로부터 소자로의 유도대전과 소자내의 절연부의 고정전하에 의한 전계로 인해 도전부에 유도된 이동 가능한 전하에 의한 대전이다. 전자는 외부 전계에 의한 대전을 의미하며 대전체에 의해 손상을 잘 입는 MOS소자와 같이 전계에 민감한 부품에서 쉽게 나타난다. 후자는 소자의 절연부로부터 전계유도에 의한 대전을 의미하며, 초기에 대전되지 않은 소자에서 소자의 대전된 절연부(패키지)에 의해 리드에 전하분리가 일어나고 분리된 한 극성의 전하가 지면으로 방전하게 되면 리드상에 반대극성의 잔류전하가 남게되는 과정으로 나타난다.

지면에 대한 소자의 정전용량은 정전기 방전시에 수반되는 방출 에너지량과 파괴한계치의 초과여부를 결정하는데 중요한 역할을 하며, 대전된 소자의 전하가 접지체를 통하여 방전이 이루어지는데, 지면에 대한 소자의 정전용량, 과도파의 전력을 소비하는 소자의 저항, 리드의 인덕턴스, 방전경로상의 저항, 방전경로상의 정전용량, 방전경로상의 인덕턴스 등과 같은 요소들을 고려하는 것이 일반적이다. 그러나 대부분 실제조건에서 방전경로상의 인덕턴스는 무시할 수 있는 정도이며 지면으로의 적은 임피던스 경로가 나타나는데 이는 방전경로상의 저항이 아주 적거나 방전경로상의 정전용량이 상당히 크기 때문이다. 이런 이유 때문에 적은 저항을 갖는 모델이 실제 상황을 단순화하거나 분석을 하는데 충분히 사용될 수 있다. 해석을 간단하게 하기 위해 위

와 같이 저항과 인덕턴스를 세분하지 않고 총 저항을 $R[\Omega]$, 인덕턴스 $L[H]$, 정전용량 $C[F]$ 라 하면 이 경우의 방전전류 파형은 식 (4)의 감쇠 정현파 (Damped sinusoid)로 주어진다⁹⁾.

$$i(t) = \frac{V_0}{\omega L} e^{-\alpha t} \sin \omega t \quad [A] \quad (4)$$

여기에서, $\alpha = R/2L$, $\omega = 2\pi f = \frac{1}{2L} \sqrt{4\frac{L}{C} - R^2} \approx \frac{1}{\sqrt{LC}}$

이다. 따라서 $f = \frac{1}{2\pi\sqrt{LC}}$ 이다. 또한 $V_0 =$ 초기의 대전전압이다.

유효면적을 A라 할 때 평균전력밀도는 식 (5)와 같이 주어진다.

$$\frac{P_{AV}}{A} = \frac{1}{tA} \int_0^t R i^2(t) dt \quad [W/cm^2] \quad (5)$$

방전경로상의 저항을 알고 있는 경우에 방전에너지는 식 (4)를 이용하여 계산 가능하며 아울러 방전 전하량의 계산도 가능하다. 이러한 에너지가 소자가 견딜 수 있는 어떤 임계값을 초과하게 되는 경우 잠정적으로 소자의 장애를 일으킬 수 있다. 이들은 FCDM을 적용하여 소자의 손상 여부를 알아보고자 할 때 중요한 자료를 제공한다.

3. 실험장치 및 방법

3.1. 정전기 완화실험

본 실험에서 사용한 Static Honestmeter⁵⁾는 정전기적 성질을 측정하는 장치로서 10[kV]의 직류고압을 코로나 방전형으로 소자에 인가시켜 그 검출치가 포화치(saturation level)에 도달한 후 고압인가를 차단시키고 그 후 소자면상의 전위 감쇠상태를 연속적으로 검출한다. 완화되는 전하로부터 반감기를 측정하는 Analyzer가 부착되어 기록장치 기능을 수행하고 있다. Static Honestmeter의 개략도는 Fig. 1과 같으며, 그 동작원리는 대전소자의 전하가 시간의 경과와 더불어 누전전류에 의해 감소하는 것을 이용한 방법으로써 전하량감쇠법(coulomb-metric attenuation)이라고도 한다.

반도체소자의 완화특성을 알아보기 위하여 package 재료로 시중에서 판매되고 있는 plastic과 ceramic을 사용한 소자를 선정하였으며 각각의 편

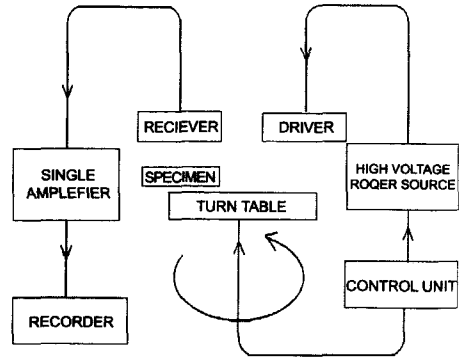


Fig. 1. Schematic diagram of static honestmeter operation

수, 각각의 소자의 형태에 따른 완화특성을 측정하였다. 대전방지의 관점에서는 대전체의 전하가 누설하는 정도를 아는 것이 중요하며 이를 위해서는 전하완화의 측정이 필요하다. 측정시 대전소자의 표면상태 특히 수분의 흡착상태와 공기중의 습도에 따라 측정치가 달라지므로 주의해야 한다. 본 실험에서는 반도체소자에 코로나 방전형으로 대전시킨 다음 반감기를 측정하여 소자의 대전완화특성을 고찰하였다.

3.2. FCDM 실험

실험에서 사용한 반도체소자에 대한 FCDM 테스트¹⁰⁾를 이용하여 Fig. 2에서 보는 바와 같이 구리판(전극)에 전압을 11~20[kV]까지 1[kV] 간격으로 고압발생장치(Power supply)로 전압을 인가하여 전계를 형성시켜 벌린(leads-up) 상태로 놓인 DUT(Device Under Test)에 대전시킨 후 방전전극을 사용하여 Approach Discharge 방법으로 각각의 전압별로 방전시켜 오실로스코프를 이용하여 전압파형 및 전류파형을 기록하였다. 인가전압을 11~20[kV]까지 인가한 것은 대부분의 소자가 11[kV] 이하에서는 특성 변화만 일어나고 소자의 완전한 파괴가 일어나지 않으며, 20[kV] 이상에서는 20[kV]에서의 파괴양성과 거의 비슷한 분석결과가 나오기 때문이다. 또한 여기에서의 ESD는 다중방전이 일어나는데 이것은 AD방법으로 방전전극을 반도체소자에서 서서히 접근시킬 때 전계내의 일정거리에서 최초 방전이 일어나고 더 가까이 접근함으로써 계속적으로 방전이 일어나기 때문이다. 이 전압파형과 전류파형을 이용하여 반도체소자의 방전전하량과 방전에너지를 계산하여 인가전압에 따른 반도체소자의 손상과 관련된 위험성을 분석하였다.

AD(Approaching Discharge)방법을 사용하여 FCDM 실험을 실시한 후, 실험대상 반도체소자의 EMC 패키지를 제거하기 위하여 백연질산(White fuming nitric acid 100% ; HNO_3 , 63.01g/mol, Darmstadt, Germany)을 약 5분간 가열하여 패키지를 완전히 녹인 다음 칩을 분리하여 증류수로 깨끗하게 세정한다. 세정 후 분리된 칩의 세정상태를 파악하기 위하여 현미경으로 세정상태를 확인하고, SEM을 이용하여 약 70배로 확대한 다음 칩의 실제 손상상태를 촬영함으로써 ESD에 의한 소자의 손상 양상과 손상정도를 확인하였다.

실험에 사용된 FCDM 테스터는 다음과 같이 구성된다.

가. 고압발생장치(0~30kV ; DRP-HK2005, Dae-Do Electronics Co.)

나. 정전전위측정기(0~50kV ; ESH-28DX, No. ES 9804, Electrical Instrument Service INC.)

다. 오실로스코프(500MHz ; 9354TM, LeCroy)

라. 방전프로브(100[M Ω], 1,000 \times 3.0[pF] ; Tektronix P6015A, Tektronix)

마. AC/DC 전류프로브(DC to 100kHz ; Tektronix P6015A, Tektronix)

4. 결과 및 고찰

4.1. 정전기 완화실험결과 및 고찰

Fig. 3은 핀 수에 따른 반도체소자의 반감기를 나타낸 것으로 DIP와 QFP인 경우는 핀 수가 클수록 반감기가 작은 경향을 나타내었다. 그러나 28핀 소자의 경우 20핀 소자에 비해 다소 크게 나타난 것은 소자의 크기나 무게가 다른 소자들에 비해 상대적으로 큰 관계로 크게 나타난 것으로 분석된다. DIP에서 패키지 재료가 세라믹의 경우에는 플라스틱에 비해 반감기가 상대적으로 크게 나타났는데 이것은 반도체소자의 패키지재료가 정전기 완화에 영향을 주고 있음을 알 수 있다. SIP의 경우에는 핀 수가 클수록 반감기도 다소 크게 나타났다. 따라서 DIP, QFP는 핀 수가 방전에 영향을 미치고, SIP는 그렇지 않은 것으로 나타났는데 그 이유는 DIP와 QFP는 벌린 상태로, SIP는 형태의 특성상 수평상태에서 실험을 수행하였기 때문인 것으로 생각된다.

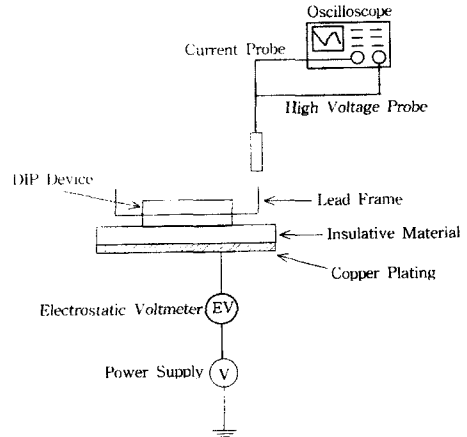


Fig. 2. Experimental set up of FCDM tester

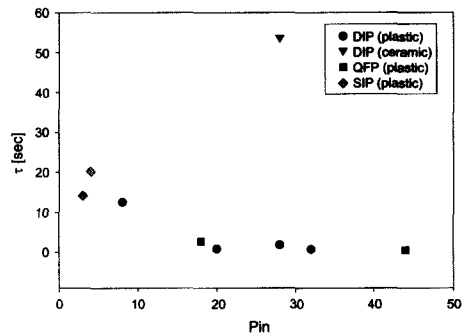


Fig. 3. Half-value period of devices varying as the number of pins

4.2. FCDM 실험결과 및 고찰

4.2.1. 방전특성

Fig. 4는 대표적으로 FCDM 테스터를 이용하여 DIP 8핀 소자에 11[kV]의 전압을 인가하여 대전시킨 후 방전시의 파형을 오실로스코프를 이용하여 나타낸 그림이다. 그림에서 위 파형은 전압파형으로 1칸에 5[kV]이고, 아래 파형은 전류파형으로 1칸에 5[A]이다. 또한 방전시간은 1칸에 1[μ s]를 나타내고 있다. 여기에서 인가전압이 증가할수록 방전전류와 방전시간이 커지는 것으로 나타났으며, 또한 반도체소자의 방전전하량과 방전에너지도 증가하는 것으로 분석되었다.

4.2.2. 방전전하량

Fig. 5는 8핀 반도체소자의 전극전압에 따른 방전전하량을 나타낸 그림으로 실선으로 표시된 것은 Fig. 4에서 나타낸 실험소자의 전류파형을 이용하여

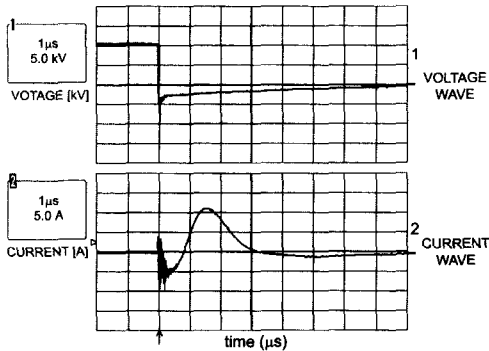


Fig. 4. Discharge waveform for DIP-8pin devices with AD test at 11kV

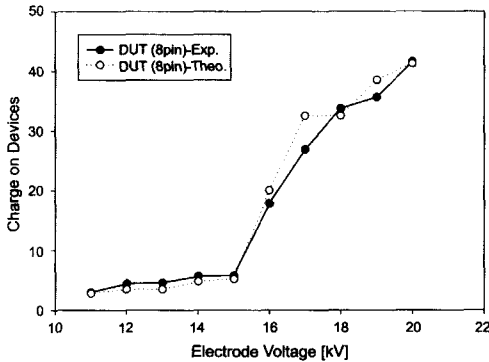


Fig. 5. Charge vs. electrode voltage for 8pin devices with AD test

면적으로 계산된 실험값이고, 점선은 식 (6)에 의해 계산된 이론 값이다. 실험값과 이론값 모두 대체적으로 큰 차이 없이 인가전압이 클수록 방전전하량이 크게 나타났다. 이것은 인가전압이 커질수록 인가전압에 따른 전계가 커지므로 유도전압에 비례한 소자에 방전전하량이 큰 것으로 분석된다. 그리고 15[kV]에서 방전전하량이 크게 나타난 것은 이 값이 이 소자의 파괴가 급격하게 이루어지는 임계값인 것으로 생각된다.

$$Q = \int_0^t idt = \frac{1}{2} \times I_{peak} \times \Delta t \quad (6)$$

Fig. 6은 14핀 반도체소자의 인가전압에 따른 방전전하량을 나타낸 그림으로 실선으로 표시된 것은 실험소자의 전류파형을 이용하여 면적으로 계산된 실험 값이고, 점선은 식 (6)에 의해 계산된 이론 값이다. 실험 값과 이론 값 모두 대체적으로 큰 차이

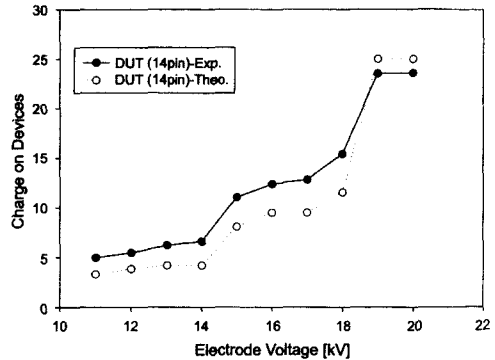


Fig. 6. Charge vs. electrode voltage for 14pin devices with AD test

없이 인가전압이 클수록 방전전하량이 크게 나타났다. 따라서 인가전압이 커짐에 따라 외부 전계에 의한 소자에 유도되는 유도전압이 증가되어 ESD 발생에 따른 방전전하량 증가에 의하여 소자의 손상 피해가 커짐을 알 수 있다. 그리고 Fig. 5의 8핀 소자에 비해 방전전하량의 값이 다소 작게 나타난 것은 핀 수의 차이 때문인 것으로 분석된다.

4.2.3. 방전에너지

Table 1은 DIP-8핀, DIP-14핀 반도체소자의 방전전하량을 이용하여 방전에너지를 식 (7)에 의해 구한 것이다. Fig. 7은 Table 1의 인가전압에 따른 방전에너지를 이용하여 나타낸 그림으로 대체적으로 인가전압이 클수록 방전에너지도 증가하는 것으로 나타났으며 ESD에 의한 이 정도의 방전에너지는 반도체소자가 손상을 일으킬 수 있는 에너지에 해당함을 알 수 있다. 여기에서 인가전압이 11[kV]인

Table 1. Calculated discharge energy of DUT with 8 pin and 14 pin in discharge process

DUT(Devices Under Test)			
8pin		14pin	
Electrode Voltage(kV)	Discharge Energy[mJ]	Electrode Voltage(kV)	Discharge Energy[mJ]
11	16.39	11	27.34
12	26.64	12	32.88
13	29.90	13	40.56
14	39.76	14	46.34
15	43.35	15	82.95
16	142.24	16	99.20
17	228.36	17	109.06
18	303.21	18	138.87
19	338.20	19	223.63
20	415.60	20	235.90

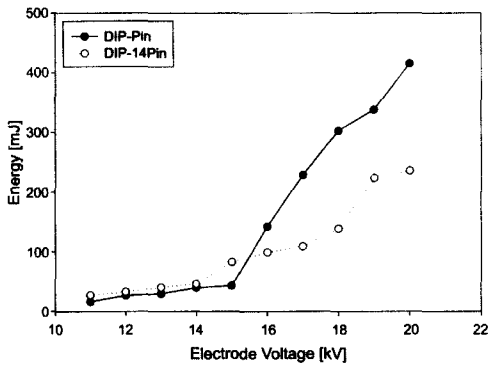


Fig. 7. Energy vs. electrode voltage for 8pin and 14pin devices with AD test

경우에 ESD에 의한 방전에너지는 실험적 한계값¹¹⁾에서 나타난 16.33[mJ]을 초과하는 16.39[mJ] 이상이므로 소자가 손상을 일으키기 시작하는 한계전압으로 분석된다.

$$E = \frac{1}{2} QV = \frac{1}{2} C V^2 \quad [J] \quad (7)$$

4.2.4. ESD에 의한 손상 결과 및 고찰

Fig. 8은 8pin, 14pin 반도체소자에 18[kV] 전압을 인가하여 ESD 시킨 후에 주사전자현미경(Scanning Electron Microscope, SEM)을 이용하여 패키지 내부의 칩 상태를 촬영한 사진으로 화살표가 가리키는 부분이 접합부 및 배선이 파괴되면서 산화막이 손상된 것을 보여 주고 있다. 파괴된 이 지점엔 위쪽과 아래쪽의 금선(Gold wire)를 연결시키는 즉, 니들(Needle)을 연결시키는 부분으로 대부분의 반도체소자의 파괴는 이곳에서 발생된다. 따라서 이 정도의 손상은 반도체소자로서의 기능을 완전히 상실한 것으로 전형적인 반도체소자의 파괴를 보여 주는 것으로 반도체소자가 특히 18[kV] 이상의 고전계에 놓이게 되면 소자의 완전한 파괴를 일으키는 것을 알 수 있다.

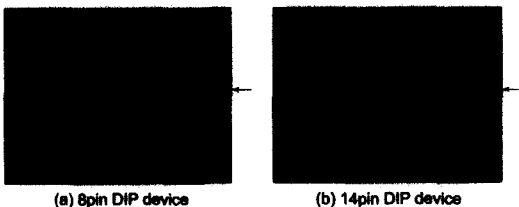


Fig. 8. SEM photomicrograph showing damaged areas on DIP devices

5. 결론

반도체소자의 ESD에 의한 손상은 여러 가지 원인에 의하여 발생되고 있다. 현재 반도체소자를 가공·조립 생산하는 산업현장에서 ESD에 대한 대책은 소자가 직접 대전되는 형태를 해석하는 HBM이나 CDM에 의한 대책은 어느 정도 강구되어 있다. 그러나 반도체소자가 주위 환경의 충전체 근처에 있을 때 정전유도에 의해 발생하는 경우를 해석하는 FCDM에 대한 대책은 미흡한 실정이다. 특히 반도체소자의 포장이나 유통과정 및 사용과정에서의 대책은 아직 제대로 강구되어 있지 못해 이로 인한 소자의 손상이나 파괴가 발생되고 있어 이에 대한 대책과 연구가 필요한 실정이다¹²⁻¹³⁾.

반도체소자의 FCDM을 이용한 반도체소자의 ESD에 의한 손상특성을 해석하기 위하여 얻어진 결론은 다음과 같다.

- 1) 반도체소자의 정전기 완화특성인 반감기는 세라믹보다는 플라스틱 재료에서 DIP와 SIP보다는 QFP 형태에서 그리고 핀 수가 많을수록 짧게 나타났다.
- 2) FCDM 실험결과 반도체소자의 ESD에 의한 방전전하량 및 방전에너지는 인가전압이 높을수록 증가하는 것으로 나타났으며, 인가전압이 11[kV] 이상인 고전계내에서 ESD가 발생되면 대부분의 소자는 특성변화 내지는 손상을 입는 것으로 나타났다.
- 3) 반도체소자 내부 칩의 이론적 파괴에너지는 16.33[mJ]이며 FCDM 실험결과 ESD에 의하여 소자에 손상을 입히는 방전에너지는 인가전압이 11[kV]에서 16.39[mJ]로서 이론적 파괴에너지와 거의 일치하는 것으로 분석되었다.
- 4) ESD에 의한 반도체소자의 손상이 발생된 양상과 정도를 분석한 결과 인가전압이 18[kV] 이상에서 접합부, 배선 그리고 산화막이 손상을 입어 소자가 완전히 파괴됨을 알 수 있었다.

일반적으로 인체 또는 외부 전계에 의해 반도체소자에 일정전압 이상이 인가된 후 어떤 형태로든 ESD가 일어난다면 대부분의 소자는 특성변화 및 파괴로 인한 손상을 입게 된다.

따라서 본 연구에서는 반도체소자의 정전기완화 특성, FCDM을 이용한 손상여부 및 손상특성을 분석하였으며, 이상의 결과는 반도체소자를 생산·조

립하거나 포장하는 산업현장은 물론 반도체소자의 유통과정이나 사용과정에서 소자의 파괴 및 손상을 예방할 수 있는 기초 자료로 제공될 수 있을 것으로 생각된다. 또한 다양한 형태의 ESD에 의한 피해를 예방하기 위하여 반도체산업 및 전자산업 분야뿐만 아니라 기타 산업현장에서 이 연구결과를 응용할 수 있을 것으로 기대된다.

참고문헌

- 1) W. D. Greason, "Electrostatic Discharge : A Charge Driven phenomenon," *Journal of Electrostatics*, 28, pp. 199-218, 1992.
- 2) W. D. Greason, "Quasi-static Analysis of Electrostatic Discharge(ESD) and the Human Body Using a Capacitance Model," *Journal of Electrostatics*, 28, pp. 199-218, 1992.
- 3) R. G. Renninger, M. C. Jon, D. L. Lin, T. Diep and T. L. Welscher, "A field-induced charged-device model simulator, EOS / ESD Symposium Proceedings," EOS-11, pp. 59-71, 1989.
- 4) 김두현, 김상렬, "반도체소자의 정전기 완화특성," *산업안전학회지*, Vol. 14, No. 3, pp. 69-77, 1999.
- 5) 和泉健吉, "靜電氣についての基礎實驗", *靜電氣學會誌*, Vol. 18, No. 4, pp. 376-384, 1994.
- 6) 김두현, 김상렬, "ESD에 의한 반도체소자의 손상특성," *산업안전학회지*, Vol. 15, No. 4, pp. 62- 68, 2000.
- 7) 김상렬, 김두현, "유도대전소자모델(FCDM)을 이용한 ESD에 의한 반도체소자의 손상 메커니즘 해석," *산업안전학회지*, Vol. 16, No. 2, pp. 57- 62, 2001.
- 8) T. S. Speakman, "A Model for Failure of Bipolar Silicon Integrated Circuit Subjected to Electrostatic Discharge," *Proceedings 12th Annual Reliability Physics Symposium*, pp. 60-69, April 1974.
- 9) 靜電氣學會(EIAJ), "半導體デバイスの環境 及び耐久性試験方法 (追補 1)," EDX-4702, 1994.
- 10) M. C. Jon and T. L. Welscher, "An Experimental Investigation of the Electrostatic Discharge(ESD) Mechanism in Packaged Semiconductor Devices," *Journal of Electrostatics*, 32, pp. 43-70, 1994.
- 11) Timothy J. Maloney, "Integrated Circuit Metal in the Charged Device Model Bootstrap Heating, Melt Damage, and Scaling Laws," *Journal of Electrostatics*, 31, pp. 313-321, 1993.
- 12) 鈴木功一, "靜電誘導による半導體デバイスの故障メカニズム," *靜電氣學會誌*, Vol. 23, No.6, pp. 303-308, 1999.
- 13) 藤江明雄, "電子産業分野の靜電誘導のトラブル概要," *靜電氣學會誌*, Vol. 23, No. 6, pp. 297-302, 1999.