

몰딩공정을 응용한 플립칩 언더필 연구

한세진* · 정철화** · 차재원*** · 서화일** · 김광선***

Studies on Flip Chip Underfill Process by using Molding System

Se Jin Han*, Chul Hwa Jung**, Jae Won Cha***,
Hwa il Seo**, and Kwang Sun Kim***

ABSTRACT

In the flip-chip process, the problem like electric defect or fatigue crack caused by the difference of CTE, between chip and substrate board had occurred. Underfill of flip chip to overcome this defects is noticed as important work developing in whole reliability of chip by protecting the chip against the external shock. In this paper, we introduce the underfill methods using mold and plunge and improvement of process and reliability, and the advantage which can be taken from embodiment of device.

Key words : Flip Chip(플립칩), Underfill(언더필), Mold(몰드)

1. 서 론

플립칩은 범프(Bump) 또는 볼(Ball)을 이용해 칩을 기판위에 직접 실장한 것으로 반도체 칩과 기판 사이의 상호 입·출력을 위한 배선의 길이를 최소화하여 높은 동작 속도를 구현할 수 있고, 공정이 단순화되는 등 여러 장점을 포함하고 있기 때문에 점차 많은 기대를 모으고 있다[1].

최근에 정보화분야의 급격한 도약과 이에 따른 반도체 분야의 급진적인 발전으로 인해 반도체 칩 사이즈는 소형화 되어가고 있는 반면 칩 내에 구현되는 회로의 집적도는 점점 증가하게 되어 결국 칩과 기판 사이의 인터컨넥션 범프(Interconnection bump)의 사이즈 또한 작아지게 되었고 요구되는 범프 수는 증가하고 있다. 이러한 이유로 인해서 칩의 단위 부피에 따른 소모 전력량의 증가로 인해 많은 열이 발생하게 된다. 그리고 플립칩 제조 공정상에서 칩과 기판 사이의 열팽창 계수 차이로 인해 Bump의 균열과 같은 치명적인 문제점이 야기 될 가능성이 존재하게 된다. 따라서 효

과적으로 열을 방출하고 칩과 기판 사이의 인터컨넥션 범프를 보호하기 위해서 인캡슐런트 언더필(Encapsulant underfill) 공정이 이루어지고 있다. 인캡슐런트를 칩과 기판사이의 공간에 주입, 경화 시킴으로써 플립칩에 전기적, 기계적 보강력을 제공하여 위에서 제시한 문제점들을 해결하는 것이다. 언더필 방법으로는 지금까지 모세관 현상을 이용하여 인캡슐런트를 주입하는 Dispensing 방법이 주로 사용되어 왔지만 사용되는 인캡슐런트의 가격이 비싸고, 공정 속도가 느린 문제점을 포함하고 있다[2-7].

또한, ACF(Anisotropic Conductive Film)나 NCF(Non Conductive Film)등을 사용해 언더필하는 방법들에 관한 연구도 활발히 진행되고있다[8]. 그러나 경제성과 신뢰성 차원에서 본격적으로 양산공정에는 적용되지 못하고 있다.

본 연구에서는 기존의 칩 몰딩 공정(Molding Process)를 응용한 새로운 언더필 공정을 제안하고자 한다. 제안된 공정은 열경화성 수지를 재료로 사용하며, 몰드를 사용하여 압축 방식에 의해 언더필 공정이 수행된다. 본 공정을 사용할 경우 기존의 몰딩 장비를 응용하여 사용할 수 있고, 공정 시간을 단축시킬 수 있을 뿐 아니라 동시에 다수의 칩을 언더필 할 수 있는 멀티칩 공정이 가능하므로 양산성에서 장점을 가질 수 있을

*NANOFLOW

**한국기술교육대학교 전자공학과

***한국기술교육대학교 기계공학과

것이라 생각된다.

2. 언더필 장치 및 공정

2.1 장치 개요

Fig. 1은 본 연구에서 설계된 몰드와 언더필 방법을 적용한 언더필 장치의 개략적인 단면도이다. 베이스 프레임과 상측, 하측 플레이트로 구성되며 이들 플레이트에 각각 상측 몰드와 하측 몰드가 실장되었다.

Fig. 2는 몰딩 공정을 응용한 언더필 공정의 개략도를 나타내고 있다. 상측 몰드에는 인캡슐란트를 주입하기 위한 주입용 플런저와 주입구 및 압력 조절용 배기구, 그리고 반도체 칩이 위치하게 될 공동(Cavity)이 각각 형성되어 있다.

Fig. 3은 본 연구에서 설계된 몰드를 이용하여 언더필 공정을 수행하였을 때 공정이 완료된 후 반도체 칩의 평면 및 단면도를 나타내고 있다. 언더필과 더불어 칩의 측면이 인캡슐레이션 됨으로써 칩에 대한 외적

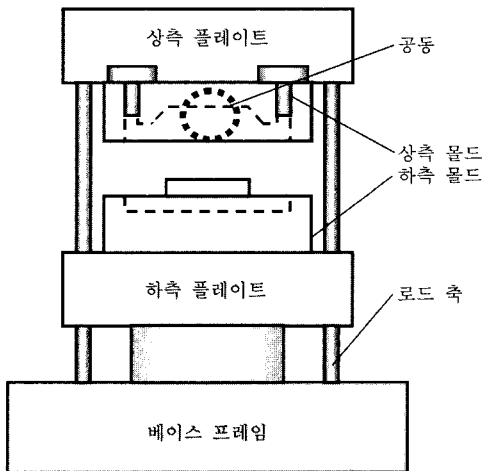


Fig. 1. Structure of underfill device.

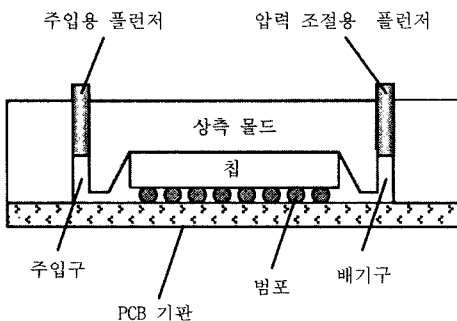


Fig. 2. Underfill process by using molding process.

충격으로부터의 물리적 보호가 가능하게 된다.

2.2 언더필 공정 과정

Fig. 4는 본 연구에서 제안된 몰드를 실장한 장치를 이용하여 언더필 공정이 진행되는 과정을 간략하게 순서대로 나타내고 있다.

먼저 상측 몰드에 형성된 공동 내에 반도체 칩이 위치할 수 있도록 칩이 실장된 PCB Substrate Assembly를 몰드가 오픈(Open)된 상태에서 하측 몰드 상에 위치시킨다. 고체 컴파운드(Compound)를 유동성 있는 젤 형태로 만들기 위해서 몰드를 170~180°C로 가열한다. 이때의 가열 온도는 사용되어지는 컴파운드의 종류

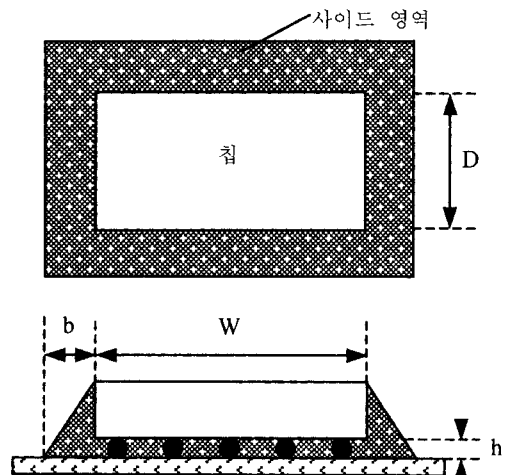


Fig. 3. A plane figure and cross section of chip, after underfill process is completed.

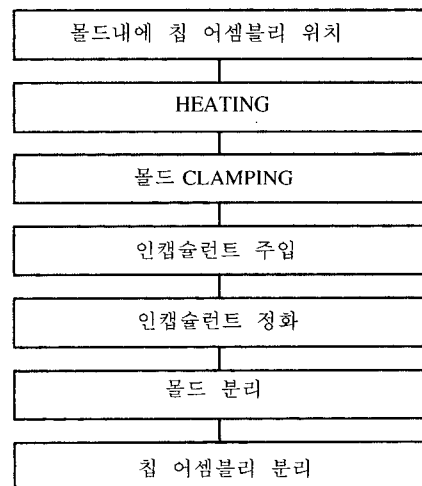


Fig. 4. The order of underfill process.

및 특성에 따라 달라진다.

오픈 된 몰드를 크로스(Close)하기 위해서 상측 몰드를 하향 이동시켜 상측 몰드와 하측 몰드를 클램핑(Clamping)한다. 이때, 클램핑 된 몰드 공동내의 압력을 낮추기 위해 압력 조절용 플런저를 바깥쪽으로 이동할 수 있다. 공동 내 낮은 압력은 공동 내로의 인캡슐런트 주입 속도를 빨라지게 한다.

젤 형태의 컴파운드를 주입용 플런저를 이용하여 주입구를 통해서 공동 내로 주입한다. 그리고 주입용 플런저와 압력 조절용 플런저를 안으로 밀폐시켜 패키징 압력을 제공한다. 이 패키징 압력은 칩과 기판 사이의 공간에 인캡슐런트가 채워질 때 보이드(Void)가 형성될 가능성을 최소화 시킨다.

인캡슐런트 주입 단계가 완료되면 일정시간 동안 인캡슐런트를 경화시키는 공정을 진행한다. 열경화성 특성을 지닌 인캡슐런트를 사용하므로 컴파운드 특성에 따라 경화되는데 필요한 충분한 시간동안 몰드를 클램핑 된 상태로 유지한다.

인캡슐런트 경화 공정이 끝난 후에는 몰드를 오픈하여 상측 몰드와 하측 몰드를 서로 분리하게 되며 주입용 플런저를 주입구 내에서 상하 왕복이동 시킴으로써 주입구내에 잔존하는 인캡슐런트를 주입구 외부로 제거하고, 압력 조절용 플런저를 배기구내에서 상하 왕복 이동시킴으로써 배기구내에 잔존하는 인캡슐런트를 배기구 외부로 밀어내어 제거하는 공정이 진행된다.

이와 같은 일련의 언더필 공정이 완료된 후에는 칩이 실장 되어 있는 어셈블리(Assembly)를 하측 몰드 상에서 분리한다.

3. 몰드 설계 및 시뮬레이션

3.1 몰드 설계

인캡슐런트는 공동의 중심축을 제외하고는 사이드 영역(Side Region)으로부터 칩 아래의 공동을 채우게 된다. 사이드 영역을 채우며 흐르는 인캡슐런트와 공동의 가운데를 채워나가는 인캡슐런트는 중심 축 끝부분에서 만나게 되는데, 이때 사이드 영역에서의 압력 강하와 공동 내에서의 압력 강하는 같게 된다.

사이드 영역에서의 압력 강하, Δp 는 다음과 같다.

$$\Delta p = (4\eta(W+D)/(0.0257b^4)) \times Q \quad (1)$$

한편, flow rate Q는 아래와 같이 주어진다.

$$Q = ((W+D)/t) \times (b^2/2 + hDW/2(D+W)) \quad (2)$$

따라서, 공동내의 압력 강하, Δp 는 아래와 같다.

$$\begin{aligned} \Delta p &= 12\eta Q D / (h^2 W) = (12\eta D / (h^3 W)) \times (D W h / t) \\ &= 12\eta D^2 / (h^2 t) \end{aligned} \quad (3)$$

언더필 공정시 칩과 기판사이의 공간에 보이드가 형성되는 것을 방지하기위한 몰드의 공동 측면면과 반도체 칩 사이의 최대 가능한 이격거리, b는 윗 식으로부터 얻어진 다음과 같은 b²에 대한 이차 방정식의 해로 정의된다.

$$\begin{aligned} b^4 - \{[(W+D)h^2] / [0.1542D^2]\} b^2 \\ - [(W+D)DWh^3] / (0.1542D^2) = 0 \end{aligned} \quad (4)$$

Fig. 3에 도시된 바와 같이 윗 식에서 W는 실장되는 반도체 칩의 장방향 길이이고, D는 칩의 단방향 길이이다. h는 기판과 칩의 하측면과의 높이를 나타낸다. 그리고 0.1542는 실험에 의한 상수이다.

이격거리에 대한 예로써 칩의 사이즈가 10×10 mm 이고 높이(h)가 0.1 mm인 경우 최대 이격거리 b는 약 0.71 mm가 된다.

한편, 본 연구에서 제안한 방법을 응용할 경우 Fig. 5와 같이 몰드에 다수의 공동을 형성하면 멀티칩 언더필 공정이 가능해진다. 인캡슐레이션 될 칩의 개수와 동일한 다수의 공동이 몰드의 저면에 형성되고 각각의 공동에 인캡슐런트 주입구와 배기구가 형성된 몰드의 구조를 보여주고 있다. 주입구 및 배기구와 같은 수의

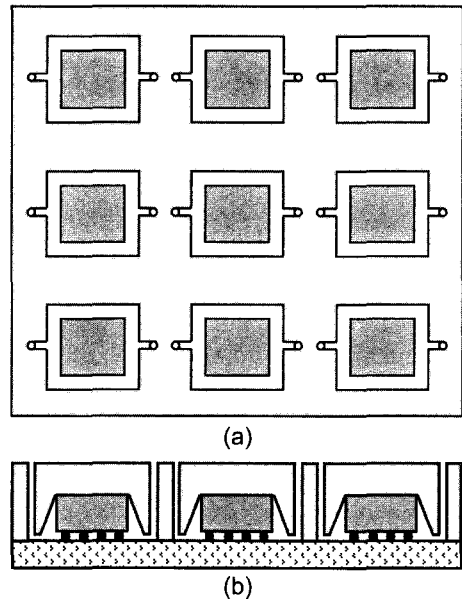
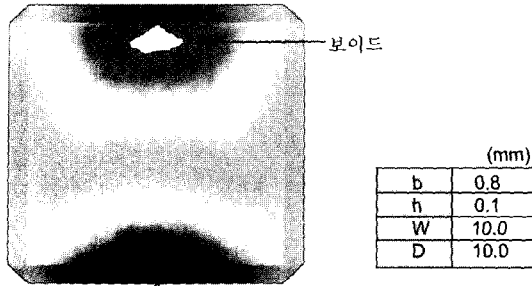
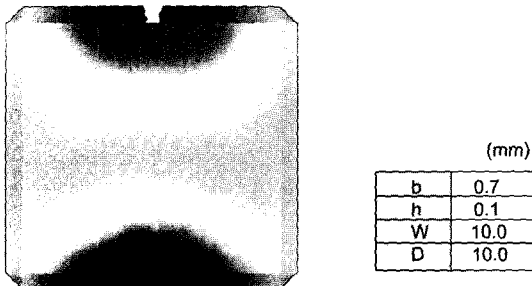


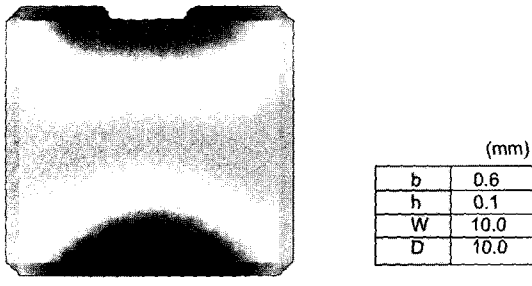
Fig. 5. (a) Underside figure of mold, and (b) Cross section of mold.



(a) Flow-front advancement when the side-region width is 0.8 mm



(b) Flow-front advancement when the side-region width is 0.7 mm



(c) Flow-front advancement when the side-region width is 0.6 mm

Fig. 6. Simulation results on distance b.

주입용 플런저와 압력 조절용 플런저가 형성된다. 이와 같은 몰드를 사용함으로 인해서 다수의 칩을 동시에 언더필 할 수 있게 된다.

3.2 시뮬레이션 및 결과

Fig. 6은 Fig. 3에 도시된 칩과 공동의 측면 사이의 거리 b가 임의로 설정되었을 때 언더필 공정이 완료된 후의 결과를 보여주고 있다.

(a)는 b=0.8 mm인 경우로 칩의 사이드 부분은 인캡슐런트로 모두 채워졌지만 상측 중앙의 칩과 기판 사이 공간에 보이드가 형성되었음을 나타낸다.

Fig. 6-(b)와 6-(c)는 식(4)에 의해 계산된 이격 거리

b를 갖는 몰드를 사용하여 언더필 공정을 수행한 결과를 나타낸다. 이 경우에는 칩과 기판사이의 접합 공간에 보이드가 형성되지 않고 언더필이 이루어졌음을 보여준다.

사용된 시뮬레이션 툴(Tool)은 3-D Flow Program (C-Mold)이며, 시뮬레이션 결과에서 볼 수 있듯이 보이드가 없이 언더필을 수행하려면 b=0.7 mm 이하로 몰드가 설계되어야 함을 알 수 있다. 이는 본 연구에서 구한 식(4)와 일치하는 결과이다.

4. 결 론

기존에 사용되거나 최근에 제시되었던 언더필(Underfill) 방법들에 대한 문제점들을 보완하고 멀티 플립칩(Multi Flip chip)을 효과적으로 언더필하기 위하여 몰딩 공정을 응용한 새로운 공정을 제안하고 시뮬레이션으로 그 결과를 예측해 보았다.

본 연구에서 제안한 방법은 대기압 이상의 고압력을 가하여 인캡슐런트를 주입시키는 방법을 적용하여 언더필 공정 속도가 빠르며, 인캡슐런트 주입을 위한 주입구와 플런저 및 공기나 잔존 인캡슐런트를 제거하기 위한 배기구와 플런저를 각각 몰드에 형성해줌으로써 고점성(High Viscosity) 인캡슐런트에 대한 문제점을 해결할 수 있다. 또한 하나의 기판에 실장된 다수의 플립칩을 동시에 인캡슐레이션할 수 있도록 하나의 몰드내에 다수의 공동을 형성함으로써 멀티칩에 대한 언더필 공정 시간을 단축할 수 있다는 장점을 가진다.

언더필을 위해 몰드의 사이드 영역에 대한 식을 구하였으며 이를 시뮬레이션을 통해 확인하였다. 식에 의해서 구해진 칩의 측면과 몰드 공동내의 측면면과의 이격 거리를 적용함으로써, 언더필 공정시 발생하는 보이드 수를 최소화할 수 있을 것으로 기대된다.

앞으로 몰드를 실제로 제작하고 장치로 구현하는 연구와 실험을 통해 위의 결과를 확인할 수 있는 연구가 수행되어야 할 것으로 생각한다.

참고문헌

1. R.R. Tummala, E.J. Rymaszewski and A.Klopfenstein, Microelectronics Packaging Handbook, 1, New York, NY : Chapman & Hall (1997).
2. J.H. Lau, Chip on Board, New York, NY : Van Nostrand Reinhold, Ch. 12,504 (1994).
3. S.C. Machuga, S.E. Lindsey, K.D. Moore, and A.F. Skipor, "Encapsulation of flip chip structures", in proc. IEEE/CHMT Int'l Electron Manufact. Technol. Symp.,

- pp. 53-58 (1992).
4. Lianhua Fan, Zhuqing Zhang and C.P. Wong, "Effect of Filler Settling of Underfill Encapsulant on Reliability Performance", International Symposium on Advanced Packaging Materials, pp. 218-223 (2001).
 5. D. Suryanarayana, R. Hsiao, T.P. Gall, and J.M. McCreary, "Enhancement of flip chip fatigue life by encapsulation", IEEE Comp., Hybrids, Manufact. Technol., 14, pp. 218-223 (1991).
 6. K.K. Wang and S. Han, "Pressurized underfill encapsulation of integrated circuits", U.S. Patent pending (1997).
 7. S. Han and K.K. Wang, "Study on the Pressurized Underfill Encapsulation of Flip Chips", IEEE Trans. Comp., Packaging., Manufact. Technol. B, 20(4), Nov. (1997).