

ATM-PON의 ONU에서 상향 셀 전송을 위한 승인처리기의 구현

정희원 우만식*, 정해*, 유건일**

Implementation of a Grant Processor for Upstream Cell Transmission at the ONU in the ATM-PON

Man-Shick Woo*, Hae Chung* and Gun-Il Yoo** *Regular Members*

요약

ATM PON (Passive Optical Network) 시스템은 OLT (Optical Line Termination)와 다수의 ONU (Optical Network Unit), 그리고 스플리터와 함께 PON을 구성하는 광케이블로 구성된다. 상향 전송에서 셀 충돌을 피하기 위하여, 새로운 ONU가 설치될 때 ranging이라는 정교한 절차를 필요로 한다. 이 절차가 종료된 후에 ONU는 OLT가 제공하는 승인에 따라 상향 셀을 전송할 수 있다. 여러 가지 요인의 변화에 의해 발생할 수 있는 셀 충돌을 예방하기 위하여, OLT는 지속적으로 셀 위상 감시를 수행해야 한다. 이는 OLT가 모든 상향 셀에 대하여 기대되는 도착 시점을 예측하고, 실제 도착하는 시점을 감시하여, 두 시점 간의 오차를 계산하는 것을 의미한다. 따라서, OLT의 TC (Transmission Convergence) 칩에는 현재 제공하는 승인에 대한 셀의 도착할 시점을 계산할 수 있는 예측기가 필요하다. 본 논문에서는 이러한 예측기를 등화 왕복지연에 해당하는 길이를 갖는 이동 레지스터를 이용하여 구현한다. 하나의 레지스터는 8 비트로 구성되어, OLT는 어떤 ONU가 어떤 종류의 셀을 보내는지 확인할 수 있다. 또한 TC 칩은 예측기의 기능을 이용하여 ONU의 유효 대역폭을 계산할 수 있다. 타임 시뮬레이션과 구현된 광 보드를 측정하여, 예측기의 동작을 확인한다.

ABSTRACT

In the ATM-PON (Asynchronous Transfer Mode-Passive Optical Network), the downstream cell transmitted by an OLT is broadcast to all ONUs. The ONU receives selectively its own cells by VP filtering. On the other hand, the upstream cell can be transmitted by ONU in the case of receiving a grant from the OLT. After providing the grant to an ONU, the OLT expects the arrival of a cell after an elapse of the equalized round trip delay. ITU-T G.983.1 recommends that one bit error is allowed between the expected arrival time and the actual arrival time at the OLT. Because the ONU processes the different delay to each type of grant (ranging, user cell, and mimi-slot grant), it is not simple to design the transmission part of ONU. In this paper, we implement a grant processor which provides the delay accurately in the ONU TC chip with the FPGA. For the given equalized delay, it deals with the delay for the cell, the byte, and the bit unit by using the shift register, the byte counter, and the D flip-flop, respectively. We verify the operation of the grant processor by the time simulation and the measurement of the optical board output.

I. 서론

ATM-PON (Asynchronous Transfer Mode Pa-

ssive Optical Network)은 다수의 ONU (Optical Network Unit)가 하나의 광케이블을 공유하여 OLT (Optical Line Termination)에 연결되므로, 대역폭의

* 금오공과대학교 전자공학부 (woocее@hanmail.net) ** KT가임자망연구소

접수번호 : 010350-1121, 접수일자 : 2001년 11월 21일

※ 본 연구는 금오공과대학교 학술연구비에 의하여 연구된 논문

효율이 증대하고 OLT의 광 인터페이스의 수를 줄일 수 있기 때문에 경제적이 측면이 부각된다. 이에 따라 전 세계의 14개 전화회사로 구성된 단체인 FSAN (Full Service Access Network)에 의해 처음으로 소개되었고 유럽에서 활발히 연구되었다^[1]. 현재는 유럽뿐만 아니라, 미국과 일본, 중국에서도 연구 개발이 진행되고 있으며, 다양한 형태의 시범 서비스가 이루어지고 있다. 가입자 인입선로의 교체문제와 가입자측 ONU마다 고가의 광 송수신기가 소요되는 것이 문제점으로 지적되고 있으나 지속적인 연구 개발로 인해 비용이 점차 하락하고 있어 일정 시점이 지나면 경쟁력을 가질 것으로 예상된다.

ATM-PON은 국사에 설치되는 OLT, 가입자 인접지역에 설치되는 ONU, 그리고 이들을 연결해 주는 광 분배망으로 구성된다. OLT에 연결된 광케이블은 수동 광 스플리터(splitter)에 의해 분기되며, 최대 64대의 ONU가 연결될 수 있다. OLT가 보내는 하향신호는 모든 ONU에게 방송되며, ONU는 자신에게 해당하는 VP (Virtual Path)값을 갖는 셀만 선택적으로 수신한다. 반면에 ONU는 OLT로부터 승인 (grant)을 제공받아야 상향으로 셀을 전송할 수 있다. OLT에서 스플리터 사이는 단일 광케이블이므로 다수의 ONU가 각각 사용자 셀을 보낼 때 충돌이 발생하지 않도록 하는 사전 작업이 요구된다. OLT가 PLOAM (Physical Layer Operation and Maintenance) 셀을 통해 승인을 제공한 직후에서 승인을 받은 ONU가 상향으로 보낸 셀이 도착하는데 까지 걸리는 시간을 등화 왕복전파지연 (equalized round-trip delay, T_{eqd})이라 하며, OLT와 ONU들 사이의 거리가 각각 다르다 할지라도, T_{eqd} 를 일정하게 함으로써 충돌을 방지할 수 있다^[2]. 따라서, 새로운 ONU가 등록될 때마다 OLT는 ranging 프로토콜을 이용하여 해당 ONU에 필요한 등화지연 (equalized delay, T_d)을 측정한다. OLT는 이 측정된 값을 하향 PLOAM 셀의 메시지 필드에 기록하여 새로 등록되고자 하는 ONU에게 전달한다. 이 값을 제공받는 ONU는 어떤 셀을 보내고자 할 때, OLT로부터 승인을 받은 직후에 즉시 셀을 전송하지 않고, T_d 가 경과한 후에 셀을 보내야 한다. 따라서, OLT의 관점에서 모든 ONU가 논리적으로 동일한 거리에 위치하게 되며 상향 셀간의 충돌이 발생하지 않는다.

ATM PON에서 ONU가 상향으로 셀을 전송하는데 있어서 가장 중요한 요소는 ITU-T 권고안 G.983.1에서 명시하는 바와 같이, ONU가 상향으로

보낸 셀의 실제 도착시점과 OLT가 기대하는 도착시점 사이의 오차를 한 비트 이내로 유지해 주어야 한다. 또한 다양한 종류의 셀 (ranging 셀, 트래픽 셀, 미니슬롯)들 마다 제공해 주어야 할 지연이 각기 다르기 때문에 송신부 설계가 단순하지 않다. 즉, ranging 절차와 관련한 승인을 수신하면, 즉시 셀을 상향으로 송신해야 하고, 일반 트래픽 셀이나 PLOAM 셀에 대한 승인을 수신하면, OLT로부터 할당받은 등화지연이 경과한 후에 셀을 전송해야 한다. 또한, 미니슬롯에 대한 승인을 수신하면, 등화지연 외에도 부가적인 옵셋 값이 경과한 후에 셀을 전송해야 다른 ONU가 보내는 미니슬롯과 충돌이 발생하지 않는다.

본 논문에서는 G.983.1을 기반의 ATM-PON의 ONU에서 상향 셀 전송을 하는데 있어서, 승인의 종류에 따라 필요한 지연을 정확하게 제공하는 승인처리기를 FPGA (Field Programmable Gate Array)로 구현한다. 주어진 값에 대하여 정교한 지연을 제공하되, 단순하게 구현해야 회로의 낭비를 줄일 수 있다. 구현된 승인처리기에서 셀 단위의 지연은 이동 레지스터를, 바이트 단위의 지연은 카운트를, 비트 단위의 미세 지연은 병렬 데이터가 직렬 데이터로 변환된 후에 최종 출력단에서 D flip-flop을 이용하여 처리한다. 또한 메모리의 사용을 최소화하기 위하여, PLOAM 셀 내부의 하나의 승인은 8 비트로 표현되어 있지만, ONU에서는 3비트로 변환하여 구분한다. 타임 시뮬레이션과 구현된 시스템의 측정하여 각각의 셀들이 요구되는 지연이 정확히 경과한 후에 OLT에 도착하는 것을 확인한다.

본 논문의 구성은 다음과 같다. 먼저 II 절에서 ATM-PON의 개요 및 ONU TC (Transmission Convergence) 칩의 구조에 대해 설명하고, III 절에서는 ranging 절차 및 승인처리기의 구현 알고리즘을 설명한다. IV 절에서는 타임 시뮬레이션과 실제 구현된 시스템을 측정하여 승인처리기의 동작 검증하며, V 절에서 결론을 맺기로 한다.

II. ATM-PON의 개요 및 ONU TC 칩의 구조

그림 1은 ITU-T의 G.983.1에 명시된 구성도를 보여주는 것으로서, ATM-PON 시스템은 OLT, ONU, ODN (Optical Distribution Network)으로 구성되어 있다^[2]. ODN은 전력공급이 필요 없는 수동 소자로 구성되기 때문에 PON이라고 불리며, 전력

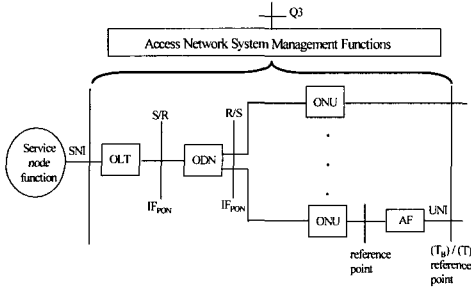


그림 1. ATM-PON의 시스템 구성도

의 결함에 영향을 받지 않고 전자기 간섭에도 민감하지 않으며 유지보수 비용이 적게 드는 장점이 있다. OLT는 국사에 설치되고 ONU는 빌딩의 통신실, 사무실 내부는 물론이고, 캐비넷 형태로 건물 밖에도 설치될 수 있으며 ONT (Optical Network Termination)라는 이름으로 대내에 존재할 수도 있으므로 FTTx (Fiber To The any)를 지원한다.

그림 2는 상/하향 155.52 Mbits/s 전송속도에서의 프레임 형태를 보인다. 하향은 연속적인 타임 슬롯으로 구성되며 각 타임 슬롯은 53 옥텟의 ATM 셀이나 PLOAM 셀을 포함하고 있으며, 28 개의 타임 슬롯마다 PLOAM 셀이 삽입되어 (155.52 Mbits/s의 경우) 있는 형태이다. 상향 프레임은 56 바이트 길이 (3 바이트의 오버헤드와 53 바이트의 셀)의 타임 슬롯을 53 개 가지고 있으므로, 상·하향 프레임의 길이 (T_{frame})는 동일하나, OLT의 승인 제공 여부에 따라 셀이 채워지지 않고 비어 있을 수도 있다. 상향 타임슬롯의 3 바이트 오버헤더는 guard time, preamble, delimiter로 구성되고, guard time은 최소 4 비트의 길이를 가지며, 다른 오버헤더는 OLT에 지시에 의해 결정된다^[2].

각 PLOAM 셀은 27 개의 승인으로 채워져 있는데, 상향 트래픽 액세스를 위해 ONU는 이러한 승인을 해석하여 상향으로 셀을 전송한다. 상향 프레임은 53 개의 셀로 구성되므로 53 개의 승인들은

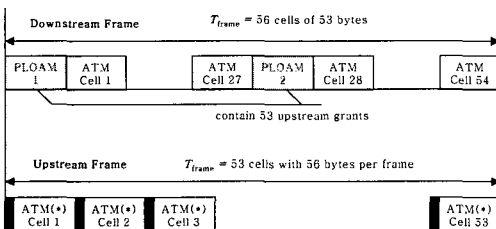
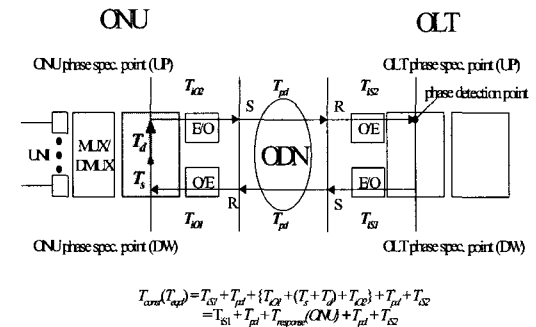


그림 2. 155.52/155.52 Mbits/s ATM-PON 프레임 형태

하향 프레임의 두 개의 PLOAM 셀에 매핑된다^[2].

53개의 모든 승인들은 유효한 승인이고 두 번째 PLOAM 셀의 마지막 승인은 무효한 (idle) 승인으로 채워진다. 즉, 두 번째 PLOAM 셀의 27 번째 승인 필드는 무의미한 것으로 간주함으로써, 한 프레임에 53 개의 승인이 제공된다.

트리 구조를 가지고 있는 ATM-PON의 특성상 하향 스트림은 방송 (broadcast) 되는 형태를 취하지만, 상향 스트림은 시간 분할 다중화 액세스 방식이 적용되기 때문에 상향으로 전송된 셀이 ODN에 동시에 혹은 부분적으로 겹쳐지는 경우가 생길 수 있다. 이렇게 발생한 셀 간의 충돌은 OLT까지 전파되어 OLT가 정확한 비트 스트림을 검출할 수 없기 때문에 셀 손실을 야기하게 된다. 이러한 문제를 해결하기 위해 OLT로부터 ONU들을 가상적으로 동일한 거리에 두는 기술이 필요하며, 이를 ranging 이라 한다. 가상적으로 동일한 거리에 둔다는 것은 결국 등화 왕복전파지연 (equalized round trip delay, T_{eqd}) 값을 모든 ONU에게 동일하게 적용한다는 것을 의미한다. 그림 3에서 볼 수 있는 것같이 T_{eqd} 는 모든 ONU에 동일하게 적용된다. 등화 왕복전파지연이란 OLT가 ONU에게 승인 (상향으로 셀을 보낼 수 있는 허가)을 보낸 직후부터 승인을 받은 ONU가 상향으로 전송한 셀이 OLT에 도착하는 시점까지 걸리는 시간이다. 따라서, ranging 프로토콜의 요지는 그림 3에서 보듯이 OLT가 서로 다른 물리적 특성과 서로 다른 거리에 떨어져 있는 ONU에게 적절한 등화지연 (equalization delay, T_d)을 제공하여 등화 왕복전파지연을 동일하게 하는 것이다. 등화지연 값은 ranging 과정에서 OLT가 측정하며, 이 값을 하향 PLOAM 셀의 메시지 필드에 기록하여 ONU에게 알려줌으로서 ranging 과정이 완료된다. 이 값을 할당 받은 ONU는 OLT로부터



$$T_{total}(T_{eqd}) = T_{tx} + T_{rx} + T_{ODN} + (T_s + T_r) + T_{eq} + T_{tx} + T_{rx} = T_{S1} + T_{r1} + T_{response}(ONU) + T_{p1} + T_{S2}$$

그림 3. 등화 왕복전파지연에 대한 예시

터 승인이 도착하면, 셀을 즉시 송신하는 것이 아니라 T_d 만큼의 시간이 경과한 후에 셀을 전송함으로써 다른 ONU가 보내는 셀과 충돌을 피할 수 있다. 따라서 새로운 ONU가 설치될 경우와 ONU가 동작 중인 경우라 할지라도 T_d 에 2 비트 이상의 편차가 발생하면 ranging을 수행하여야 한다.

그림 4는 구현된 ONU의 TC (Transmission Convergence) 칩의 전체 블록도를 나타낸 그림으로 OLT가 구성한 하향 프레임 신호가 ONU에 도착되어 광전 변환처리가 된 후, 직렬 데이터 신호를 전달하면 다음과 같은 동작이 일어난다. 우선 STP (Serial To Parallel)가 직렬 데이터를 병렬화하고, 동기회로는 셀 구분을 위한 동기 작업을 수행하게 되는데, 이 과정은 I.432.1에 기술되어 있는 알고리즘을 따른다^[3]. 최초에는 HUNT 상태에서 비트 단위의 헤더 검사를 수행한다. 이 경우에는 하위 6비트만 일치하면 일단 동기가 일치하는 것으로 간주하고 PRESYNC상태에 들어가는데, 이것은 아직 역혼화 (descramble) 동기가 잡히지 않은 상태이므로 상위 2비트의 정확한 값이 산출될 수 없기 때문이다. PRESYNC 상태에서는 셀 단위로 검사를 수행하며, 연속 8회 (DELTA=8) 헤더 값이 일치하면 SYNC 상태로 들어간다.

이 상태에서 연속 7회 (ALPHA=7) 헤더 에러가 발생하면 다시 HUNT 상태가 된다. 이와 같은 동기 상태가 지속되면서, PLOAM 셀 동기와 프레임 동기가 연어진다. 역 혼화 동기는 상대적으로 복잡하게 수행된다. 역 혼화 동기회로는 각각의 상태를 유지하기 위하여 확인 계수기 (confidence count)를 가지는데, 계수기의 하한 값은 0이고 상한 값은 24이다. 셀 헤더 값이 일치하면, 계수기의 값 (C) 이 증가하고 그렇지 않을 경우에는 그 값이 감소하게 된다. 처음 획득 (Acquisition) 상태에서 $C = 16$ 에

이르면 확인 (Verification) 상태로 천이하며, 이 상태에서 $C = 8$ 로 값이 감소하면 다시 획득 상태로 돌아간다. 확인 상태에서 $C = 24$ 에 이르면 정상 (Steady) 상태에 이른다. 이 상태에서는 $C = 16$ 으로 감소하면 다시 획득 상태로 들어간다. 이러한 과정에서 역 혼화 동기가 이루어진다.

역 혼화 동기가 이루어지지 않으면, 원래 셀이 가지고 있는 데이터 값을 복구할 수 없기 때문에 BIP (Bit Interleaved Parity) 처리가 불가능하다. 따라서 역 혼화 동기가 이루어진 후 BIP 처리를 수행한다. 마지막으로 역 다중화기는 헤더가 가지고 있는 값에 따라 PLOAM 셀, 데이터 셀, 휴지 셀을 구분하여 해당 버퍼에 위치시킨다. 특히, PLOAM 셀 처리는 PLOAM 셀 내부의 동기 필드를 이용하여 1 KHz 클럭을 추출하고, 승인 필드와 메시지 필드의 여러 검사와 하향 반 프레임에 대한 BIP 검사를 수행한다. 모든 검사가 완료되면 에러가 없는 경우에만 한하여 메시지 필드를 마이크로 프로세서에게 전달하고, 승인 필드를 승인처리기에 전달한다.

승인처리기가 수신한 승인 필드에는 어떤 ONU에게 어떤 종류의 셀을 상향으로 보내라는 지시가 들어있다. 이러한 승인 정보에 따라 ONU가 셀을 보내면 53 타임슬롯 단위의 상향 프레임이 형성된다. 결국, 상향 프레임의 어떤 타임 슬롯은 OLT가 제공한 승인에 따라 ranging 셀, PLOAM 셀, 미니 슬롯, 데이터 셀이 될 수 있다. 그림 4에서 보는 것처럼 MUX는 승인처리기가 제공하는 enable 신호에 따라 해당하는 셀이 선택되어 전달되도록 다중화 기능을 제공한다. 승인처리기는 승인 값을 해석하는 즉시, 상향으로 셀을 전달하는 것이 아니라 ranging 셀, 사용자 셀, 미니슬롯 등 종류에 따라 특정 지연 값이 경과한 후에 MUX에게 enable 신호를 제공해야 다른 ONU가 보내는 셀과 충돌하는 것을 피할 수 있다. 즉, ranging 절차와 관련한 승인을 수신하면, 즉시 셀을 상향으로 송신해야 하고, 일반 트래픽 셀이나 PLOAM 셀에 대한 승인을 수신하면, OLT로부터 할당받은 등화지연이 경과한 후에 셀은 전송해야 한다. 또한, 미니슬롯에 대한 승인을 수신하면, 등화지연 외에도 부가적인 옵셋 값이 경과한 후에 셀을 전송해야 다른 ONU가 보내는 미니슬롯과 충돌이 발생하지 않는다. ITU-T의 G.983.1에서는 이러한 셀들이 OLT에 도착하였를 때, OLT가 기대하는 도착시점과 1 비트 이상 차이가 나지 않도록 권고하고 있으므로, ONU가 셀을 송출하는 시간을 정확히 처리하는 회로의 구현이

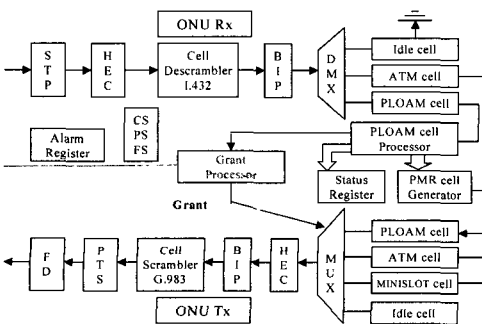


그림 4. ONU의 TC 칩 블록도

필수적이다. 궁극적으로 승인처리기의 역할은 그림 4에 주어진 것처럼 PLOAM 셀 처리기로부터 승인 값을 입력으로 받고, 각각의 승인에 대하여 정확한 지연이 경과한 후에 버퍼에서 대기하고 있는 해당 하는 셀을 선택해서 전달하는 것이다. 본 논문은 이러한 기능을 수행하는 승인처리기를 구현하는 것이 목적이며, 다음 절에서 세부적인 알고리즘을 소개한다.

MUX에서 출력된 셀은 HEC (Header Error Control) 필드 발생기를 거쳐 BIP를 계산한다. 이후, G.983.1에서 정의하는 방식으로 셀 혼화 과정을 거친다. 이 과정에서 오버헤드 3 바이트에 대한 혼화는 제외되며, 53 바이트 셀에 대해서만 혼화를 수행한다. 여기까지는 병렬로 처리되며 혼화 처리가 된 셀은 PTS (Parallel To Serial) 거쳐 직렬 데이터로 변환된다.

III. Ranging 절차 및 승인처리기 설계 알고리즘

ONU 내부의 TC 칩에 적용되는 승인처리기 (Grant Processor) 의 동작과정을 살펴보기 위해서 Ranging 절차를 이해할 필요가 있다. 그림 5는 이러한 ranging 절차를 설명한 것으로서, 처음에 ONU의 전원이 켜지면 여러 가지 초기화 작업이 일어난다. 그 과정은 일련번호를 기록하고, 그림 6처럼, 8 비트의 ranging 상태 레지스터 RSR (Ranging Status Register)을 초기화하는 것도 포함된다. 최초로 RSR[7:0]은 0x00의 값을 가진다. RSR0은 ONU가 ranging 할 준비가 된 상태 (Ranging Ready), RSR1는 OLT로부터 ONU가 ID를 받고, 데이터 및 PLOAM 셀을 보낼 때 사용하는 승인 값을 할당받은 상태 (Grant Allocated), RSR2는 OLT

의 측정에 의하여 T_d 값을 할당받은 상태 (Measurement Completed), RSR3는 미니슬롯 승인 값을 할당받은 상태 (Divided slot grant Configured)를 의미하며, 나머지 비트의 사용은 유보해 둔다.

그림 5에서 OLT로부터 Upstream_overhead 메시지가 도착하면, 오버헤드 3 바이트의 내용을 기록하고, 만약 사전 할당지연 (pre-assigned delay), T_d 값이 있다면, 그 지연 값을 기록해 둔다. 사전 할당 지연이란 OLT가 Upstream_overhead 메시지를 통하여, ONU에게 미리 어느 정도의 지연 값을 제공하고자 하는 의도로 사용되는 것이다. 지연 값을 기록하는 곳은 비트 지연 레지스터 BDR (Bit Delay Register), 바이트 지연 카운터 BDC (Byte Delay Counter), 셀 지연 레지스터 CDR (Cell Delay Register)이다. BDR 과 BDC 는 사전 할당지연이나 등화지연을 제공하는데 이용되는 것으로 전자는 비트지연에 관여하고 후자는 바이트 지연에 관여한다. 또한 CDR 은 상향 셀 단위의 지연을 제공한다. ONU가 상향으로 셀을 전송함에 있어서 BDC는 PTS 이전에 구현되어 있어 바이트 클럭을 기준으로 동작하므로, 비트 단위의 미세 지연을 제공할 수 없다. 비트 지연까지 정교하게 제공하기 위해서는 PTS 이후 직렬로 동작할 때 BDR의 값을 참조하여 비트 지연을 제공한다. 이 때까지도 RSR = 0x00 값을 그대로 유지한다.

다음으로 OLT가 전달하는 메시지는 일반적으로 Serial_number_mask 메시지이다. 이 메시지에 들어 있는 mask의 값이 자신의 일련번호와 일치한다면, ONU는 ranging 셀에 응답할 준비를 하며, 마이크로 프로세스는 ranging 상태 레지스터의 내용을 RSR = 0x01로 변경한다. 그 후 OLT는 윈도우 (window)를 개설하고 PLOAM 셀을 통해 ranging 승인을 하향으로 보낼 것이다. 여기서 윈도우란 이미 서비스 중에 있는 ONU들로 하여금 상향으로 셀을 보낼 수 없게 하는 기간을 의미하며, 이 기간 동안에는 현재 ranging 절차에 참여하고 있는 ONU 들만 셀을 보내게 함으로써 상향 셀의 충돌을 방지하기 위한 것이다. 윈도우의 길이에 해당하는 기간

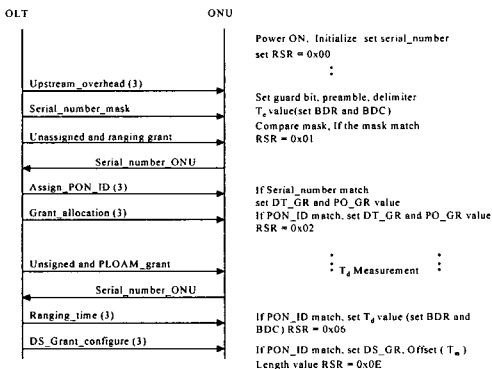


그림 5. Ranging 절차

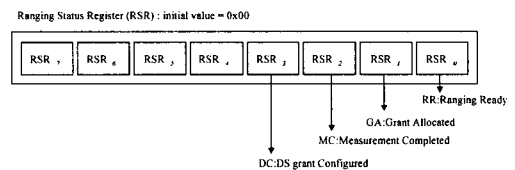


그림 6. Ranging 상태 레지스터

동안 동작 중인 ONU들은 서비스가 중단되므로 가급적이면 윈도우의 길이를 짧게 유지할 수 있는 알고리즘이 요구된다^[4]. 새로 설치되고자 ranging에 참여하는 ONU들은 ranging 승인을 수신한 즉시 (upstream_overhead 메시지에서 $T_e = 0$ 로 설정되어 있는 경우), 혹은 유한한 시간이 경과한 후 ($T_e > 0$ 로 설정되어 있는 경우)에 PLOAM 셀 내부에 Serial_number_ONU 메시지를 기록하여 응답을 한다. 만약 이 응답 메시지가 충돌이 없이 성공적으로 OLT에 도착했다면, ONU에게 PON_ID 를 할당하고, 해당 ONU에게 적용될 데이터 승인 값과 PLOAM 셀 승인 값을 할당하여 줄 것이다. 이러한 값들을 성공적으로 할당받았다면 RSR = 0x02로 갱신한다. 만약 충돌이 발생하였을 경우, OLT는 binary tree mechanism을 이용하여 한 대씩 ranging에 참여하도록 유도한다^[2].

다음 단계에서 OLT는 등화지연, 즉 T_d 값 측정에 들어간다. 다시 윈도우가 개설되고 PLOAM 승인에 따라 ONU가 응답하여 2회 이상 등화지연 측정이 성공하면 OLT로부터 Ranging_time 메시지를 통해 등화지연 값을 할당받고 RSR = 0x06으로 갱신한다.

마지막으로 OLT가 Divided_slot_grant_configuration 메시지를 통하여 미니슬롯의 승인 값, offset 값, 길이를 할당받는다. 이로서 RSR = 0x0E 값으로 갱신함으로써 ranging 절차가 완료된다.

지금까지 기술한 바와 같이 OLT의 요구에 따라 ONU가 적절히 동작할 수 있도록 설계된 승인처리기의 구성도가 그림 7에 주어져 있다. 승인처리기의 기능은 하향의 비트/셀/프레임 동기작업이 완료된 후에 이러한 클럭을 이용하여 상향 셀 클럭의 발생 시키고, 상향 셀 클럭 (Cclk)마다 승인을 입력으로 받아오고, 승인 값에 따라 적절한 지연을 제공한 후에 ranging 셀, PLOAM 셀, 데이터 셀, 혹은 미니슬롯 버퍼에서 대기하고 있는 셀들을 선택하는 신호를 제공하는 것이다. 선택된 셀은 프레임러를 거쳐서 상향으로 전달된다.

그림 4에 있는 PLOAM 셀 처리기는 다양한 회로에 입력을 제공하는데, 특히 승인처리기에 PLOAM 셀 내부의 승인 필드에서 승인 값 27 개를 추출하여 전달한다. 그러한 승인 값이 그림 7의 좌측 상단에 있는 입력으로 유입된다. 유입된 승인들은 이동 레지스터 (Shift Register, SR)를 경유하여 상향 셀 클럭 (Cclk)단위마다 오른쪽으로 이동한다. CDR과 BDC의 주변회로는 각각 상향 셀 길이

만큼의 지연과 비트 단위의 지연을 제공하는 것이 목적이다. 사전 할당지연 (T_a) 혹은 등화지연 (T_d) 값이 CDR에는 셀 단위로, BDC에서 비트 단위로 환산되어 있다. 그 값은 다음과 같이 계산한다.

$$\text{Value of CDR} = [(T_e \text{ or } T_d) / (56 \times 8)] \quad (1)$$

$$\text{Value of BDC} = [((T_e \text{ or } T_d) \% (56 \times 8)) / 8] \quad (2)$$

여기서, [x]는 x를 초과하지 않는 최대의 정수이며, %는 모듈러 연산자를 의미한다. 이와 같이 결정하는 이유는 OLT가 제공해 주는 T_e 와 T_d 값이 비트 단위로 환산되어 있기 때문이다. 결국, 그림에서 셀 단위의 지연 선택기에는 CDR에 적혀있는 횟수만큼 Cclk이 경과하면 승인 값이 출력으로 나오고, 비트 단위 지연을 제공하는 모듈의 출력은 BDC에 적혀 있는 횟수만큼의 비트 클럭이 경과하면 승인 값이 출력으로 나오게 된다. 마지막으로 비트 단위의 미세 지연은 그림 4에 있는 FD (Fine Delay) 모듈에서 제공한다.

등화 왕복전파지연이 모든 ONU에게 동일하게 적용되기 위해서는 물리적으로 OLT와 가까운 거리에 있는 ONU 일수록 우측 이동 레지스터 (right shift register)의 끝에서 승인 값이 출력될 것이다. 극단적이 상황으로 0 Km 떨어진 ONU는 G.983.1에 명시된 등화 왕복전파지연을 만족하기 위해서 최소 79 개의 레지스터 테이블을 필요로 한다.

최초에 OLT로부터 Upstream_overhead 메시지를 수신한 경우, 마이크로 프로세스는 사전할당 지연값에 대한 CDR, BDC, FD 값을 설정해 둔다. 그러나 초기에는 승인 테이블이 채워져 있지 않고, RSR = 0x00이므로 승인처리기는 동작하지 않는다. 승인

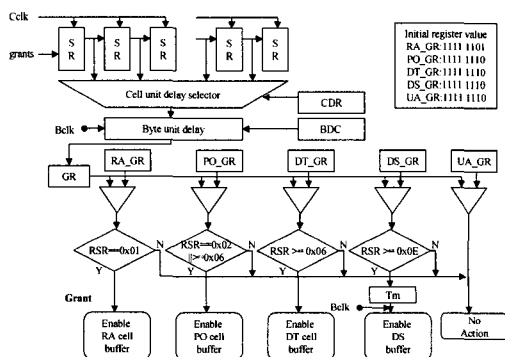


그림 7. 승인처리기

처리는 $RSR > 0x00$ 을 만족하고 이동 레지스터에 최초로 승인 값이 들어오면서 동작한다. 그림 5에서 볼 수 있는 것처럼 Serial_number_mask 메시지의 일련번호와 자신의 일련번호가 일치하면 마이크로 프로세서는 TC 칩 내부의 ranging 상태 레지스터를 액세스하여 $RSR = 0x01$ 로 기록한다. 이 때부터 승인처리는 PLOAM 셀 처리가 전달하는 승인 값을 받아들여 승인 테이블을 채우기 시작한다.

레지스터 테이블이 채워지면 상향 셀 클럭 (Cclk) 마다 승인이 오른쪽으로 이동한다. 도착한 승인이 비고 레지스터 (그림에서 GR)에 위치에 오기까지 셀 단위지연과 바이트 단위의 지연을 겪는다. 비고 레지스터에 있는 승인은 레지스터 배열에 있는 값들과 동시에 비교된다. 그러나 그림 7에서 보는 바와 같이, 최초에는 ranging 승인을 제외한 모든 레지스터 배열 값이 무할당 승인 값으로 초기화 되어 있기 때문에 ranging 승인이 값이 들어오기까지 처리는 동작하지 않는다. 만약 임혀진 값이 ranging 승인이고 $RSR = 0x01$ 이면 사전 할당 지연 후에 상향으로 ranging 셀 (Serial_number_ONU 메시지)을 보낸다. 이 메시지가 OLT에 무사히 도착했다면, OLT는 ONU의 일련번호를 획득하였으므로, PON_ID 를 할당하고 이어 해당 ONU가 사용할 데이터 셀 승인 값 (data grant: DT_GR)과 PLOAM 셀 승인 값 (PLOAM cell grant: PO_GR)을 할당해 줄 것이다. ONU는 이 값을 레지스터 배열에 기록한다. 여기까지 절차가 완료되면 마이크로 프로세서는 $RSR = 0x02$ 로 값을 변경한다.

$RSR \geq 0x02$ 를 만족하면 ONU는 PLOAM 셀과 데이터 셀을 상향으로 전송할 수 있는 상태가 된다. OLT는 등화지연을 측정하기 위해서 윈도우를 개설하고 해당 ONU에게 PLOAM 셀 승인을 제공할 것이다. 이에 따라 ONU는 수 차례에 걸쳐 PLOAM 셀을 송신함으로써 등화지연 측정에 참여한다. 측정이 완료되면 OLT는 Ranging_time 메시지를 통해 등화지연을 할당한다. ONU는 등화지연 값을 등화지연 레지스터에 기록하고 $RSR = 0x06$ 으로 갱신한다.

G.983.1에 기술된 바와 같이 분할슬롯 (divided slot)은 여러 개의 미니슬롯을 포함한다. 한 개의 분할슬롯에 몇 개의 미니슬롯을 포함할 수 있는지는 미니슬롯의 길이에 따라 달라진다. 본 논문에서는 사용하는 분할슬롯의 구조는 [5]와 [6]에 제시된 방법을 따르기로 한다. OLT는 여러 가지 조건에 따

라 적절한 미니슬롯 길이를 결정할 수 있으며, 이것을 Divided_slot_grant_configuration 메시지를 통하여 전달한다. 이 메시지 안에는 미니슬롯의 길이와 승인 값 뿐만 아니라, 해당 ONU가 분할슬롯의 시작점에서 몇 바이트 떨어져서 미니슬롯을 전송할 수 있는가를 지시하는 오프셋 (offset) 값이 들어있다. 결국, $RSR \leq 0x06$ 상태에서는 (Divided_slot_grant_configuration 메시지를 수신하기 전) 상황으로 미니슬롯을 전달할 수 없다. 최종적으로 그 메시지를 수신한 경우, 미니슬롯에 대한 승인 값과 그림 7에 있는 것처럼 해당 위치를 지정하는 바이트 단위의 오프셋 (offset), T_m 을 할당한다. 이로서 $RSR = 0x0E$ 가 되며, ranging 절차가 완전히 종료된다.

이와 같은 절차를 수행하는 승인처리를 그림 7과 같은 구조로 FPGA를 이용하여 구현하였고 다음 절에서 적절하게 동작하는지를 검증한다.

IV. Grant Processor의 모의 실험

본 연구에서 개발된 Grant Processor는 Xilinx사의 모델명 XCV400-HQ240인 FPGA (Field Programmable Gate Array)칩을 대상 타겟으로 하여 VHDL (Very-high-speed Description Language)로 코딩해 시간 시뮬레이션 하였다.

전술한 바와 같이 승인처리는 셀 단위의 지연을 제공하기 위하여 79 개 이상의 이동 레지스터를 보유해야 한다. 한 개의 승인 값을 표현하기 위하여 G.983.1에서 8 비트를 할당하고 있다. 그러나 하향 PLOAM 셀을 통하여 승인들이 ONU에 도착하면, 자신을 제외한 다른 ONU들에게 제공하는 승인은 종류에 관계없이 자신에게 있어 무할당 (unassigned) 승인으로 간주해도 무방하다. 본 논문에서는 승인처리기의 칩 면적을 줄이기 위해, 표 1에서 주어진 것과 같이 자신에게 제공되는 CBR (Constant Bit Rate), VBR (Variable Bit Rate), 분할슬

표 1. 승인값의 변환

| 승인 | 변환값 |
|--------------------|-----|
| PLOAM_GRANT | 100 |
| RANGING_GRANT | 101 |
| CBR_GRANT | 001 |
| Divided_Slot_GRANT | 011 |
| VBR_GRANT | 010 |
| Unsigned_GRANT | 000 |

롯, PLOAM, Ranging 셀에 대한 승인과 그외의 승인은 (자신과 관계가 없으므로) 무할당 승인으로 간주하여 총 6 가지만 식별하도록 한다. 따라서 승인 처리기에 유입되는 승인 값을 내부적으로 3 비트로 변환함으로써 메모리의 용량을 절반 이상 절약할 수 있도록 설계하였다.

그림 8은 합성된 승인처리기의 외부 입·출력 부분을 보여준다. 마이크로 프로세서의 인터페이스에 해당하는 것으로서 칩 선택신호 (CE_N2), 어드레스 (Address), 데이터 신호 (DATA2), write 신호 (WR_N)가 있다. 따라서 마이크로 프로세서는 승인 처리기 내부의 특정한 레지스터와 카운터를 액세스 하여 읽고 쓰기를 할 수 있다. 클럭 신호로서 56 바이트 단위의 상향 셀 클럭 (Cclk), 바이트 클럭 (Bclk)이 입력으로 제공된다. 그 외에 리셋신호 (Reset)와 PLOAM 셀 처리기에서 제공하는 승인 값 입력신호(Ginput)가 있다. 궁극적으로 승인처리기는 출력신호 (Enbuffer)를 통해, 그림 4에서 보여주는 것과 같이 여러 가지 버퍼에서 대기하고 있는 셀들 중에 하나를 선택하라는 지시를 3 비트의 정보로 출력한다.

그림 9와 10은 RSR 값에 따라 승인처리기가 다르게 동작하는 것을 보여주기 위한 것이다. 먼저, 그림 9는 OLT로부터 Upstream_overhead 및 Serial_number_mask 메시지를 수신함으로써, RSR = 0x01의 상태이다. 따라서, 오직 ranging 승인을 수신하였을 경우에만 반응을 할 수 있다. 이 그림에서 승인 값 입력 핀을 통해 상향 셀 클럭 (Cclk) 주기마다 3 비트로 변환된 승인 값이 들어오는 것을 볼 수 있다. 출력 핀은 무동작 상태 (000으로 표기)로 있다가, 입력 핀으로 ranging 승인 (101, 표 1 참조)이 유입된 후 상향 셀 단위로 약 4 셀의 시간이 경과한 후에 출력핀 (Enbuffer)이 반응한다. 순간적으로 변화하기 때문에 그림에서는 상태변화로

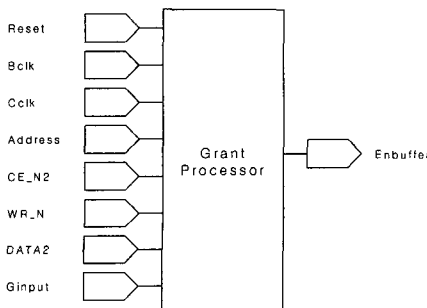


그림 8. 승인처리기의 입·출력

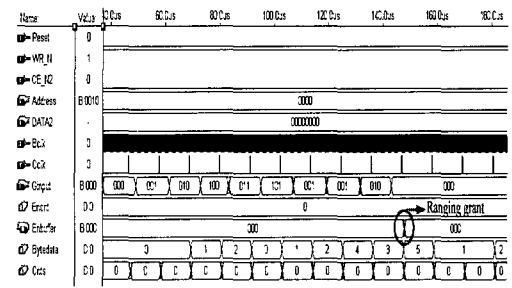


그림 9. RSR = 0x01일 경우의 시뮬레이션 결과

나타나 있고 화살표로 표시하였다. 그 이후에 ranging 승인이 유입되지 않기 때문에 다시 무동작 상태로 들어간다. 실제 구현된 칩에서 ranging 승인 값이 유입된 후 즉시 처리하는 경우, 1 셀 정도의 지연이 경과하면 승인처리기의 출력이 나타난다. 그런데 4 셀에 해당하는 시간이 경과하는 것은 ONU의 응답시간이 7 ~ 9 셀 시간을 가지도록 G.983.1에서 권고하기 때문에 강제적으로 3 셀 시간의 지연을 더 추가하였기 때문이다. 구현된 승인처리기의 전 단계 (TC 칩에 PLOAM 셀이 도착하여 승인처리기의 입력으로 승인 값이 들어오기 직전)와 이후 단계 (승인처리기가 대기 버퍼를 enable 한 직후, 해당 셀 버퍼에서 대기하는 셀이 출력되어 여러 가지 처리과정을 겪고 프레임러를 빠져나가는데 까지)에서 약 4 셀 지연이 추가되므로, 전체 ONU 응답 시간은 8 셀로서 규격을 만족한다.

그림 10은 RSR = 0x02로서 ONU가 ranging 셀에 Serial_number_ONU 메시지를 실어 보내고, OLT로부터 PON_ID를 할당받고, 이어서 이 ONU가 사용할 데이터 및 PLOAM 셀 승인 값까지 할당받은 상태이다. III 절에서 기술한 바와 같이 이 때는 단지 자신과 일치하는 PLOAM 승인에만 응답할 수 있다. 따라서, 입력 핀을 통해 PLOAM 셀 승인 (100, 표 4 참조)이 유입된 직후, 4 셀 시간이

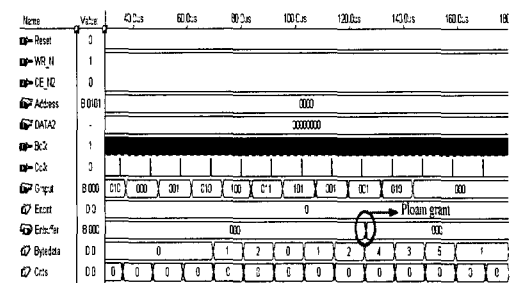


그림 10. RSR =0x02일 경우의 시뮬레이션 결과

경과한 후에 출력 핀 Enbuffer이 반응하는 시점을 확실표로 나타내었다. 이로서 PLOAM 셀 버퍼에 대기하고 있는 PLOAM 셀이 선택되어 전달된다.

지금까지 살펴본 바와 같이 승인처리기는 RSR의 값과 유입되는 승인 값에 따라 정상적으로 동작하는 것을 알 수 있다. 다음으로, 그림 11과 그림 12는 ranging 절차가 완료되고 (RSR = 0x0E인 경우) CBR 승인에 대해서 정확히 등화지연 값이 경과한 후에 셀을 보내는지를 확인하기 위한 것이다.

먼저, 그림 11은 OLT로부터 등화지연 값을 0으로 할당받은 경우에 대하여 타임 시뮬레이션을 보여준다. 입력 핀을 통해 CBR 승인 (001)이 유입된 후, 4 셀이 경과한 후에 출력 핀 Enbuffer이 반응한다.

여기서도 약 4셀 클럭(Cclk) 이후에 출력이 나오는 것은 ONU가 승인에 대한 응답시간이 7~9셀 사이가 되어야 하므로 강제적으로 처리 시간을 맞추어 주기 위한 지연이다²¹. 이 지연 값은 시스템의 구현 방식에 따라 2셀 정도의 오차를 허용하는 값이다.

그림 12는 OLT로부터 등화지연 값을 2셀 3바이트로 할당받은 경우로서 다른 파라미터는 그림 11과 동일하다. 출력 핀을 보면 전체적으로 2셀 3바이트만큼 더 지연을 겪은 후 출력되는걸 볼 수 있다. 이외에도 ranging 절차를 기반으로 하여 여러 가지 상황에서 실험을 하였는데, 정상적인 동작을 확인할 수 있었다. 참고로 설계된 승인처리기는 바이트 클럭으로 동작하기 때문에 바이트까지의 지연을 주게 되고 비트지연은 비트동작을 하는 전송단의 맨 끝부분 PTS 이후에서 주게 된다.

지금까지 모의실험을 통하여, 구현된 승인처리기는 OLT가 보내는 여러 가지 승인에 대하여, 요구되는 지연을 제공하는 것을 볼 수 있었다. 승인처리기의 동작이 실제 구현된 시스템에서 정확하게 동작하는 것을 검증하기 위하여, FPGA로 구현한 TC

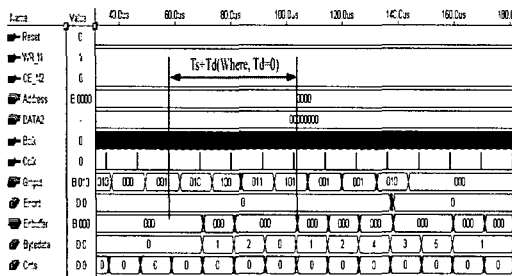


그림 11. 등화지연, $T_d = 0$ 일 때 타임 시뮬레이션

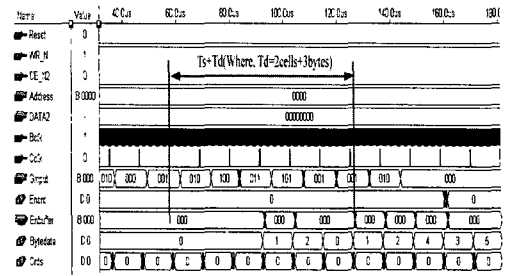


그림 12. 등화지연, $T_d = 2$ 셀 3바이트일 때 타임 시뮬레이션

칩과 광 모듈로 구성된 OLT와 ONU 보드를 광 스플리터로 연결하여 그림 13과 같이 구성하였다.

그림 13에서 볼 수 있듯이, 왼쪽에 있는 OLT 보드에 오른쪽에 있는 두 대의 ONU 보드를 연결하여, 하향의 경우 1:2 스플리터를 연결하였고, 상향의 경우 1:8 스플리터와 1:2 스플리터를 직렬로 연결하였다. 따라서, 상향으로 제공되는 모든 포트에 ONU를 연결한다면 16 대까지 ONU를 설치할 수 있다.

그림 14는 그림 13과 같이 꾸며진 보드에 논리 분석기를 연결하여 출력을 화면에 나타낸 것이다. 화면에 출력되는 핀의 구성을 보면, 하향 직렬 데이터 신호인 datain, 위치가 다른 ONU들로부터 셀이 들어 올 때마다 자동 그림 14. 전체 동작을 보여주기 위한 논리 분석기의 모니터 출력threshold 레벨을 설정해주는 신호인 reset, 첫 번째 ONU의 상향 직렬 데이터 신호인 dataend1, 두 번째 ONU의 상향 직렬 데이터 신호인 dataend2, 상향 셀의 위상을 감시해주는 신호인 PMSE (Phase Monitor and Synchronizer Enable), OLT 수신부의 직렬 데이터 입력 신호인 mrx_out, OLT 내부의 HEC 과정을 거쳐 출력되는 신호인 HECOUT[7:0]로 구성되어

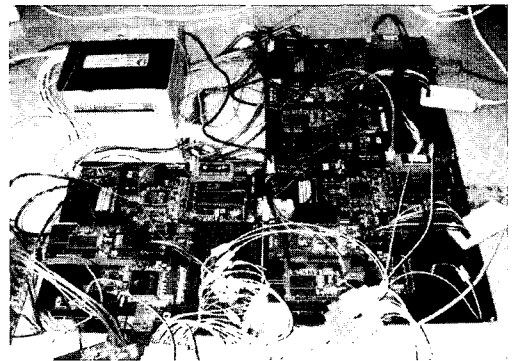


그림 13. 구현된 OLT (좌측) ONU (우측) 보드

정 해(Chung Hae)

정회원



1987년 한양대학교 전자통신
공학과 (학사)

1991년 한국과학기술원 전기
및 전자공학과 (석사)

1996년 한국과학기술원 전기
및 전자공학과 (박사)

1996년 ~ 1998년 엘지정보통
신 선임연구원

1998년 ~ 현재 금오공과대학교 조교수

<주관심 분야> 가입자 액세스망 (APON Ethernet-
PON), 트래픽 제어, 통신 프로토콜

유 건 일(Yoo Gun Il)

정회원

1984년 한양대학교 전자통신공학과 (학사)

1986년 한양대학교 대학원 전자통신공학과 (석사)

1987년 ~ 현재 KT통신망연구소 광액세스연구실장

<주관심 분야> 광가입자망 기술