

# 전류 모드 CMOS를 이용한 4치 Hybrid FFT 연산기 설계 (Four-valued Hybrid FFT processor design using current mode CMOS)

서명웅\*                      송홍복\*\*  
(Myung-Woong Seo) (Hong-Bok Song)

## 요 약

본 논문에서는 전류모드 CMOS의 기본회로를 이용해 다치 논리(Multi-Valued Logic) 연산기를 설계하고자 한다. 우선, 2진(Binary)FFT(Fast Fourier Transform)를 확장해 다치 논리회로를 이용해서 고속 다치 FFT 연산기를 구현하였다. 다치 논리회로를 이용해서 구현한 FFT연산은 기존의 2치 FFT과 비교를 해 본 결과 상당히 트랜지스터의 수를 줄일 수 있으며 회로의 간단함을 알 수가 있었다. 또한, 캐리 전과 없는 가산기를 구현하기 위해서 {0,1,2,3}의 불필요한(Redundant) 숫자 집합을 이용한 양의 수 표현을 FFT회로에 내부적으로 이용하여 결선의 감소와 VLSI 설계시 정규성과 규칙성으로 효과적이다. FFT승산을 위해서는 승산기의 연산시간과 면적을 다치 LUT(Look Up Table)로 이용해 승산의 역할을 하였다.

마지막으로 이진시스템(Binary system)과의 호환을 위해 다치 하이브리드형 FFT 프로세서를 제시하여 2진 4치 부호기와 4치 2진 복호기 및 전류모드 CMOS회로를 사용하여 상호 호환성을 갖도록 설계를 하였다.

## ABSTRACT

In this study, Multi-Values Logic processor was designed using the basic circuit of the electric current mode CMOS. First of all, binary FFT(Fast Fourier Transform) was extended and high-speed Multi-Valued Logic processor was constructed using a multi-valued logic circuit. Compared with the existing two-valued FFT, the FFT operation can reduce the number of transistors significantly and show the simplicity of the circuit. Moreover, for the construction of amount was used inside the FFT circuit with the set of redundant numbers like [0,1,2,3]. As a result, the defects in lines were reduced and it turned out to be effective in the aspect of normality an regularity when it was used designing VLSI(Very Large Scale Integration). To multiply FFT, the time and size of the operation was used as LUT(Lood Up Table).

Finally, for the compatibility with the binary system, multiple-valued hybrid-type FFT processor was proposed and designed using binary-four valued encoder, four-binary valued decoder, and the electric current mode CMOS circuit.

\* 정회원 : 동의대학교 전자공학과(석사) 재학

\*\* 정회원 : 동의대학교 전기·전자·정보통신·메카트로닉공학부 부교수

※ 본 논문은 2001년 동의대학교 교내 학술연구 지원비에 의해 연구되었음.

논문접수 : 2001. 12. 11.

심사완료 : 2001. 12. 29.

## 1. 서론

최근 VHDL, ULSI 기술의 급속한 발전으로 인해 1개의 칩(Chip)속에 들어갈 수 있는 회로의 규모와 기능이 점점 증가하여 수천만 개의 소자를 가진 집적회로가 등장하고 있다. 이러한 현재의 대부분의 디지털 회로는 신호 레벨로서 2치 표현을 기본으로 한 논리 방식이 채택되어져 있는데 이것은 현존하는 소자가 온-오프(on-off) 동작에 적합하고 물질적인 투자와 연구 개발이 2치 VLSI 연구에 계속된 결과 오늘날과 같은 발전을 이루게 되었다.

그러나 기존의 2치 논리에서는 캐리전파에 의해서 연산의 속도가 제한되어질 뿐만 아니라 VLSI의 칩 실효면적 중 내부 배선이 70% ~ 90% 정도의 비율로 차지하고 있어 내부 배선의 복잡성 처리 및 배선 감소와 VLSI의 성능향상의 열쇠가 되고 있다. 즉 회로기능과 병렬 구조의 고도화의 요구에 따라 셀(Cell), 기본 블록 및 모듈(Module)간의 배선이 증가하기 때문에 배선 영역 및 배선 용량 · 저항의 증대 등에 의해 성능이 저하된다.[1][2] 그리고 칩 상에 병렬 승산기 등을 내장한 마이크로 프로세스와 신호 처리 프로세서 등이 계속 개발되어지고 있으며, 다수의 연산기를 이용한 초병렬 처리 시스템 및 초고성능화를 목표로 많은 연구가 진행되고 있으나 연산시간의 통신 시 일어나는 성능 저하의 문제가 대두되기 때문에 기존의 2치 방식은 고성능화에 장애가 되고 있다. 이와 같이 기본이 되는 고병렬 연산 알고리즘을 실행함에 있어 2치 데이터보다는 다치 부호의 데이터 표현이 유용하다. 다치 논리를 이용할 경우에는 병렬성이 높고 내부 배선량이 적은 시스템을 구성할 수 있다.

다치 논리 중에서 과잉수 표현인 PD(Positive digit)수 표현을 이용해서, 캐리 전파 없는 병렬가산이 가능하고 내부 구조의 정형화를 통하여 배선의 복잡성을 감소시킬 수 있다. 하지만 기존 메모리와 상관관계를 볼 때 메모리와 논리회로를 모두 다치로 하기에는 아직 시스템의 호환문제가 있으므로 이 논문에서는 입력 데이터를 부호기회로를 통해 4치로 변환하고 고속연산이 필요한 연산 논리회로는 4치로 구성하고 최종 출력 시 2치로 변환해 다시 저장하거나 출력하는 시스템의 하이브리드형을 제시한다. 또

한 PD 연산 회로의 구현에 있어서 전류모드 CMOS 회로를 사용해 선형가산을 수행할 때 결선만으로 선형가산이 실행되어지므로 능동소자의 수를 줄일 수 있고 고속의 연산을 수행할 수 있다.

실제로 이러한 다치논리의 특성을 이용하여 설계에 적용된 것으로 인텔사의 8087 수치 계산 프로세스는 4치 nMOS ROM회로를 이용하였으며, 모토로라사의 MCM 65256 ROM의 경우 4치 CMOS 회로를 이용하여 설계되어졌다. 전류모드 다치 CMOS 회로를 이용하여 지식 정보처리 및 화상 처리 프로세스, CAM (Content addressable memory)등의 제작 연구도 활발히 진행되고 있다.[3][4]

본 논문에서 논리회로부분인 FFT의 연산을 하기 위해 필요한 가산기는 4치 PD 가산기를 사용하여 이용하였고 승산기는 칩면적과 지연시간을 맞추기 어렵기 때문에 다치 LUT를 인용하였고 하이브리드형 FFT를 위해 입력단에 2진 4치논리 부호기를 구성하여 연산 후 4치를 2진으로 바꾸는 복호기로 구성하였다.

## 2. 다치 전류모드 CMOS 기본회로

본 논문에서는 전류모드 CMOS회로를 기본으로 구성되어 있다. 초기 CMOS회로는 전압 방식 다치논리 회로로 구성되어 졌으며 2치 논리 회로에 비해 복잡성과 전달 지연 때문에 경쟁이 되지 못한다. CMOS는 전류방향에 의해 +, -를 나타내는데 입력측으로부터 전류가 들어올 때를 + 전류가 흘러 나갈 때를 -로 한다. 여기는 PD(Positive digit)수 표현회로를 사용해 한 방향 전류만을 생각하였고 따라서 더욱 간단한 회로구현이 가능하다.

PD 수 표현 연산회로는 다치 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있으므로 단순화, 간략화 될 수 있어 적은 능동소자와 배선수로 연산회로를 구성할 수 있다.

전류 모드 CMOS 회로에서 뛰어난 장점 중에 하나는 가산, 감산을 능동소자가 아닌 결선만으로 구성될 수 있다는 점이다.

		회로도	기호
전류원			
전류	PMOS		
	NMOS		
쌍방향 전류미러			
문턱치 검출기	PMOS		
	NMOS		

[그림 1] 전류모드 CMOS회로의 기본 회로  
 [Fig. 1] Fundamental circuits of current mode CMOS circuit

전류모드 CMOS의 기본회로는 전류원, 전류미러, 문턱치 검출기, 쌍방향 전류입력회로들로 구성되고 기본회로의 기호와 블록도는 [그림 1]과 같다.[5]

### 3. FFT 연산회로

#### 3.1 다치 2입력 가산기의 설계

본 논문에서 다치 가산에는 캐리 전파를 없애기 위해서 PD수 표현을 이용한 PD(r,q) 가산기를 이용한다. 여기서 입력단에는 이진 데이터 4치로 바꾸어 FFT 연산을 하고 최종 2진 회로로 바꾸는 하이브리드형 FFT 연산기 설계를 위해 가산기 하나의 PD소자를 2입력 설계하였다. 다음의 두 가지 PD(2,3)과 PD(2,2)를 제시하였다.

##### 3.1.1 PD(2,3) 가산기

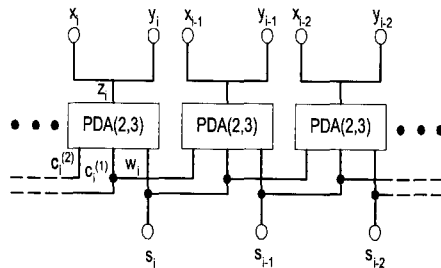
PD(2,3)은 {0,1,2,3}의 디지털 집합으로 표현된다. 먼저, PD(2,3)을 이용한 2입력 가산에서 입력은  $X=(x_{n-1} \dots x_i \dots x_0)_{PD(2,3)}$ 와  $Y=(y_{n-1} \dots y_i \dots y_0)_{PD(2,3)}$  이고,  $x_i, y_i \in \{0,1,2,3\}$ 이다. X와 Y를 이용한 병렬 가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \tag{1}$$

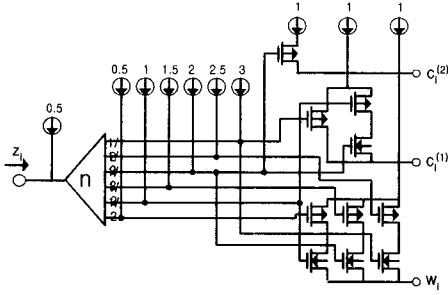
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \tag{2}$$

$$s_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \tag{3}$$

여기서 선형합  $z_i \in \{0,1, \dots, 6\}$ , 캐리와 중간합  $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$ , 최종합  $s_i \in \{0,1,2,3\}$ 이다. 위의 식을 이용해서 2입력 PD(2,3) 가산기를 구성해서 [그림 2]와 같다.



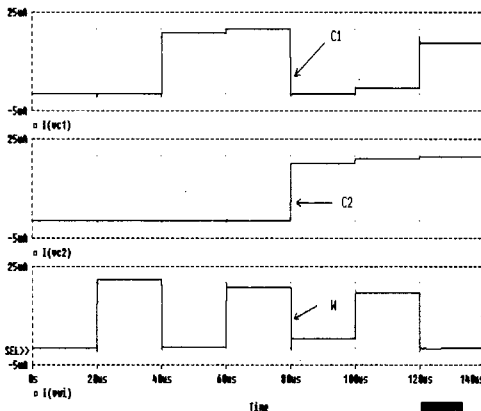
[그림 2] 병렬 PD(2,3)가산기 블록도  
 [Fig. 2] Parallel PD(2,3) adder Block diagram



[그림 3] 병렬 PD(2,3) 소자  
[Fig. 3] Parallel PD(2,3) device

[그림 3]의 과도응답 특성은 [그림 4]와 같다.

여기서, 입력을 논리치  $z_i$ 를 {0,1,2,3,4,5,6}으로 했을 때 중간합  $w_i$ 는 {0,1,0,1,0,1,0}, 캐리  $c_i^{(2)}$ 은 {0,0,0,0,1,1,1}, 캐리  $c_i^{(1)}$ 은 {0,0,1,1,0,0,1}가 나온다. 이는 식(1),(2) 그리고 (3)의 결과와 일치함을 알 수 있다. 선형 합  $z_i$ 와 최종 합  $s_i$ 는 가산기 설계 시 별도의 능동 소자 없이 결선만으로 얻어진다. 이 특징을 이용한다면 가산기의 구조를 단순화 할 수 있으므로 연산을 고속으로 수행할 수 있다.



[그림 4] PD(2,3) 소자의 과도응답 특성  
[Fig. 4] The transition respond of PD(2,3) device

### 3.1.2 PD(2,2)가산기

PD(2,2)를 이용한 병렬 가산에서 입력은  $X=(x_{n-1} \dots x_1 \dots x_0)_{PD(2,2)}$ 와  $Y=(y_{n-1} \dots y_1 \dots y_0)_{PD(2,2)}$ 이고,

$x_i, y_i \in \{0,1,2\}$ 이다. X와 Y를 이용한 병렬가산은 다음의 과정을 통해서 이루어진다.

$$z_i = x_i + y_i \quad (4)$$

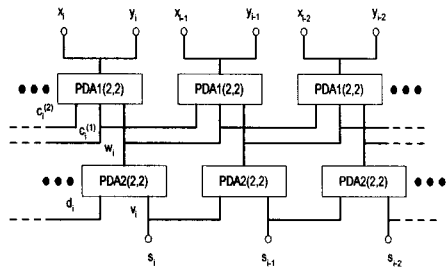
$$4c_i^{(2)} + 2c_i^{(1)} + w_i = z_i \quad (5)$$

$$t_i = w_i + c_{i-1}^{(1)} + c_{i-2}^{(2)} \quad (6)$$

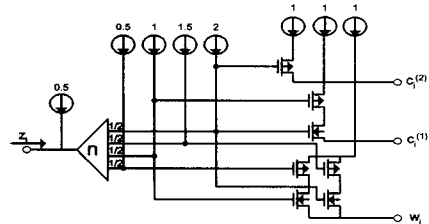
$$2d_i + v_i = t_i \quad (7)$$

$$s_i = v_i + d_{i-1} \quad (8)$$

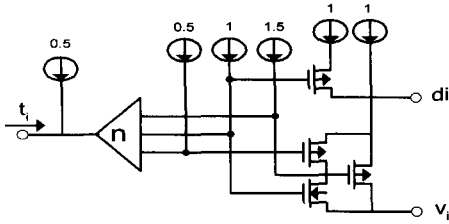
여기서 식(4)의 선형합  $z_i \in \{0,1,2,3,4\}$ , 식(5)의 캐리와 중간합  $c_i^{(2)}, c_i^{(1)}, w_i \in \{0,1\}$ , 식(7)의 2단에서의 캐리와 중간합  $d_i, v_i \in \{0,1\}$ , 식(8)의 최종합  $s_i \in \{0,1,2\}$ 이다. 여기서도 선형 합  $z_i$ 와 최종합  $s_i$ 는 별도의 능동소자 없이 결선만으로 얻어진다. 간략화 된 PD (2,2) 병렬 가산기 구조는 [그림 5]과 같다[5][6].



[그림 5] 병렬 PD(2,2) 가산기의 블록도  
[Fig. 5] The block diagram of Parallel PD(2,2) adder



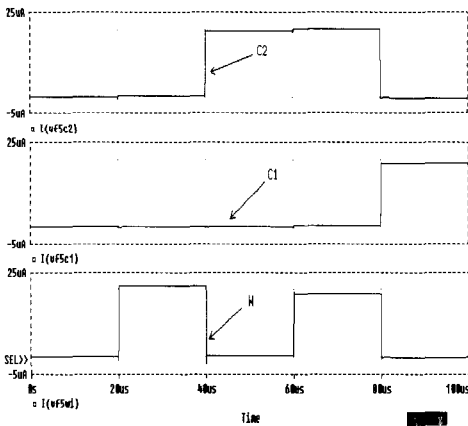
[그림 6] PDA1(2,2)의 회로도  
[Fig. 6] The circuit diagram of PDA1(2,2)



[그림 7] PDA2(2,2)의 회로도

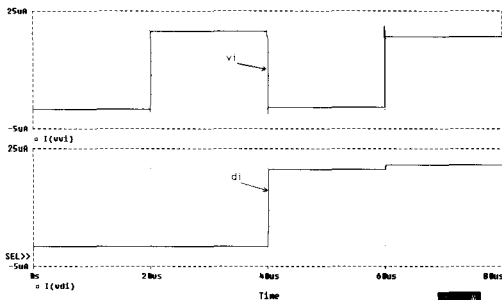
[Fig. 7] The circuit diagram of PDA2(2,2)

그리고 가산 첫째 단 PDA1(2,2)와 둘째 단 PDA2(2,2)의 소자의 회로도는 각각 [그림 6]과 [그림 7]에서 보이고 있다. [그림 6]의 PDA1(2,2) 회로의 과도응답은 [그림 8]과 같다.



[그림 8] PDA1(2,2)의 과도응답 특성

[Fig. 8] The transition respond of PDA1(2,2)



[그림 9] PDA2(2,2)의 과도응답 특성

[Fig. 9] The transition respond of PDA2(2,2)

식(4)의 입력을 논리치 {0,1,2,3,4}로 했을 때 [그림 8]에서 중간합  $W_i$ 는 {0,1,0,1,0}, 캐리  $c_i^{(2)}$ 은 {0,0,0,0,1}, 캐리  $c_i^{(0)}$ 은 {0,0,1,1,0}가 나오고 [그림 7]의 PDA2(2,2) 회로의 과도응답은 [그림 9]와 같다.

2단의 입력  $t_i$ 가 논리치 {0,1,2,3}일 때 2단의 캐리  $d_i$ 는 {0,0,1,1}, 중간합  $V_i$ 는 {0,1,0,1}이다. 이것은 식(6),(7),(8)의 결과와 일치함을 알 수 있다. 이상의 다차 2입력가산기로서 PD(2,2)와 PD(2,3)을 제시하였다. 여기서 본 논문에서는 FFT 가산기를 위해 <표 1>에서 보는 것처럼 4비트의 가산회로를 위해서 사용되는 트랜지스터 수와 가산단의 수를 비교했을 때 PD(2,3)이 더욱 용이하고 다차 FFT 연산의 사용되는 진수를 4차로 했을 때 PD(2,3)이 더욱 용이함을 알 수 있다.

<표 1> 4비트 병렬가산을 위한 PD(2,3)과 PD(2,2)의 비교

<Table. 1> The comparison between PD(2,3) and PD(2,2) for 4 bit Parallel addition

	가산단	트랜지스터수 (외부전류원포함)
PD(2,3)	1	160
PD(2,2)	2	244

3.2 다차 LUT(Look up table)

FFT연산회로에서 PD 가산기를 통해 고속의 연산을 할 수 있지만 위상의 천이와 같은 부분을 고려해서 승산기는 여러 가지로 지연시간의 차이를 발생시킬 수 있으므로 이것을 다차 LUT을 이용해 대체했다.

다차 LUT의 <표 2> 기본 진리치표를 나타내고 기본 트랜지스터의 회로 구성은 [그림 10]에서 나타내었다. [그림 10]에서처럼 2입력 4차 LUT에서  $f_0$ 에서  $f_F$ 는 {0,1,2,3}의 값을 가지고 있다.

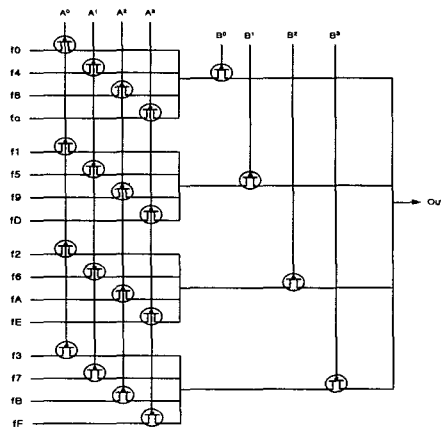
[그림 10]에서 예로 A와 B의 논리값이 0,2이면  $A^0$ 와  $B^2$ 의  $V_{DD}$ 의 값이 NMOS를 도통시켜  $f_2$ 의 값이 출력으로 나온다. 여기서 LUT의 입력값은 프로그램된 다차논리값을 만들어 내기 위해서 메모리나

프로그램되어 있는 값으로 전달되어 질 수 있다.[7]

<표 2> 다치 LUT 진리치표

<Table. 2> The truth table Multiple value LUT

A	B	Out
0	0	f <sub>0</sub>
0	1	f <sub>1</sub>
0	2	f <sub>2</sub>
0	3	f <sub>3</sub>
1	0	f <sub>4</sub>
1	1	f <sub>5</sub>
1	2	f <sub>6</sub>
1	3	f <sub>7</sub>
2	0	f <sub>8</sub>
2	1	f <sub>9</sub>
2	2	f <sub>A</sub>
2	3	f <sub>B</sub>
3	0	f <sub>C</sub>
3	1	f <sub>D</sub>
3	2	f <sub>E</sub>
3	3	f <sub>F</sub>



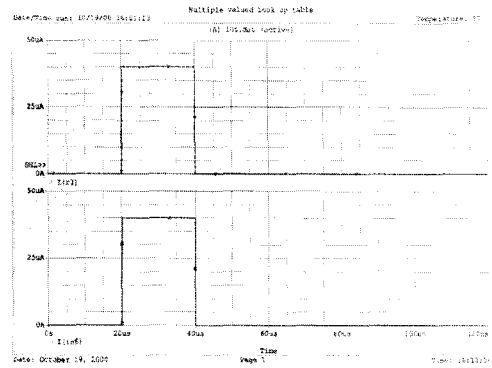
[그림 10] 다치 LUT의 기본회로

[Fig. 10] The basic circuit of Multiple valued LUT

여기서 식(9)에서  $A^i$  에서  $i$  은 Delta Literal 이고 다음과 같이 정의되어 진다.

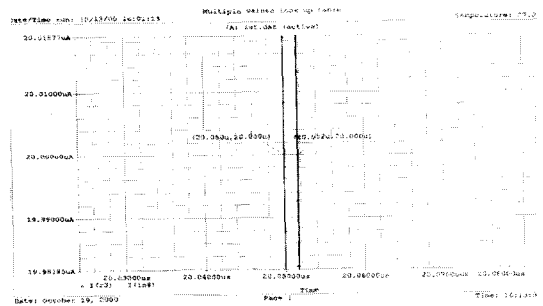
$$A^i = V_{DD} \text{ if } A = i \tag{9}$$

$$A^i = 0 \text{ if } A \neq i$$



[그림 11] LUT의 과도응답 특성

[fig. 11] The transition respond of LUT



[그림 12] LUT의 입출력간의 지연

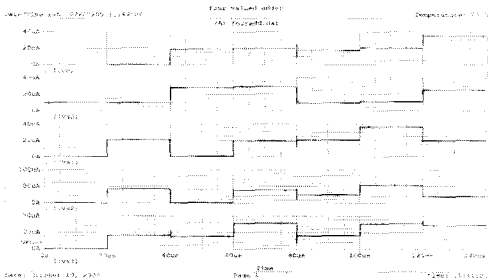
[Fig. 12] The delay time of LUT between input and output

[그림 11]에서 보면 이미 프로그램되어 있던 In8의 값이 A, B의 입력단의 출력에 따라 트랜지스터의 NMOS의 게이트를 조절해 회로 상에서 r3인 출력단으로 확인할 수 있었다. [그림 12]에서 입력 A, B의 입력에 따른 지연시간(Delay time)은 2n의 시간이 걸렸다. 따라서 이것은 전압모드 LUT보다 전류모드 LUT를 사용했을 때 보다 좋은 지연시간과 트랜지스터의 개수를 줄여주는 효과가 있었다. 따라서 FFT 연산기 설계에서 전류 모드 LUT를 사용하여 보다 적은 칩면적과 지연시간을 이득을 얻을 수 있다. 하지만 전체적인 임계치(Critical Path)를 고려

할 때 각 출력마다 동일한 지연시간을 고려하여 LUT의 사용을 연산소자 마다 일정한 간격으로 놓아야 한다.

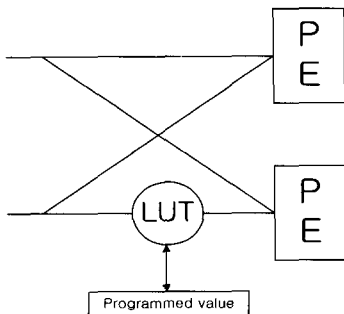
### 3.3 4차 FFT 연산회로

기존의 2차 FFT 연산회로에서 볼 때 많은 가산과 승산이 필요하다. 하지만 전류모드 FFT 회로 상에서 가산은 PD(2,3)가산기를 기본으로 사용하여 결선만으로 선형합이 가능하므로 능동소자의 수를 많이 줄일 수 있었고 또한 승산기를 대신해 4차 LUT를 사용하여 많은 승산기를 줄이고 또한 연산시간이 빨라진다. [그림 13]은 4차 4비트 PD(2,3)연산기의 과도응답특성을 시뮬레이션 한 것이고 이를 바탕으로 4차 LUT과 4차 4비트 PD가산기를 바탕으로한 기본 FFT 버터플라이형 기본소자를 나타낸 것이 [그림 14]이다.



[그림 13] FFT 연산 4비트 가산기의 과도응답 특성

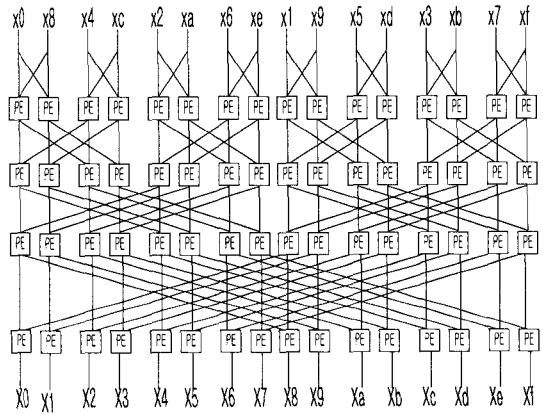
[Fig. 13] The transition respond of FFT processing 4 bit adder



[그림 14] FFT 내비형 기본 구조

[Fig. 14] The structure of FFT butterfly type FFT

FFT연산은 Radix-2와 Radix-4를 접근방식이 있는데 radix-2 방법은 입력 데이터가 두개의 그룹으로 배열되어지고 FFT동작은 동시에 두 그룹에서 이루어진다. 반면 Radix-4의 방법은 입력 데이터는 4개의 그룹으로 이루어져 4개의 그룹에서 함께 FFT연산이 이루어진다.[8][9][10] Radix-2는 전체 연산을 위해서 4단의 연산을 지내야 결과 나오게 되어 있다. 그리고 radix-4는 연산을 위해 2단이 적용된다. 하지만 Radix-4는 처리 요소가 복잡해진다. 따라서 이 논문에서는 Radix-2를 기본으로 4차 FFT 연산기를 채택했다. Radix-2의 16Point FFT 회로 블록도가 [그림 15]이다.



[그림 15] 16 Point Radix-2 FFT 연산회로

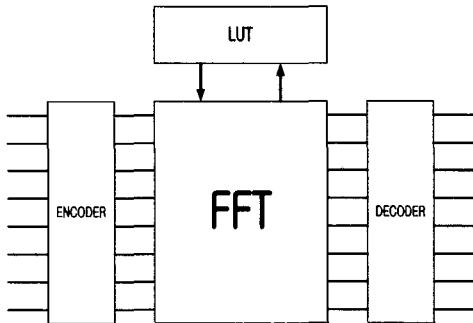
[Fig. 15] 16 Point Radix-2 FFT processing circuit

### 4. 다차 하이브리드형 FFT 설계

FFT 연산회로는 다차 전류모드 CMOS 기본 블록으로 효율적으로 구성되어질 수 있다. 하지만 전체 시스템을 다차로 구성하기에는 기존 이진회로와 상이함으로 인해 문제점이 있기 때문에 기존 논리부분과 메모리부분은 2진회로를 사용하고 연산 부분에서만 고속의 다차 전류모드 회로를 사용하는 하이브리드형을 제시할 수 있다. 이를 위해 FFT의 입력단에서 2치의 데이터를 4치로 표현하는 부호기회로와 다시 출력단에서 2치로 바꾸어주는 하이브리드형을 제시할 수 있다.

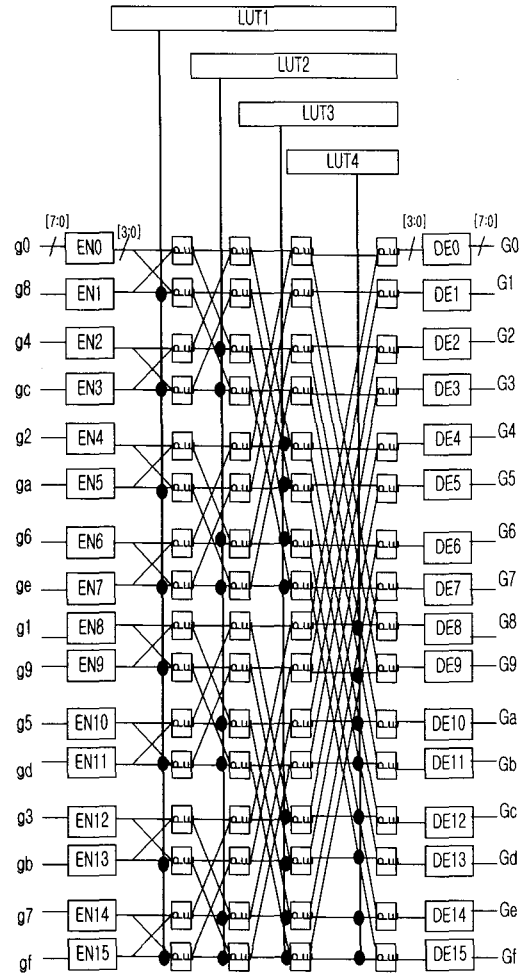
### 4.1 다치 하이브리드형 FFT 설계

기본 전압모드 2치 시스템과 호환을 위해서 [그림 16]에서 블록도 처럼 전체 FFT회로의 입력부분 앞에 2치-4치 변환 부호기를 사용해 4치 전류모드로 변환하고 PD(2,3)가산기와 특성 변수값을 가지는 다치 LUT를 이용해 FFT연산회로를 구성했다. 그리고 다시 전류모드를 기존 2치로 바꾸는 복호기회로를 구성되는 전체 하이브리드형 FFT회로를 구성했다. 4치 메모리 배열과 4치 연산 소자, 그리고 4치 LUT를 이용한 radix-2 FFT 구현은 2진 시스템과 비교해 칩면적과 속도를 향상했다. 16비트의 데이터는 16개의 셀이 8개의 4치 셀로 대응되고 4치 LUT은 단지 4치 값을 전송하기 위해 단지 한 결선을 이용하여 졌고 이로 인해 칩내부 결선의 면적과 파워를 줄일 수 있다.



[그림 16] 다치 하이브리드형 FFT 연산회로  
[Fig. 16] Multiple valued Hybrid type FFT processing circuit

최종 [그림 17]의 하이브리드형 FFT 회로에서 각 FFT 연산단마다 LUT을 사용했고 최종 입력단의 8 비트 2진 데이터에서 부호기를 통해 4비트 4치로 변환되었다. 따라서 입력단에 128비트의 병렬 데이터가 들어오고 부호기에 의해 64비트의 병렬 4치 데이터가 FFT 연산기에 의해 연산이 되어지고 다시 출력단에 복호기에 의해 128비트의 병렬데이터가 출력이 되어진다. FFT가산에서의 캐리발생에 의해 생기는 오버플로되는 병렬가산기에서 LSB의 한 비트를 버리는 것으로 라운딩 하였다.



[그림 17] 하이브리드 FFT 연산회로도  
[Fig. 17] The diagram of Hybrid FFT processing circuit

### 5. 결론

본 논문에서는 캐리 전파 없이 병렬 가산이 가능하고 게이트 지연을 줄여 연산의 속도를 고속화 할 수 있는 PD 수 표현의 가산기와 이를 이용한 FFT 연산회로를 구성하였다. PD 수 표현의 가산기 구성의 예로써 PD(r,q)의 다양한 가산기를 구성할 수 있지만 본 논문에서는 FFT연산에서 4치 연산을 이루어지는 조건하에서 이를 위해 2입력 가산기를 기본

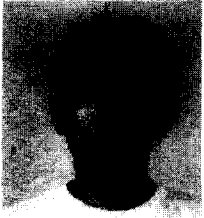


으로 한 PD(2,2)와 PD(2,3)가산기를 보였고 이를 연산단의 가산 속도와 트랜지스터의 게이트수를 비교해 PD(2,3)이 빠른 연산속도와 적은 트랜지스터 숫자로 인해 PD(2,3)을 선택하여 전체 가산기를 구성했다. 또한, 승산기를 대체되는 다치 LUT로 승산기를 대신해서 가산과 승산에 생기는 지연시간을 맞추고 LUT도 4치 연산을 위해 4치 LUT로 구성했다. 그리고 승산기의 값을 위한 데이터베이스는 선택적으로 16포인트의 8비트의 샘플링값을 미리 테이블화해서 연산이 이루어질 때 값이 정해질 수 있도록 다치 프로그래밍 값을 이용했다. 각 가산기와 LUT의 유효함은 기본 전류모드 CMOS 0.5 $\mu$ m를 이용하였고 P-SPICE 시뮬레이션으로 이론치와 회로의 유효함을 확인하였다. 이상에서, PD 수 표현과 다치 LUT를 이용하여 FFT연산기를 구성하면 연산에서 생기는 선형 합은 별도의 능동 소자 없이 결선만으로 얻어지므로 연산기의 구조를 정형화 할 수 있고, Radix-2 FFT와 4치 전류모드 CMOS를 이용해 보다 고속의 소자의 구현이 가능하고 현재의 이진 기술과 함께 호환할 수 있는 하이브리드형의 시스템 대한 아이디어를 제공함으로써 기존의 이진 시스템과 충분히 공존할 수 있는 시스템 개발이 가능함을 지적하였다. 향후의 과제로는 본 논문에서 설명한 Radix-2 FFT에서 연산단을 줄일 수 있는 Radix-4를 이용한 구조와 기본셀의 설계가 필수적이고 포스트 시뮬레이션 후에 실제 칩 제작을 해 성능분석과 특성에 대해 연구해야 할 것이고 그리고 이진 논리 시스템에 다치 시스템이 보다 쉽게 접근할 수 있도록 다양한 시스템의 개발과 라이브러리화 되어야 하고 전류모드의 레벨 안정화와 노이즈 보상에 대한 연구도 같이 진행되어야 하겠다. 그리고 현재는 전압모드의 다치 실현화가 실효면적의 크기가 커지는 문제로 걸림돌이 되고 있지만 한 소자에서 여러 가지 레벨의 표현할 수 있는 소자개발도 함께 이루어져야 할 것이다.

## ※ 참고 문헌

- [1] K. C. Smith, "Multiple-Valued logic: a tutorial and appreciation," *IEEE Computer*, vol. 37, no. 4, pp. 17-27, 1988.
- [2] K.C.Smith, "The Prospects for Multivalued Logic:A Technology and Applications View," *IEEE Trans. Comput.*, C-30, 9, pp. 619-634, Sep. 1981.
- [3] Higuchi and M. Kameyama, *Multiple-Valued Digital Processing System*, Shokodo Co. Ltd., 1989.
- [4] M. Kameyama, T.Hanyu, and T. Higuchi, "Design and Implementation of quaternary NMOS integrated circuits for pipelined image processing," *IEEE J. Solid-state Circuits*, vol. SC-22, no. 1, pp. 20-27, 1987.
- [5] A. Avizienis, "Signed-digit number representation for fast parallel arithmetic," *IRE Trans. Electron. Comput.*, vol. EC-10, pp. 389-400, Sept. 1961.
- [6] A.K.Jain, R. J. Bolton, "CMOS Multiple-Valued logic design - Part I: Circuit implementation," *IEEE Trans. on Circuits and System-I*, vol. 40, pp. 503-514, Aug. 1993.
- [7] Ali Sheikholeslami,Ryuji Yoshimura and P. Glenn Gulak "Look-Up Table for Multiple-Valued, Combinational logic" in proc. int 28th Symp MVL 1998,pp. 264-269
- [8] Alan V.Oppenheim Schafer,Ronald W.Schafer "Digital Image processing" Prentice Hall 1984년 pp. 284-333
- [9] S. Kawahito, M. Kameyama, T. Higuchi, "Multi-Valued Radix-2 Signed-Digit Arithmetic Circuits for High-Performance VLSI Systems," *IEEE J. Solid-State Circuits*, vol. 25 no.1, Feb., 1990.
- [10] M. Kameyama and T. Higuchi, "Design of Radix-4 Signed-Digit Arithmetic," *IRE Trans. Elect. Comput.*, EC-10, pp. 389-400. Sept. 1961.

서 명 응

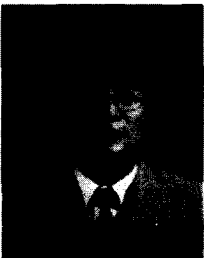


2001년 동의대학교 전자공학과  
졸업(공학사)

2001년 ~ 현재 동의대학교  
대학원 전자공학과 재학 중  
관심분야 :

통신 이론 및 다치논리,  
마이크로 프로세서 응용

송 홍 복



1983년 2월 광운대학교  
전자통신 공학과 졸업  
(공학사)

1985년 2월 인하대학교  
대학원 전자공학과 졸업  
(공학석사)

1985년 3월~1990년 2월  
동의공업전문대학교  
전자통신과(조교수)

1989년 3월~1990년  
일본 구주공대 정보공학부  
객원 연구원

1990년 8월 동아대학교  
대학원 전자공학과 졸업  
(공학박사)

1994년~1995년  
일본 宮崎대학교 전기.전자  
공학부 전자공학과  
(POST-DOC)

1991년 3월~현재 동의대학교  
전자·전기·정보통신공학부  
부교수

관심분야 : 다치 논리 이론 및  
다치 논리 시스템 설계,  
VLSI 설계,  
마이크로 프로세스 응용