

트렌치 깊이가 STI-CMP 공정 결함에 미치는 영향

김기욱 · 서용진 · 김상용*

대불대학교 전기공학과, *아남반도체 FAB사업부

Effects of Trench Depth on the STI-CMP Process Defects

Ki-Wook Kim, Yong-Jin Seo and Sang-Yong Kim*

Department of Electrical Engineering, Daebul University, Chonnam 526-702, Korea

*FAB, Division, ANAM Semiconductor Co, Inc., Kyounggi-do 420-712, Korea

초 록: 최근 반도체 소자의 고속화 및 고집적화에 따라 배선 패턴이 미세화 되고 다층의 금속 배선 공정이 요구됨에 따라 단차를 줄이고 표면을 광역 평탄화 시킬 수 있는 STI-CMP 공정이 도입되었다. 그러나, STI-CMP 공정이 다소 복잡해짐에 따라 질화막 잔존물, 찢겨진 산화막 결함들과 같은 여러 가지 공정상의 문제점들이 심각하게 증가하고 있다. 본 논문에서는 이상과 같은 CMP 공정 결함들을 줄이고, STI-CMP 공정의 최적 조건을 확보하기 위해 트렌치 깊이와 STI-fill 산화막 두께가 리버스 모트 식각 공정 후, 트렌치 위의 예리한 산화막의 취약함과 STI-CMP 공정 후의 질화막 잔존물 등과 같은 결함들에 미치는 영향에 대해 연구하였다. 실험결과, CMP 공정에서 STI-fill의 두께가 얇을수록, 트렌치 깊이가 깊을수록 찢겨진 산화막의 발생이 증가하였다. 트렌치 깊이가 낮고 CMP 두께가 높으면 질화막 잔존물이 늘어나는 반면, 트렌치 깊이가 깊어 과도한 연마가 진행되면 활성영역의 실리콘 손상을 받을 수 있었다.

Abstract: The more productive and stable fabrication can be obtained by applying chemical mechanical polishing (CMP) process to shallow trench isolation (STI) structure in 0.18 μm semiconductor device. However, STI-CMP process became more complex, and some kinds of defect such as nitride residue, torn oxide defect were seriously increased. Defects like nitride residue and silicon damage after STI-CMP process were discussed to accomplish its optimum process condition. In this paper, we studied how to reduce torn oxide defects and nitride residue after STI-CMP process. To understand its optimum process condition, We studied overall STI-related processes including trench depth, STI-fill thickness and post-CMP thickness. As an experimental result showed that as the STI-fill thickness becomes thinner, and trench depth gets deeper, more torn oxide were found in the CMP process. Also, we could conclude that low trench depth whereas high CMP thickness can cause nitride residue, and high trench depth and over-polishing can cause silicon damage.

Keywords: Chemical mechanical polishing (CMP), shallow trench isolation (STI), trench depth, torn oxide defects, nitride residues

1. 서 론

최근 반도체 소자의 고속화 및 고집적화에 따라 배선 패턴이 미세화 되고 다층(multi-level)의 금속 배선(interconnection) 공정¹⁻⁴⁾이 요구됨에 따라 단차를 줄이고 표면을 광역 평탄화(global planarization) 시킬

수 있는 STI-CMP(shallow trench isolation-chemical mechanical polishing) 공정이 도입되었다. 이 STI-CMP 공정은 실리콘 웨이퍼 위에 얇은 트렌치(trench)를 만들고⁵⁾, 그 위에 SiO_2 를 도포하고 CMP를 이용하여 평탄화하는 기술로 기존의 LOCOS (local oxidation of silicon) 방법보다 좁은 면적으로 소자 분

리가 가능하고⁶⁾, 성능이 우수하다는 장점을 갖고 있으며⁷⁾, 특히 넓은 지역을 광역 평탄화 하는데 우수한 특성을 보이고 있어 널리 사용되고 있다^{8,9)}. 그러나, 이러한 장점에도 불구하고 CMP 공정에 기인하는 디싱(dishing) 효과¹⁰⁾, 산화막의 뜯겨진 결함(torn oxide defect), 산화막 위에 질화막이 남는 현상(nitride residue)과 CMP 공정 후 세정(post-CMP cleaning)¹¹⁾, CMP 공정시 정확한 연마정지점 검출(end point detection)¹²⁾ 등 여러 가지 공정상의 문제점들을 수반하고 있다. 이러한 여러 가지의 공정상의 문제점들 중 뜯겨진 결함은 모트(moat) 지역과 필드(field) 지역의 경계지역에서 필드 위의 산화막이 뜯겨져 나가는 현상을 말한다. 일반적으로 STI-CMP 공정을 진행하기 전에 리버스 모트(reverse moat) 식각 공정을 실시하고 있다. 이때 필드의 양쪽 끝에는 예리한 형태의 산화막 모서리가 생성된다. 이러한 산화막의 제거를 위해 연마를 실시할 때 패턴 웨이퍼에 가해진 초기 압력에 때문에 산화막 모서리가 뜯겨져 나가거나, 뜯겨져 나간 산화막은 미세 입자원으로 작용하여 주변 산화막에 손상을 가하게 된다¹³⁾. 조밀한 지역에서는 필드 산화막의 모서리가 촘촘하게 있어 균일한 힘을 받지만, 넓은 영역에서는 산화막 모서리가 불균일한 힘을 집중적으로 받는다. 이러한 원인으로 인하여 뜯겨진 산화막의 대부분은 넓은 지역인 더미 모트(dummy moat) 지역에 나타나고 있다. 또한, 리버스 모트 식각 공정 후에 모트 표면 위에 남아 있는 산화막 두께에 영향을 받아 생성되는 질화막 잔존물은 소자의 셀(main cell) 영역에 막대한 지장을 주어 수율에 큰 영향을 주고 있다.

본 논문에서는 이상과 같은 CMP 공정 결함들을 줄이고, STI-CMP 공정의 최적 조건을 확보하기 위해 트렌치 깊이와 STI-fill 산화막 두께가 리버스 모트 식각 공정 후, 트렌치 위의 예리한 산화막의 취약함과 STI-CMP 공정 후의 질화막 잔존물 등과 같은 결함들에 미치는 영향에 대해 고찰하고자 한다.

2. 실험방법

그림 1은 IPEC Avanti 472 연마기를 개략적으로 나타낸 것이다. 본 연마 실험에서는 IC-1000/Suba-IV로 이루어진 이중 연마패드와 KOH 계 슬러리를 사용하였다.

깊이 5000 Å의 트렌치 구조를 형성한 후, APCVD(atmospheric pressure chemical vapor deposition) 공

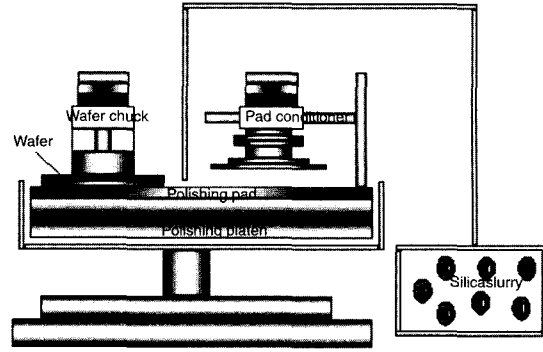


Fig. 1. Schematic diagram of IPEC 472 CMP polisher.

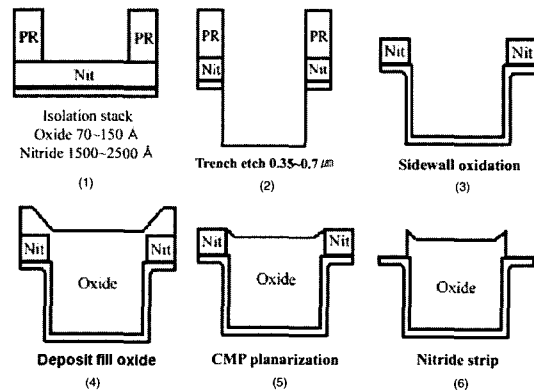


Fig. 2. Sequence of STI-CMP Process.

정에 의해 산화막으로 트렌치 영역을 채운 후, RIE(reactive ion etching)에 의한 리버스 모트 식각 공정을 거친 6인치 웨이퍼를 사용하였다. 여기서 STI-fill 공정의 두께를 각각 8400 Å, 9400 Å, 10400 Å, 11400 Å으로 스플릿하여 증착 실험하였으며, 질화막 잔존물(nitride residue)을 없애기 위해 리버스 모트 식각 공정을 행한 후, KLA 2135 시스템과 AFM(atomic force microscope)과 SEM(scanning electron microscope)을 이용하여 결함들을 검사하였다.

그림 2는 STI-CMP 공정 순서를 개략적으로 보인 것이다. 또한 post-CMP 두께와 트렌치 깊이를 비교함으로써 질화막 잔존물의 정확한 발생 포인트를 알아보기 위해 트렌치 깊이는 4000 Å, 5000 Å, 6000 Å으로 스플릿(split) 하였고, post-CMP 두께는 5500 Å과 6500 Å 사이에서 조절되도록 연마하였다.

표 1은 본 연마 실험에 사용된 CMP 장비의 공정 변수를 간단히 요약한 것이다.

Table 1. CMP process variables

Polisher	IPEC 472
Pad	IC Series (Rodel)
Slurry	SS Series (Cabot)
Cleaning equipment	VcS A ₂ S
Cleaning method	SC-1 → HF → megasonic
Dryer	Spin - rinse dryer
Down force	7 psi
Back pressure	2 psi
Table speed	32 rpm
Head speed	28 rpm

3. 결과 및 고찰

3.1 STI-CMP 공정 결함

그림 3은 리버스 모트 패턴(reverse moat pattern)을 보여준다. 리버스 모트 공정은 원활한 CMP 공정을 적용하기 위해 필수적인 공정이지만, 공정 상에서 해결해야 하는 결함 문제가 많고 제조 공정이 추가됨으로써 제작 비용이 높아져 칩 제조 단가가 높아지는 단점이 있다. 또한 식각 공정을 거쳐야 하기 때문에 트랜지스터가 만들어져 있는 실리콘 하부 공정에 많은 공정 변수를 수반해야 한다. 이 공정을 제거하기 위하여서는 SiO₂와 Si₃N₄ 사이의 연마율의 선택비가 우수한 연마제 개발과 안정된 CMP 공정을 확립되어야 하는데, 현재 HSS(high selectivity slurry) 개발을 위해 연구가 진행중에 있다¹⁴⁾.

STI 구조로 개별 소자의 격리를 하기 위해서는 CMP 공정이 필수적으로 사용되어야 하는데 이에 따른 문제점들이 야기되고 있다. 그들 중 하나인 tom 산화막 결함은 모트 지역과 필드 지역의 경계지역에서 필드 위의 산화막이 뜯겨져 나가는 현상이다. 그

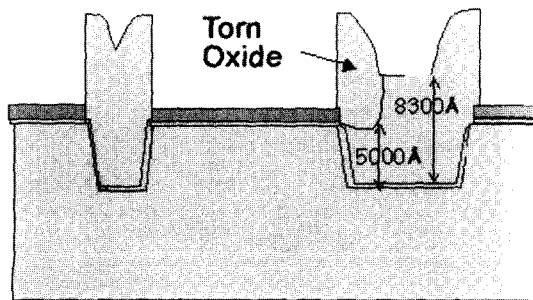


Fig. 3. Reverse moat pattern.

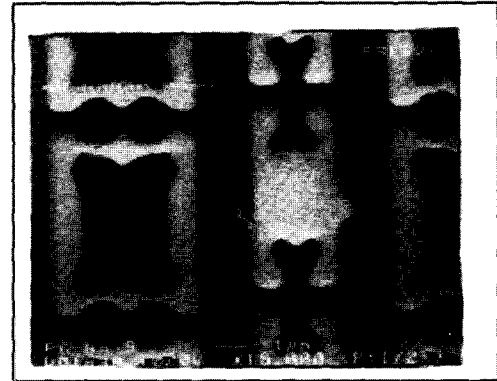
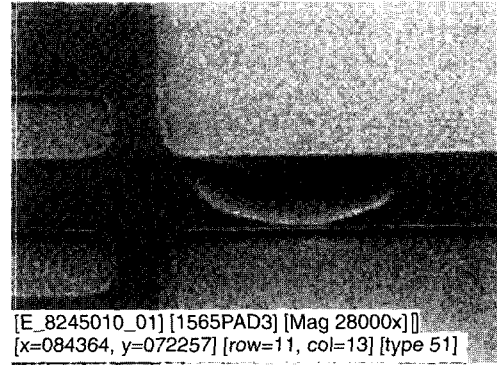


Fig. 4. Tom oxide defect after CMP process.

림 4는 대표적인 tom 산화막 결함들을 SEM으로 보인 것이다. STI-CMP를 원활하게 진행되도록 하기 위하여 전체 공정에서 리버스 모트 식각 공정을 실시한다. 이때 그림 3에 보인 것처럼 필드의 양끝에는 날카로운 형태의 산화막 모서리가 생성된다. 이러한 산화막 층을 제거할 때에 패턴 웨이퍼에 초기 압력이 가해지고 그 압력에 의해 산화막 모서리가 뜯겨져 나가거나, 뜯겨져 나간 산화막은 미세 입자원으로 작용하여 주변의 산화막에 손상을 일으키게 될 수 있다. 밀집한 지역에서는 필드 산화막의 모서리가 촘촘하게 있어 균일한 힘을 받지만, 넓은 영역에서는 산화막 모서리가 불균일한 힘을 집중적으로 받게된다. 이런 이유로 tom 산화막 대부분이 넓은 지역인 더미(dummy) 모트 지역에 나타나고 있다. 이 결함이 셀 영역의 주요 소자에 손상을 주게 되면 수율에 큰 영향을 미치게 된다.

그림 5는 잔존한 질화막 패턴을 나타낸 SEM 사진이다. STI-CMP 공정에서 적절한 연마를 하지 못할 경우, 활성 영역에 질화막의 잔류물이 잔존하게 되어 후속 공정에 영향을 준다.

이 질화막 잔류물은 일반적으로 STI를 채운 후에

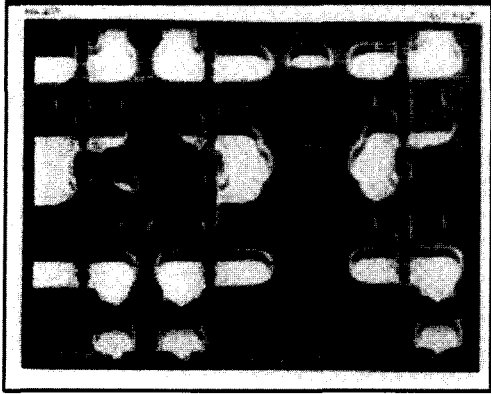


Fig. 5. SEM micrographs of nitride residues.

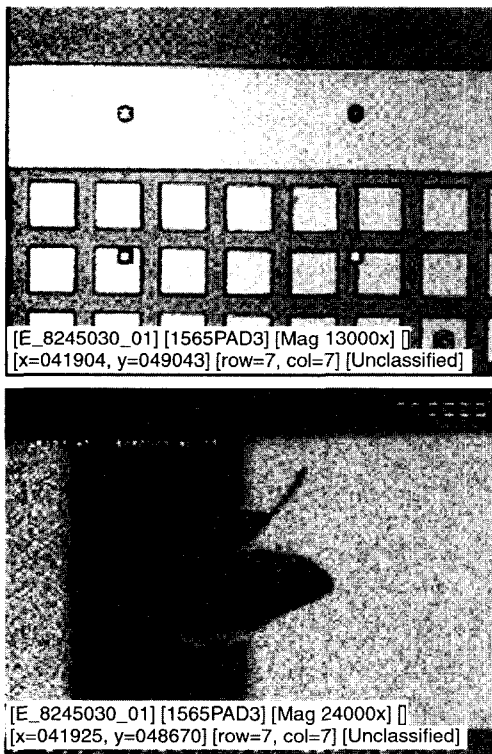


Fig. 6. SEM micrographs of CMP processing induced active region damage.

두께가 두껍게 제어되는 지역과 패턴이 조밀한 셀 지역에서 매우 빈번하게 나타나고 있는데, 이는 STI의 깊이가 균일하지 못하여 STI를 산화물로 채운 후 웨이퍼의 중앙 근처에서 두께가 다른 지역보다 높아 CMP 연마 후에도 두껍기 때문인 경우도 있다. 특히 CMP 공정 시 질화막 위의 산화막을 충분히 연마해야 하는데, 산화막이 충분히 연마되지 못하여 과도하

게 잔존하면 후속 공정인 질화막 식각시 산화막이 장벽으로 작용하여 질화막 식각을 방해한다. 이러한 경우 활성영역에 질화막이 잔존하여 소자 제조 공정에 막대한 영향을 주어 소자로써 작용을 할 수가 없게 된다. 또 하나의 요인으로는 연마의 불균일성을 들 수 있다. 웨이퍼 전면에 균일한 연마가 되어야하는데 균일도가 일정하지 않을 경우 일부 패턴에서는 웨이퍼 손상과 함께 질화막 잔류물이 생성되기 때문이다.

그림 6은 CMP 공정으로 인하여 활성영역에 손상을 주는 SEM 사진을 보인 것이다. CMP 공정 중에 연마된 질화막의 잔류물이 제거되지 못하면 연마 균일도가 일정하지 않거나, 슬러리가 응결되어 개별 소자의 활성 영역에 손상을 주게 된다. 또한, 패턴이 불안한 모트 구조의 경우, 연마되기 전에 압력에 의해 파괴된 모트의 입자가 웨이퍼 표면에 손상을 주게 된다. 그밖에 소모성 부품들의 손상으로 인하여 웨이퍼에 손상을 주기도 한다. 이 활성영역에 손상을 주는 요소들은 항상 CMP 공정 중에 발생할 수 있으며 그 요인도 매우 다양하다.

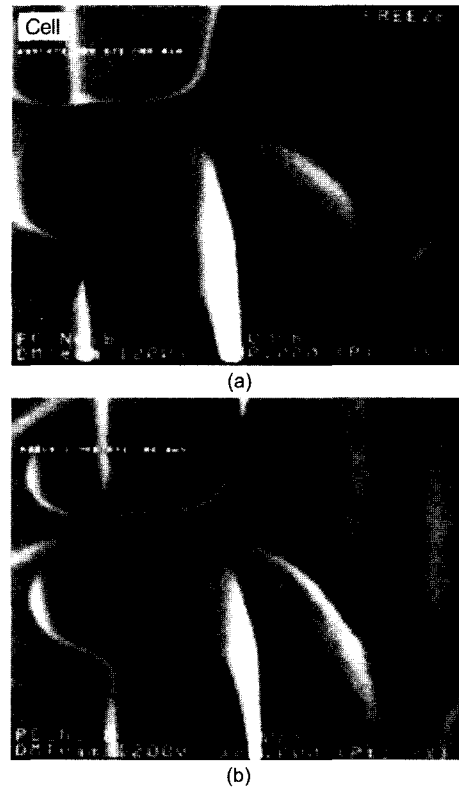


Fig. 7. Cross-sectional SEM photograph of reverse moat oxide. (a) Cell area (STI-fill thickness=11291 Å). (b) Cell area (STI fill thickness=8339 Å).

3.2 STI-fill 두께의 영향

그림 7은 NSG(nondoped silica glass) 박막을 열처리한 후의, 리버스 모트 산화막 영역의 SEM 사진으로 그림 7의 (a)에 보인 것처럼 STI-fill의 두께가 두꺼울수록 리버스 모트 식각 공정 후에 생기는 트렌치 위의 산화막 모서리가 두툼해지면서 완만한 경사를 보여 그림 7의 (b)에 보인 STI-fill의 두께가 얇은 경우보다 산화막 모서리가 훨씬더 안정되어져 있음을 알 수 있다. 따라서 STI-fill 두께가 두꺼울수록 연마시 초기의 압력을 받아도 뜯겨져 나가는 tom 산화막의 개수가 감소 될것으로 예상된다.

그림 8은 STI-fill 두께에 따른 결합 밀도와 tom 산화막이 차지하는 비율을 나타낸 것이다. STI-fill 두께가 두꺼울수록 결합밀도가 감소하는 경향을 보였다. 또한 tom 산화막이 차지하는 비율은 STI-fill 두께가 높을수록 감소되었다. 이는 그림 7에 보인 바와 같이 STI-fill이 두꺼울수록 더욱 안정한 구조를 가져 산화막이 뜯겨져 나가는 현상이 감소되었기 때문이다.

그림 9는 STI-fill 두께에 따른 post-CMP 두께와 결합의 개수를 보인 것이다. STI-fill 두께가 증가할수

록 결합개수는 감소하였고, post-CMP 두께도 감소하였다. 이는 트렌치 깊이가 깊게되면 그림 11에 개략적으로 나타낸 것처럼 필드영역이 더 낮아지므로 불안정한 구조를 이루기 때문에 tom 산화막의 결합 개수가 증가하게 되는 것이다. 따라서, 이 경우에 균일도(uniformity)를 더욱 개선해야 할 것이다.

그림 10은 STI-fill 공정의 두께 변화에 따른 모트 지역과 필드지역의 두께 변화를 프로파일러(profiler)로 측정 한 AFM 결과이다. 그림 10(a)는 모트 지역보다 필드지역이 더 높기 때문에 그림 10(b)의 경우보다 더 안정적인 구조를 이루고 있음을 알 수 있다. 그림 10(a)에서 연마 초기에 뜯겨져 나간 부분과, 뜯겨져 나간 산화막 때문에 생긴 필드지역의 패인 부분은 연마를 지속함에 따라 제거될 수 있고, 모트 지역에서 떨어진 산화막은 질화막을 습식 식각 하는 과정에서 제거될 수 있다.

그림 11은 트렌치 깊이에 따른 안정한 모트 구조와 불안정한 모트 구조를 개략적으로 나타낸 것으로 그림 11(b)의 경우처럼 가장자리(edge) 부분에서 STI-fill의 두께가 낮고 트렌치 깊이가 깊게 되면 tom 산화막이 생기기 쉬운 불안정한 구조의 예리한 산화막 모서리를 형성하게 될 것이다.

그림 12(b)와 같이 리버스 모트 패턴이 트렌치 안쪽에 생성될 때 tom 산화막이 발생하기 쉬운 취약한 부분이 형성된다. 연마하기 전에 패인 부분이 형성될 수도 있고, 연마하는 동안 이곳이 뜯겨져 나가거나, 뜯겨져 나간 산화막에 영향을 받아 tom 산화막이 생성될 수도 있다. 이런 경우는 매우 심각한 영향을 끼

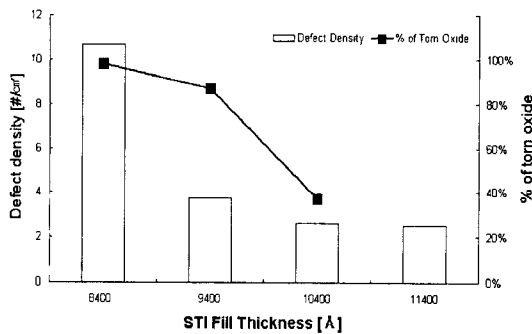


Fig. 8. STI fill thickness vs. Defect density and occurrence ratio.

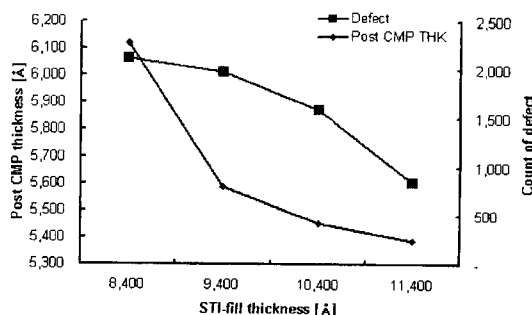


Fig. 9. Post CMP thickness and count of defect vs. STI thickness.

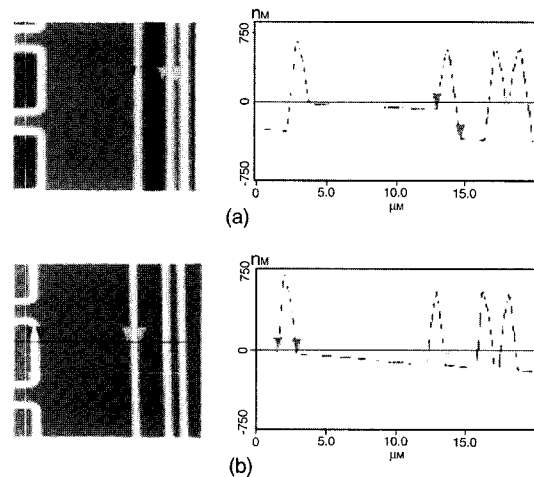


Fig. 10. AFM image of reverse moat oxide. (a) STI-fill thickness=11291 Å, (b) STI-fill thickness=8339 Å.

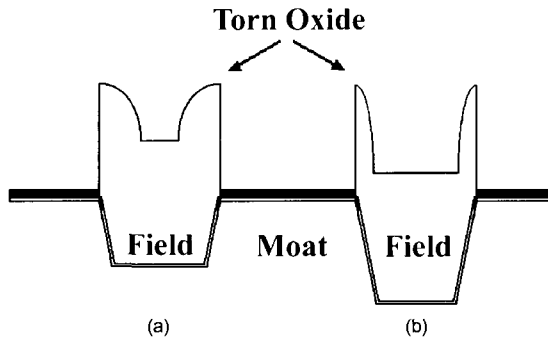


Fig. 11. Comparison of stable and unstable moat structure as a function of trench depth. (a) Stable. (b) Unstable.

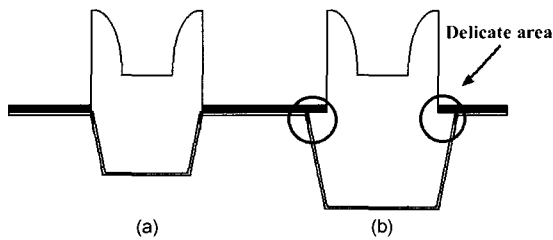


Fig. 12. Schematic diagram of reverse moat pattern for formation. (a) stable, (b) Unstable.

치게 되므로 리버스 모트 패턴시 정렬(align)에 더욱 주의를 해야 할 것이다.

표 2는 트렌치 깊이와 post-CMP 두께에 따른 질화막 잔존물의 발생 포인트를 나타낸 것이다. 트렌치 깊이가 낮을수록, post-CMP 두께가 두꺼울수록 더 많은 질화막 잔존물이 생성되는 반면에, 트렌치 깊이가 깊을수록, 과도 연마가 진행될수록 실리콘 손상이 더 심함을 알 수 있다. 표 2에 의하면 정상적인 post-CMP 두께는 6000 Å~6500 Å이고, 정상적인 트렌치 깊이는 5000 Å임을 예측할 수 있다. 따라서 질화막 잔존물과 실리콘(또는 패드 산화막) 손상은 post-CMP 두께와 트렌치 깊이에 밀접한 관계가 있다고 결론을 지을 수 있다.

Table 2. Summary of experimental results as a function of trench depth and post-CMP thickness

Trench depth	Post-CMP thickness	Defect type	Result
4000 Å	6000 Å	Nitride residue	Normal CMP thickness: 6000 Å~6500 Å Normal trench depth: 5000 Å
5000 Å	6500 Å	Nitride residue	
6000 Å	5700 Å	Silicon damage	

마이크로전자 및 패키징학회지 제9권 제4호 (2002)

4. 결 론

본 논문에서 트렌치 깊이가 CMP 공정 결함에 미치는 영향은 다음과 같이 요약할 수 있다.

- 1) STI-fill의 두께가 낮을수록 트렌치 위의 뾰족(sharp)한 산화막 모서리가 CMP 연마시에 압력을 받아 뜯겨져 나가기 쉬워, tom 산화막 결함의 생성이 증가함을 알 수 있었다. 또한 tom 산화막이 차지하는 비율은 STI-fill 두께가 높을수록 감소되어 산화막 모서리가 안정적인 구조도 이루어짐을 예측할 수 있었다.
- 2) 트렌치 깊이가 깊게 되면 필드의 박막이 낮아지므로 불안정한 구조를 이루기 때문에 tom 산화막 결함 개수가 증가하므로 트렌치 깊이의 균일도를 개선해야 할 것이다.
- 3) 리버스 모트 패턴이 트렌치 안쪽에 생성되는 경우, 즉 정렬이 제대로 되지 않은 경우, tom 산화막이 발생하기 쉬운 취약부분이 형성되므로 리버스 모트 식각 시 정렬에 주의를 해야 한다.

감사의 글

본 연구는 2002년 정보통신부에서 지원하는 정보통신 기초기술연구지원사업(과제번호: 2002-042-185-3)으로 수행된 결과의 일부이며, 이에 감사 드립니다.

참고문헌

1. M. Galiano, E. Yieh, S. Robles and B.C. Nguyen, "Stress-Temperature Behavior of Oxide Films Used for Inter Metal Dielectric Applications", Proc. VMIC, 100 (1992).
2. P. Ferreira, V. Senez, B. Baccus, J. Varon and J. Leblailly, "Finite Element Optimization of a MOSFET Structure: The Role of Inter-Layer Material for Residual Stress Reduction", IEDM-95, 503 (1995).
3. 조남인, "다층배선을 위한 구리 박막 형성기술", 마이크로전자 및 패키징 학회지, 9(3), 1 (2002).
4. 이병기, 김남훈, 장윤성, 김경섭, 김창일, 장의구, "유

- 도결합 $\text{Cl}_2(\text{CF}_4)\text{Ar}$ 플라즈마를 이용한 CeO_2 박막 식각 후 표면 반응”, 마이크로전자 및 패키징 학회지, 9(2), 27 (2002).
5. C. P. Chang *et al.*, “A Highly Manufacturable Corner Rounding Solution for 0.18 μm Shallow Trench Isolation”, IEDM Tech. Dig, 661 (1997).
 6. J. Jui, *et al.*, “Scaling limitation of submicron LOCOS technology”, IEDM Tech. Dig, 392 (1985).
 7. P. Sallagoity, F. Gaillard, M. Rivoire, M. Paoli and F. Martin, “STI process steps for sub-quarter micron CMOS”, Microelectron. Reliability, 38(2), 271 (1998).
 8. W.S. Lee, S.Y. Kim, Y.J. Seo, and J.K. Lee, “An Optimization of Tungsten Plug Chemical Mechanical Polishing (CMP) using Different Consumables”, J. of Materials Sci.: Materials in Electronics, 12(1), 63 (2001).
 9. Y.J. Seo, S.Y. Kim, and W.S. Lee, “Optimization of Pre-Metal Dielectric (PMD) Materials”, J. of Materials Sci: Materials in Electronics, 12(9), 551 (2001).
 10. K. Smekalin, “CMP dishing effects in shallow trench isolation”, Solid State Technology, 187 (1997).
 11. Y.J. Seo, W.S. Lee, S.Y. Kim, J.S. Park, and E.G. Chang, “Optimization of Post-CMP Cleaning Process for Elimination of CMP Slurry Induced Metallic Contaminations”, J. of Materials Sci.: Materials in Electronics, Vol. 13(5), 229 (2001).
 12. S.Y. Kim, Y.J. Seo, “Correlation analysis between pattern and non-pattern wafer for characterization of shallow trench isolation-chemical mechanical polishing (STI-CMP) process”, Microelectronic Engineering, Vol. 60(3-4), 357 (2002).
 13. S.Y. Kim, S.Y. Jeong, and Y.J. Seo, “Effects of deionized water pressure and purified nitrogen gas on the chemical mechanical polishing process”, J. of Materials Sci.: Materials in Electronics, 13(5), 299 (2002).
 14. S.Y. Jeong, S.Y. Kim and Y.J. Seo, “A study on the Reproducibility of HSS STI-CMP process for ULSI Application”, The 8th IUMRS Int. Conf. on Electronic Materials (IUMRS-ICEM 2002), 509 (2002).