

마이크로전자 응용에서의 저유전율 고분자 재료

이호영

서울대학교 기계항공공학부

Low Dielectric Constant Polymeric Materials for Microelectronics Applications

Ho-Young Lee

School of Mechanical and Aerospace Engineering, Seoul National University

초 록: 반도체 칩의 신호처리속도를 향상시키기 위한 방법에는 세 가지가 있다. 첫 번째 방법은 금속 배선의 배치(layout)를 바꾸는 것이고, 두 번째 방법은 배선으로 사용되는 금속의 비저항을 감소시키는 것이며, 세 번째 방법은 절연재료(insulating material)의 유전상수(dielectric constant)를 감소시키는 것이다. 첫 번째나 두 번째의 방법에 대해서는 많은 연구가 이루어졌고, 지금도 연구가 이루어지고 있다. 그러나 첫 번째나 두 번째의 방법을 통하여 얻을 수 있는 신호처리속도의 향상보다는 세 번째 방법을 통하여 얻을 수 있는 신호처리속도의 향상이 더 크다. 본 논문에서는 먼저 마이크로전자에 응용되기 위한 절연재료의 요구조건을 살펴보고, 지금까지 개발된 저유전율 고분자재료들을 간략하게 소개할 예정이다. 아울러 유전상수를 낮추기 위하여 최근 개발된 기공을 갖는 고분자재료들과 이들을 제조하기 위한 공정에 대해서도 간략하게 소개할 예정이다.

Abstract: Increased signal speed can be obtained in three ways: changing the layout and/or the ratio of the width to thickness of the metal lines, decreasing the specific resistance of the interconnect metal, and decreasing the dielectric constant of the insulating material (intermetal dielectric). Further advancement cannot be expected from changing layout or decreasing specific resistance. The only alternative is to use an insulating material with a lower dielectric constant than other ones used presently. A large variety of polymers has been proposed for use as materials with low dielectric constants for applications in microelectronics. In this review, the properties of selected polymers as well as various fabrication methods for polymer thin films are discussed. Based on the properties described so far, and the requirements for applications as intermetal dielectric material, the possibilities for further developments also are discussed.

Keywords: Dielectric constant, Polymers, Microelectronics, Interlayer dielectric, Intermetal dielectric

1. 서 론

우리의 일상생활에서 실리콘을 이용한 마이크로전자(microelectronics)는 이제 삶의 일부분이 되었다. 특히 컴퓨터를 이용하여 일처리를 해야할 경우, 일의 양과 복잡성이 빠른 속도로 증가하고 있기 때문에 더 빠른 처리속도와 더 큰 메모리 용량을 갖는 컴퓨터를 필요로 한다. 이러한 컴퓨터 수요는 좀더 고집적화된 마이크로칩(microchip)의 개발을 지속적으로 요구하

게 되었다.

메모리(RAM: Random Access Memory) 용량의 증가는 무어의 법칙(Moore's Law)에 의하여 예상될 수 있다. 무어의 법칙은 미국의 과학자이며 인텔(Intel)사의 창업자인 고든 무어(Gordon Moore)가 1965년에 제창한 법칙으로 '마이크로칩에 저장할 수 있는 데이터의 용량이 매년 두 배씩 증가하지만 가격은 변하지 않는다' 라는 것을 그 내용으로 하고 있다. 그 당시에는 누구도 이 말을 믿으려 하지 않았지만, 많은 연

구를 통하여 하나의 경험법칙으로 인정받게 되었다. 1965년 이에 관한 강연을 준비할 당시 무어는 마이크로칩 용량이 두 배가 되는 주기를 1년이라고 예측했다. 그러나 지난 수년간 기술의 발전속도가 다소 느려져서 무어의 승인 하에 마이크로칩의 용량이 두 배가 되는 주기를 18개월로 수정하게 되었다. 그리고 최근에는 마이크로칩 용량이 두 배가 되는 주기를 2년으로 수정해야 한다는 주장도 있다. 무어의 법칙이 성립되는 시간주기는 점점 길어지고 있는 실정이다.

메모리 용량이 4배 증가하여 새로운 세대의 칩이 출현할 때마다 단위소자의 길이는 이전 세대 단위소자 길이의 $1/(\sqrt{2})$ 배로 감소하고 실리콘 칩(die)의 길이는 이전세대 실리콘 칩 길이의 $\sqrt{2}$ 배로 증가하게 된다¹⁾.

무어의 법칙에 기초한 마이크로전자의 기술발전은 최근 걸림돌에 직면하게 되었다. 그 이유는 기존의 재료 및 공정을 가지고 이 법칙을 만족시키는 데에는 명백한 한계가 있기 때문이다. 실리콘 칩 내에 집적되는 소자의 크기가 점점 작아짐에 따라 연결선(interconnect line)들의 상대적인 거리 역시 감소하게 마련이다. 그런데 연결선들간의 거리는 무한정 계속 줄어나갈 수 있는 것이 아니다. 연결선들간의 거리가 어떤 값 이하가 되면 연결선들끼리 서로 영향을 미치게 되고 또한 기술적인 한계도 뒤따르게 된다.

그 수가 너무 많아 한 레벨(level) 안에 모든 연결선들을 수용하기가 어려울 경우 여러 층에 걸쳐 연결선들을 형성하는 것이 필요하다(multi-level interconnect lines). 현재 256MB DRAM (Dynamic Random Access Memory) 칩의 경우 4개의 레벨에 걸쳐서 연결선들을 형성해야만 한다¹⁾. 1 GB DRAM 칩의 경우에도 이러한 구조는 크게 바뀌지 않을 것으로 예상된다. 그러나 차세대 논리(logic) 칩의 경우에는 8개의 레벨이 사용될 것으로 예상된다.

레벨과 레벨을 연결해 주는 브리징 금속선(bridging metal line)들은 증착과 에칭을 통하여 반드시 다음 레벨이 형성될때 형성되어야 한다. 다음 레벨의 선(line)들이 형성되기 전에 반드시 현재 레벨의 선(line)들은 전기적으로 격리되어야 한다.

연결선들 사이의 거리가 감소하면서 유도(inductive) 및 용량(capacitive) 효과가 증가하기 때문에 선들간의 상호 간섭은 증가한다. 어느 한 선에서의 전류변화가 이웃하는 선에 흐르는 전류에 변화를 주게 된다. 그 이유는 이웃하는 선의 전류변화는 선 주변의 전기장(electric field)에 변화를 일으키는 데, 이를 통하여 영향권 내에 있는 선에 유도전류를 발생시키

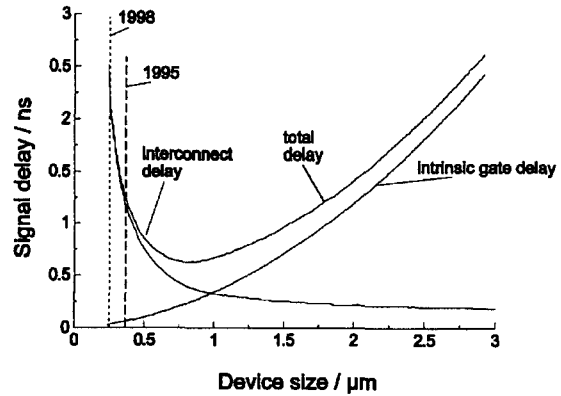


Fig. 1. Dependence of signal delay on the device size^{2,3)}.

기 때문이다. 이러한 유도간섭(cross-talk)의 발생은 데이터 전송의 신뢰성(reliability)을 감소시키게 된다. 또한 두 선들이 충분히 가까이 위치하고 있고, 그들에게 인가된 전압이 다를 경우 두 선들 사이에는 정전용량(capacitance)이 발생한다. 연결선들 사이의 거리가 어떤 값 이하로 가까워지게 되면 전체 신호지연은 트랜지스터 자체의 지연보다는 연결선들 사이의 용량성 저항(capacitive resistance)에 의한 지연에 의해서 결정되게 된다.

Fig. 1에는 트랜지스터의 크기에 따른 신호지연을 나타내었다. 이 그래프는 비록 특정한 연결선 배열(interconnect array)에 대하여 만들어진 것이기는 하지만 이를 통하여 일반적인 경향은 명확하게 알 수 있다. 즉, 트랜지스터 자체의 지연은 트랜지스터의 크기가 감소하면서 계속하여 감소하기 때문에, 결국 소자의 크기가 $1\mu\text{m}$ 이하가 되면 트랜지스터 자체의 지연보다는 연결선 지연(interconnection delay)이 더 우세해진다는 것을 알 수 있다. 이 그래프에 의하면 단위소자의 크기가 $0.25\mu\text{m}$ 일 때(이는 256 MB DRAM 칩 또는 Pentium II type CPU에 적용된다) 신호지연은 2 ns이며, 연결선 지연이 신호지연의 대부분을 차지한다는 것을 알 수 있다. Fig. 1을 근거로 해서 고려해 볼 때 $0.25\mu\text{m}$ 의 단위소자 크기를 갖는 실리콘 칩들에서는 500 MHz 이상의 클럭스피드(clock speed)가 달성될 수 없을 것으로 예상된다.

연결선들간의 간섭에 의한 신호지연은 식 (1)에 의하여 계산될 수 있다⁴⁾.

$$T = RC = 2\rho\epsilon_r\epsilon_o \left[\frac{4L^2}{P^2} + \frac{L^2}{T^2} \right] \quad (1)$$

여기서 각 항의 의미는 다음과 같다.

T : 신호지연 (signal delay)

- R: 저항 (resistance)
- C: 축전용량 (capacitance)
- ρ : 비저항 (specific resistance)
- ϵ_r : 비유전상수 (relative dielectric constant)
- ϵ_0 : 진공 유전상수 (dielectric constant of vacuum)
- L: 도선의 길이 (length of conductor)
- T: 도선의 두께 (thickness of conductor)
- P: 도선사이의 거리 (distance between conducting lines)

식 (1)로부터 신호지연을 감소시킬 수 있는 방법에는 다음과 같은 세 가지가 있음을 알 수 있다. 첫 번째 방법은 금속선의 배치(layout)를 바꾸는 것이고, 그 두 번째는 연결금속(interconnect metal)의 비저항(ρ)을 감소시키는 것이며, 그 세 번째는 절연재료의 유전상수(ϵ_r)를 감소시키는 것이다.

연결선으로는 2.66 $\mu\Omega\text{cm}$ 의 비저항을 갖는^{5,6)} 알루미늄합금이 주로 사용되었지만 최근에는 구리를 사용하려고 하는 노력이 활발하다. 그 이유는 구리가 알루미늄에 비하여 낮은 비저항을 갖기 때문이다. 그러나 구리는 실리콘 격자 내에서 침입형 공용체가 되어 확산하기 때문에 확산속도가 매우 빨라 다른 공정 중의 높은 온도조건에서 이미 형성된 트랜지스터를 파괴할 수 있다. 따라서 구리는 실리콘과 반드시 철저히 격리되어야만 하고⁵⁾ 이를 위해서는 반드시 확산방지막(diffusion barrier)이 사용되어야 한다. 그런데 확산방지막의 사용은 칩의 제조에 있어서 부수적인 공정이 투입되는 것이므로 칩의 제조비용을 상승시킨다. 구리의 비저항은 1.65 $\mu\Omega\text{cm}$ 로^{5,7)} 알루미늄 비저항(2.66 $\mu\Omega\text{cm}$)의 62%이기 때문에 알루미늄을 구리로 대체할 경우 식 (1)에 의하면 신호지연은 겨우 기존 값의 38%만 감소할 뿐이다. 이러한 어려움이 있음에도 불구하고 1998년 IBM은 구리를 연결선 재료로 사용한 칩을 제작하였고 이를 공표하였다.

Fig. 1과 식 (1)에 의하면 다른 모든 조건이 동일하고 단지 알루미늄이 구리로 대체되기만 하면 최대 클럭스피드는 500 MHz에서 690 MHz로 향상될 수 있다. 같은 방법으로 구리대신 더 낮은 비저항을 갖는 은(Ag)을 연결선으로 사용하면 클럭스피드는 더 빨라질 수 있을 것이다. 그러나 은의 전도도는 구리의 전도도에 비하여 단지 5%밖에 크지 않기 때문에 클럭스피드의 증가는 그다지 크지 않을 것으로 예상된다. 근본적으로 전도선의 저항을 향상시켜 클럭스피드를 향상시키는 방법에는 한계가 있어 보인다.

이 문제에 대한 다른 접근방법은 지금 사용하고 있

는 절연재료인 실리콘 산화물(SiO_2 , $\epsilon_r=4$)보다 더 낮은 유전상수를 갖는 재료를 절연재료로 사용하는 것이다. 모든 벌크(bulk)재료를 통틀어 poly(tetrafluoroethylene)가 가장 낮은 유전상수 값을 보인다($\epsilon_r \approx 2$)⁷⁾. Poly(ethylene)같은 Aliphatic 고분자들도 역시 낮은 유전상수를 갖는다($\epsilon_r \approx 2.3$)⁷⁾. 따라서 고분자는 실리콘 산화물을 대체할 절연재료로 아주 유망해 보인다. $\epsilon_r=2.5$ 를 갖는 절연재료를 사용할 경우 신호 전송속도는 1.6배나 증가할 것이다. 그러나 불행하게도 마이크로칩에 적용할 수 있을 정도로 우수한 특성을 보이는 고분자재료는 아직 개발되지 못하였다. 그 이유는 어떠한 고분자재료도 요구되는 열안정성(thermal stability)을 만족시킬 수 없기 때문이다.

알루미늄합금으로 금속선(metal line)을 형성하기 위해서는 적어도 400~500°C의 온도에서 1시간의 시간이 필요하다. 고분자재료가 절연재료로 사용될 수 있으려면 이러한 온도조건에서 견딜 수 있어야 한다. 구리로 금속선을 형성할 경우 최대 공정온도가 감소하기는 하지만 반드시 400°C 정도의 온도에서 후열처리를 해주어야 하기 때문에 역시 고분자재료에 열적안정성이 요구된다.¹⁾

2. 절연재료의 조건

2.1 유전상수

SEMATECH (Semiconductor Manufacturing and Technology)은 향후 금속선간 절연재료(intermetal dielectrics)의 유전상수와 피치(전도선 사이의 거리)에 대한 로드맵(roadmap)을 제공한다. 1998년에 제시한 로드맵을 Table 1에 나타내었다¹⁾. 여기서 흥미로운 것은 1994년에 제시한 로드맵이 1998년에 제시한 로드맵보다 더 낙관적이라는 것이다.

반도체 업계는 아직 유전상수가 4 이하인 절연재료를 확보하지 못하고 있는 실정이다. 그런데 1980년대 후반만 하더라도 구리가 알루미늄을 대신하여 배

Table 1. SEMATECH roadmap for intermetal dielectric: dielectric constants¹⁾.

		Pitch (nm)				
		350	250	180	130	100
Prediction	Year	1995	1998	2001	2004	2007
1994	ϵ_r	3.9	2.9	2.3	1.7	<1.5
Prediction	Year	1995	1997	1999	2002	2005
1998	ϵ_r	4.1	3.0~4.1	2.5~4.1	2.0~2.5	1.5~2.0

선으로 사용됨으로써 처리속도가 향상되리라는 전망 보다는 저유전율 절연재료가 사용됨으로써 처리속도가 향상되리라는 전망이 더 우세하였다.

배선재료에 있어서는 구리가 알루미늄을 대신할 것이 확정되었지만, 절연재료에 있어서는 어떤 재료가 실리콘 산화물을 대신할 것인지는 아직 확정되지 못하였다. 1994년에 예측한대로 2001년에 $\epsilon_r=2.3$ 인 재료를 절연재료로 사용하는 것이 불가능하였기 때문에 다음 목표는 $\epsilon_r < 4$ 인 재료(possibly silsesquioxane, $\epsilon_r \approx 3.6$)를 절연재료로 사용하고자 할 것으로 예상된다.

구리연결선의 도입 및 배치의 개선과 같은 기술적 진보는 높은 유전상수를 갖는 절연재료를 사용함에도 불구하고 클락스피드를 향상시켰다. 그렇지만 클락스피드를 더 향상시키기 위해서는 $\epsilon_r \leq 2.5$ 이하를

갖는 적당한 재료를 찾는 작업이 계속되어야 한다.

피치(pitch)의 경우, 이미 1999년에 180 nm를 달성하였는데, 이는 1994년에 예측한 것보다 이미 1~2년 빨리 달성된 것이다.

2.2 열안정성

절연재료에 요구되는 특성은 낮은 유전상수 외에 열안정성이다⁸⁾. 알루미늄 연결선과는 달리 구리 연결선은 PVD나 CVD를 통한 증착 외에도 전기도금이나 무전해도금을 이용하여 형성될 수 있다⁹⁾. 이러한 공정들은 250°C 이하의 비교적 낮은 온도에서 이루어질 수 있다. 그러나 막이 형성된 이후에는 반드시 400~450°C의 온도범위에서 1시간 동안 열처리를 해주어야만 막내부의 공동(void)들이 없어지기 때문에 후열처리는 필수적이라 할 수 있다.

Table 2. Properties required for new intermetal dielectrics^{8,10)}.

Property	Value
Dielectric constant	<3 (preferably <2.5)
Dissipation factor at 1 MHz	<0.005
Thermal stability: 1% weight loss in N ₂ atmos.	>425°C
Moisture absorption	<1%
Adhesion (to metal, self-adhesion)	Pass tape test after thermal cycles to 450°C
Coefficient of thermal expansion	<50 ppm
Etch rate	>3 nm/s
Etch selectivity	Oxygen plasma resistance
Stress	±100 MPa
Gap-fill	No voids at 0.35 μm, aspect ratio = 2
Planarization	>80% (regional)
Tensile modulus	>1 GPa
Tensile strength	>200 MPa
Elongation-at-break	>5%
T _g	>400°C
Thickness uniformity within wafer (3σ)	<10%
Thickness uniformity wafer to wafer (3σ)	<5%
Cost at 4-7% solids content	<1.2 \$/g
Metal content	ppb level
Shelf life	6 months
Thermal shrinkage after curing	<2.5%
Dielectric breakdown	>1 MV/cm
Step coverage	>80%
Number of particles >0.3 μm	<0.08/cm ²

현재 DRAM의 경우 3~4 개의 연결선 레벨을 갖고 논리 회로(logic circuit)의 경우에는 6 개의 연결선 레벨을 갖는다. 이는 곧 연결선 레벨의 수만큼 새로운 저유전율 재료들은 열사이클(thermal cycle), 비아(via) 형성 공정들을 거쳐야 한다는 것을 의미한다. 여러 사이클을 거치는 동안 새로운 저유전율 재료들은 가스방출(outgassing), 수축(shrinking), 균열형성 및 다른 어떤 형태의 문제도 일으키지 않아야 한다.

2.3 기타조건

유전상수와 열안정성 이외에 차세대 절연재료가 갖추어야 할 조건에는 흡습성, 불순물 함량, 접착력 등이 있다. 이를 Table 2에 정리하여 나타내었다^{8,10}.

구리가 배선재료로 사용되면서 다마신(damascene) 공정이 도입되어 절연재료의 틈 채우기 성질(gap fill property)은 더 이상 문제가 되지 않는다^{6,11}. 기존의 배선공정은 "metal first" 공정이었다. 이는 금속층을 먼저 증착하고 패턴을 형성한 후, 금속선 사이의 빈 공간에 절연재료를 채우는 방식이어서 절연재료가 공동이 없는(void-free) 상태로 금속선 사이의 빈 공간에 잘 증착될 것이 요구되었다. 그러나 다마신공정을 이용하면서 배선공정은 "dielectric first" 공정으로 바뀌었다. 이는 절연층을 먼저 증착하고 패턴을 만든 후, 절연재료 사이의 빈 공간에 금속층을 증착하여 CMP (Chemical Mechanical Polishing) 방법으로 여분의 금속층을 제거한 후 다시 그 위에 절연층을 증착하는 방식이다. 이런 공정을 사용할 경우 비록 복잡하기는 하지만(adhesion promoter와 diffusion barrier 가 필요) 절연재료에 우수한 틈 채우기 성질이 요구되지는 않는다.

3. 절연재료 증착기술

고분자 절연재료는 스펀코팅(spin coating)이나 CVD 또는 PECVD와 같은 기상증착(gas-phase deposition) 또는 플라즈마 중합(plasma polymerization)에 의하여 형성될 수 있다. 기상증착 공정은 현존하는 제조공정에 더 쉽게 적용될 수 있으며 용제(solvent)가 사용되지 않아 증착 후에 용제를 제거하기 위한 추가적인 공정이 필요하지 않다는 장점이 있다. 또한 여러 층의 고분자박막이 형성되면서 위층의 고분자 박막이 형성되는 도중 아래층의 고분자박막이 부풀음(swelling)을 일으키지 않는다는 장점도 있다.

그러나 기상증착의 단점도 있다. 기상을 이용하여 증착할 수 있는 고분자는 제한되어 있으며, 플라즈마 증착(plasma deposition)의 경우 증착된 물질의 화학 구조의 조절이 어려워 구조의 최적화가 어렵다. 기상 증착의 또 다른 문제는 높은 내부응력이다. 만일 T_g (glass transition temperature)보다 낮은 온도에서 증착이 이루어진다면 증착 중 고분자 사슬(chain)이 이완(relaxation)되지 않기 때문에 내부응력이 이완되지 못하여 증착 후 높은 내부응력을 갖게 된다. 만일 좀 더 높은 온도(T_g 이상)를 갖는 기판에 고분자 박막이 증착될 경우 이러한 고분자 사슬의 이완문제는 해결될 것이다. 그러나 상온과의 높은 온도차로 인하여 증착 후 냉각에 따라 발생하는 응력(열응력: thermal stress)이 커진다는 또 다른 문제가 발생한다.

한편 스펀코팅 방법은 용제를 이용하여 형성할 수 있는 고분자라면 어떤 고분자든지 적용될 수 있으며, 형성된 고분자의 구조의 제어가 용이하다는 장점이 있다. 또한 스펀코팅은 틈 채우기 성질이 좋아 다마

Table 3. Comparison of spin-coating and gas phase deposition of polymer dielectrics.

Spin-coating	Gas-phase deposition
<i>Advantages</i>	
Most polymers can be used	Compatibility with processing equipment
Well-know structures	Gap-fill
Specific design	No solvent removal necessary
Global planarization	No swelling in multilevel structures
<i>Problems</i>	
Gap-fill	Less versatile
Multilevel structures	Deposited structures sometimes uncontrolled
Baking, shrinkage	Structure optimization difficult
New equipment necessary	Surface conform deposition

신 공정에 있어서 틈 채우기에 대한 부담이 덜하다는 장점도 있다. 고분자의 구조를 제어할 수 있으면 최적화를 통하여 접착력, 수분흡수, 기계적 성질 등을 조절할 수 있다.

단점으로는 용제가 증발하면서 막이 수축(shrinkage)되어 내부응력(internal stress)과 균열이 발생할 수 있다는 것과 이 방법을 실제 공정에 적용하기 위해서는 새로운 장비의 도입이 필요하다는 것이 있다. 순도(purity)에 따른 웨이퍼(wafer)의 오염도 문제가 될 수 있다.

위의 두 공정을 비교한 표를 Table 3에 나타내었다.

구리를 CMP로 제거하기 위해서 Al_2O_3 와 같은 연마제와 HNO_3 또는 NH_4OH 같은 화학약품을 포함하는 슬러리가 사용된다¹³⁾. 금속표면의 얇은 층은 연마제의 의하여 미립자 형태로 제거되며, 금속미립자는 구리염(copper salt)이나 암모니아 복합체(ammonia complex) 형태로 용액에 용해된다. CMP동안의 금속표면의 패시베이션(passivation)은 금속의 용해를 제어하여 통제할 수 있도록 해 주고 평탄도(planarization)를 향상시킨다¹⁴⁾.

구리 CMP 동안 여러 가지 화학약품이 사용됨으로 절연재료로 사용될 고분자는 이러한 화학약품의 공격에 견딜 수 있어야 하며, 동시에 연마제에 의해서 심한 스크래치(scratch)가 형성되지 않아야 한다.

4. 용액을 이용한 고분자재료의 형성

대부분의 고온 고분자재료들은 마이크로칩의 층간 절연체(ILD: interlayer dielectric) 또는 금속간절연체(IMD: intermetal dielectric)의 용도로 제안되어왔다. 이러한 고온 고분자재료들에는 aromatic polyimides, poly(aryl ether)s, heteroaromatic 고분자들 그리고 fluoropolymers가 있다. Table 4에 ILD/IMD로 사용되기 위한 고분자재료들을 나타내었다.

1990년대부터 지금까지 발표된 문헌들을 살펴보면 미래의 마이크로전자에 사용하기 위한 저유전율 재료의 연구경향을 알 수 있다. 초기에는 aromatic polyimides에 초점을 맞추어 연구가 진행되다가 나중에는 유전상수를 감소시키기 위하여 불소(fluorine, F)를 첨가시키는 데에 초점을 맞추어 연구가 진행되었다. 일반적으로 불소를 첨가하면 고분자의 유전상수가 감소하는 것으로 알려져 있다. 그래서 polyimides에다가 불소치환기(fluorinated substituent)를 포함시키는 연구가 집중적으로 수행되었고, poly(arylene ether)s, Parylene F, poly(perfluorocyclobutene)와 심지어

Table 4. Polymers suggested for ILD/IMD applications.

Polyimides
Poly(aryl ether)s
Poly(quinoline)s
Poly(quinoxaline)s
Poly(oxadiazole)s
Poly(norbomene)
Cycloolefin-copolymers (COC)
Polyindan
Poly(tetrafluoroethylene)
Poly(perfluorocyclobutene)
Poly(benzocyclobutene)
Fluorinated poly(triazine)s
Poly(<i>para</i> -xylylidene)s
Poly(silsesquioxane)s
Poly(benzoxazole)s
Poly(naphthalene)
Poly(tetrafluoroethylene-co-2,2-bistrifluoromethylperfluorodioxole) (Teflon AF)

어 비정질(amorphous) PTFE-derivatives와 같은 불소화 된(fluorinated) 고분자들도 역시 연구되었다. 그러나, 불소화된 고분자내의 불소는 수소와 반응하여 불산(HF)을 형성할 수 있는데, 이때 형성된 불산은 실리콘 칩을 부식시킬 수 있는 문제점이 있어 최근에는 다시 불산을 포함하지 않는 고분자에 관심이 집중되고 있다.

5. 기상을 이용한 고분자재료의 형성

나노에멀션(Nanoemulsion) 공정이 개발되어서야 비로소 우수한 틈 채우기 성질을 갖는 PTFE (poly(tetrafluoroethylene), e.g. Teflon)가 하위 마이크로(sub-micron) 공정에 적용될 수 있게 되었다. PTFE는 낮은 유전상수를 가지고 있어서 ILD/IMD 재료로 매우 유망하였기 때문에 기상을 이용한 PTFE-like 박막을 형성하기 위한 공정 기술도 연구되었다.

UV-enhanced chemical vapor deposition (CVD)법이 PTFE 박막의 형성에 사용될 수 있고¹⁵⁻¹⁹⁾, DLI (direct liquid injection) 방법은 테플론(Teflon) AF 박막들을 얻는데 사용되었다²⁰⁾. 0.4%의 테플론 AF 용액을 이용하여 형성한 테플론 AF 박막은 1 MHz에서 2.1의

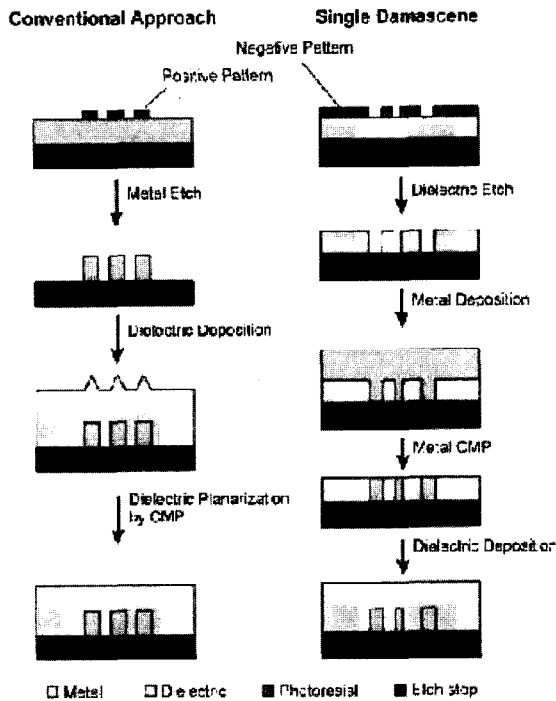


Fig. 2. Interconnect fabrication schemes¹²⁾.

유전상수와 낮은 진성응력(intrinsic stress)을 보였으며, 증착중의 UV조사는 막의 내부응력을 80 MPa에서 28 MPa로 감소시켰다²⁰⁾.

PECVD와 같은 플라즈마를 사용하는 방법이 사용될 수 있는데, 이 방법을 사용할 경우 화학적 구조가 명확하지 않고 불용성(insoluble)이며 가교된(cross-linked) 박막이 얻어진다. 이 방법을 통하여 형성된 막들은 “amorphous fluorinated carbon”으로 불리워지며 “a-C:F”의 기호로 표현된다.

Tetrafluoromethane (CF₄)²¹⁾, hexafluoroethane (C₂F₆)^{21,22)}, hexafluoropropene (C₃F₆)²³⁾, perfluorocyclobutane (C₄F₈)^{22,24)}, tetrafluoroethane (C₂H₂F₄)^{25,26)}, difluoromethane (CH₂F₂)²⁵⁾, chlorodifluoromethane (CHClF₂)²⁵⁾, hexafluoropropene oxide (C₃F₆O)^{25,27,28)}, pentafluorostyrene (C₆F₅-CH=CH₂)²⁹⁾, perfluoroallylbenzene (C₆F₅-CF₂-CF=CF₂)²⁹⁾, hexafluorobenzene (C₆F₆)^{30,31)}, tetrafluorobenzene (C₆H₂F₄)^{12,31)}, octafluorotoluene¹²⁾ 그리고 perfluorodekalin¹²⁾과 같은 많은 종류의 불소화된 화합물들이 a-C:F를 증착하기 위한 전구체(precursor)로 사용되어 왔다. a-C:F의 열안정성은 전구체 분자의 크기가 증가함에 따라 증가한다고 알려져 있다.

플로로카본(Fluorocarbon) 박막은 실리콘 산화물

(SiO₂) 기판과의 접착력이 좋지 못하여 어떤 때는 증착 중에 박리(delamination)가 일어나기도 한다. 이러한 문제점은 플로로카본 박막을 증착하기 전에 CH₄를 공급해서 하이드로카본(hydrocarbon) 박막을 기판에 먼저 증착해 줌으로써 어느 정도 해결될 수 있었다²⁴⁾.

6. 기공을 갖는 재료

가스의 유전상수($\epsilon_r \approx 1$)는 진공의 유전상수와 거의 비슷하기 때문에 유전상수를 감소시키기 위해서는 자유공간(free space)이나 기공을 재료 내부에 도입하는 것은 좋은 방법이 될 수 있다³²⁾. 이러한 아이디어 바탕을 두고 fluorenyl같은 벌키그룹(bulky group)을 이용하여 충전밀도(packing density)는 감소시키고 자유부피(free volume)를 증가시키는 방법이 실행되기도 했다. 실제로 이러한 방법이 효과가 있다는 것이 10 nm 범위를 갖는 기공(pore)들을 함유하는 거품 박막들(foamed films)을 통하여 증명되었다. 실리콘 산화물(SiO₂)을 기지(matrix)로 하는 aerogel 또는 xerogel의 경우 기공밀도가 90%일 때 유전상수가 거의 1에 근접했다는 것이 보고되었다³³⁻³⁷⁾.

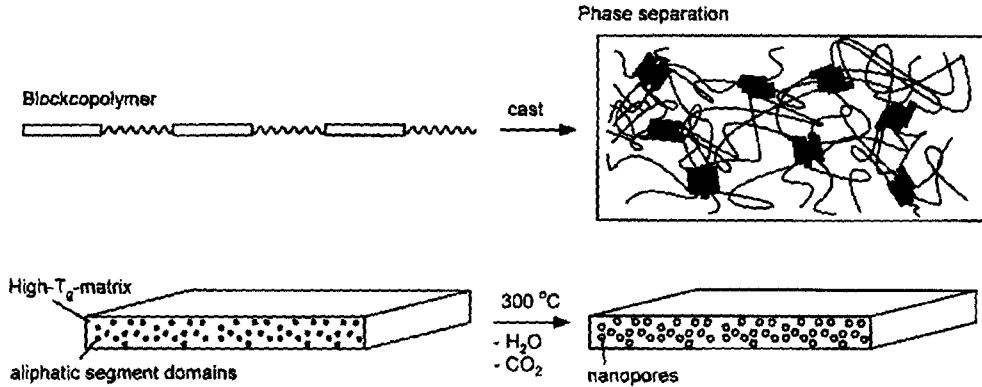
높은 기공함량을 얻기 위해서는 많은 부피의 용제가 제거되어야만 한다. 그러나 용제의 완전한 제거는 사실상 어렵다. 그 이유는 기공들끼리 서로 잘 합쳐지지(incorporation) 않기 때문이다. 이때 미처 밖으로 빠져나가지 못한 용제나 용제의 증기는 기지(matrix)에 남아서 기지 내부를 확산하게 된다. 막이 수축되지 않고 균열이 형성되지 않도록 하면서 공정을 수행하는 것은 매우 어렵다.

250 nm 이하의 크기를 갖는 단위회로에 사용되기 위한 연결선을 형성하기 위해서 기공의 지름은 반드시 10 nm 보다 작아야 하며, 좁은 크기 분포를 갖고 규칙적인 분포를 하고 있어야 하며 서로 연결(incorporation)되지 말아야 한다.

다소 흥미로운 방법이 IBM Almaden Research Center에서 개발되었다. 이 방법은 블록공중합체(blockcopolymer)의 상분리(phase separation)를 이용한 것으로, 어떤 조성에서 소수성분(minor component)이 구형의 도메인(domain)을 형성시킨다는 것에 기반을 두고 있다³⁸⁻⁴¹⁾. 이를 위해서 polyimides나 또는 poly(phenylquinoxaline)s에 열적으로 불안정한(thermally labile) 블록(block)들이나 그래프트(graft)들을 섞어주는데^{38,42-47)}, 30 vol%까지는 블록들이 큰 문제없이 잘 섞인다. 이를 250~300°C³⁸⁻⁴⁰⁾의 온도로 가

Table 5. Dielectric constants and other physical properties of polyimide nanofoams³⁹⁾.

Polymer	Porosity (%)	Dielectric Constant	Tensile modulus (GPa)	Stress (MPa)	Water uptake (%)
PMDA-3FDAm	—	2.85	2.7	46	3.0
PMDA-3FDAm	18	2.35	1.65	25	2.8
6FXDA-6FDAm	—	2.55	31	31	2.9
6FXDA-6FDAm	14	2.25	28	28	2.7

**Fig. 3.** Generation of nanoporous polymers¹²⁾.**Table 5.** Dielectric constants and other physical properties of polyimide nanofoams³⁹⁾.

Polymer	Porosity (%)	Dielectric Constant	Tensile modulus (GPa)	Stress (MPa)	Water uptake (%)
PMDA-3FDAm	—	2.85	2.7	46	3.0
PMDA-3FDAm	18	2.35	1.65	25	2.8
6FXDA-6FDAm	—	2.55	31	31	2.9
6FXDA-6FDAm	14	2.25	28	28	2.7

열하면 불안정한 블록들이 열분해 되어 원래 차지하고 있던 자리에 기공이 형성된다. 이 방법을 이용하면 최대 30 vol%까지 기공을 형성할 수 있다^{39,40)}. 나노기공(nanopore)이 형성되는 과정을 Fig. 3에 개략적으로 나타내었다.

이 방법의 단점은 기공들이 붕괴(collapse)한다는 것이다. 이는 작은 기공들이 높은 표면 장력을 가질 때(평균 기공 지름 6 nm⁴⁰⁾)와 기공이 형성되는 동안 아세톤(aceton)과 같은 polyimide를 붕괴시킬 수 있는 물질이 발생할 때 일어난다^{39,40)}. 그 외에도 기공을 형성시키기 위하여 가해지는 온도나 기타 다른 공정의 온도가 polyimide의 T_g에 가까우면 연화(softening)가 일어나 표면장력에 의해 마찬가지로 붕괴가 일어날 수 있다. 나노기공이 형성된 polyimide의 여러 가지

성질을 Table 5에 나타내었다³⁹⁾.

PMDA-3FDAm 박막이 18%의 기공도를 갖게 되면 유전상수는 2.85에서 2.35로 감소하고 인장탄성계수(tensile modulus)는 2.7 GPa에서 1.65 GPa로 감소하며, 잔류응력이나 흡습성도 역시 감소한다³⁹⁾.

블록(Block)/그래프트(graft) 공중합 방법(copolymer method)을 이용하여 기공도를 더 이상으로 증가시키는 사실상 불가능하다. 그 이유는 소수성분(minor component)이 증가하면 형상(morphology)이 구형에서 실린더모양으로 바뀌어 라멜라(lamellar) 구조를 갖게 되기 때문이다. 즉, 기공도가 30 vol%를 넘으면 고립된 형태의 기공들이 더 이상 형성되지 못하고 연속적인 기공을 갖게 되는데, 이러한 구조는 붕괴하기가 쉽다. 형상이 구형에서 실린더모양으로 바뀌는 정확

한 조성은 두 상의 불용도(degree of immiscibility), 블록길이(block length), 블록길이의 분포, 그리고 주물(casting) 공정에 의하여 결정된다.

블록(Block)/그래프트(graft) 공중합 방법의 이러한 한계점을 극복하기 위하여 별모양의(star-shaped) 고분자를 사용하는 방법이 연구되었다⁴⁸⁾. Six-arm star poly(caprolactone)s는 poly(methylsilsequioxane)에 50 vol%까지 섞일 수 있고, 이를 통하여 기공도는 40 vol%까지 얻어질 수 있다. 그러나 기공의 구조가 안정되지 못하여 기공의 붕괴가 심하게 일어났다⁴⁸⁾. 유전상수 1.9의 박막은 30 vol%의 기공도와 20 nm의 평균 기공 직경을 통하여 얻어질 수 있다고 한다⁴⁸⁾.

7. 맺음말

아직까지 SEMATACH에서 만든 로드맵에서 제시한 기준을 충족시키는 저유전을 재료는 개발되지 못하였다.

열안정성은 400°C 또는 450°C까지 대기 중에서 수 시간 동안 가열되어도 가스분출(outgassing)이나 수축(shrinkage) 또는 기타 물리적 성질의 변화가 일어나지 않는 것으로 정의되며, 아마도 450°C의 열안정성 또는 심지어 400°C의 열안정성을 갖는 고분자들이 유전상수 2.5 미만을 갖는다는 것은 거의 불가능할지도 모른다. 오로지 높은 분해 온도(500°C보다 훨씬 높은 온도)를 갖는 재료들만이 이처럼 엄격한 열안정성 조건을 충족시킬 수 있을 것으로 예상된다.

불소화된(fluorinated) 고분자의 경우 높은 온도에서 불산(HF)이 형성될 수 있는데, 이렇게 형성된 불산은 실리콘에 화학적 손상(damage)을 줄 수 있기 때문에 심각한 문제가 된다. Fully aromatic hydrocarbon 고분자들만이 장시간 열안정성을 보일 것으로 예상된다.

고분자 화학적 관점에서 가장 유망한 저유전을 고분자재료의 후보로는 Air Products/Schumacher's poly(aryl ether)s, SiLK^{49,50)} 그리고 poly(naphthalene)이 있다. 이러한 재료들은 수분흡수를 유발하고 유전상수를 증가시키는 labile group과 polar group을 갖지 않기 때문에 2.6 근처의 유전상수를 보인다. 그러나 polar group의 부재는 극성표면을 갖는 경향이 있는 금속과 산화물에 대한 접착력을 약화시키기 때문에 접착력 증진제(adhesion promoter)를 추가로 필요로 한다.

Poly(benzoxazole)s와 같은 hetero aromatic 고분자들도 역시 유망한 후보이다. 박막형성동안 포함된 전구체(precursor)들 때문에 이러한 고분자들은 접착력을 조절하기가 쉽다.

2.7보다 그다지 크지 않은 유전상수는 fluorine free poly(benzoxazole)s에서도 얻어질 수 있다. Poly(quinoline)s와 poly(quinoxaline)s는 우수한 열안정성을 가지고 있으며, 화학구조의 안정화(no polar groups, introduction of large, bulky groups to increase free volume, control of end groups)를 통하여 유전상수는 더 낮아질 수 있다.

유전상수 2.5 이하는 기공을 갖는 재료를 통해서만 가능할 것으로 예상되며, 이것이 유기재료이건 무기재료이건 간에 곧 가까운 미래에 등장할 것으로 예상된다. 기공을 갖는 고분자재료의 경우 불소(fluorine)의 제거나 400°C 이상의 열안정성을 확보하는 것이 우선되어야 한다.

금속선 형성을 위한 최대 공정온도가 350°C 또는 심지어 300°C 이하로까지 감소할 경우 상황은 많이 달라진다. 이 경우 많은 고분자재료들이 절연재료로 이용 가능해진다. 이러한 상황에서 불산(HF)의 발생은 큰 문제가 되지 않을 것이다. 이 조건에서 테플론과 테플론 AF같은 perfluorinated aliphatic 고분자들이 용액이나 기상을 통하여 형성될 수 있으며 이때 유전상수는 2 근처에 이를 수 있다. 이들 재료를 기공을 갖는 재료로 만들면 유전상수는 더 낮아질 수 있다.

유전재료의 발전은 칩의 제조방법과 밀접하게 관련되어 있다. 지금까지 문헌에 보고된 저유전을 재료들에 관한 정보를 살펴보면 향후 세 가지 시나리오가 가능하다는 것을 알 수 있다. 첫째는 당장은 유전상수 2.5 이하를 갖는 절연재료가 요구되는 것이고, 멀리 있는 유전상수 2 이하를 갖는 절연재료가 차세대 칩에 대하여 요구되는 것이다. 이 경우 기공을 갖는 재료를 이용할 수밖에 없다. 이렇게 될 경우 배선공정에는 많은 변화가 일어나게 된다. 둘째는 기공을 갖는 재료가 허용되지 않는 경우이다. 이 경우 유전상수 2.6 근처의 고분자 재료가 반드시 이용될 것이고, 고분자재료의 도입에 따른 공정과 배선구조도 최적화 되어야 한다. 셋째는 칩의 제조공정에서 고분자재료가 사용되지 않는 경우이다. 이 경우 유전상수 3.5 (fluorine doped SiO₂) 이하를 갖는 재료가 아직 개발되지 않아 배선구조와 모양(피치, 구께, 길이), 금속 레벨의 수, 칩의 크기를 변화시켜 클락스피드를 향상시키고자 할 것이다.

참고문헌

1. Semiconductor Industry Association. International Technology Roadmap for Semiconductor (ITRS),

- 1998 Update (<http://www.itrs.net/ntrs/pubIntrs.nsf>).
2. S.P. Muraka, *Solid State Technol.*, 3, 83(1996).
 3. S.-P. Jeng, R.H. Havemann and M.-C. Chang, *Mater. Res. Soc. Symp. Proc.*, 337, 25(1994).
 4. M.T. Bohr, *Solid State Technol.*, 9, 105(1996).
 5. C.-K. Hu, *Mater. Res. Soc. Symp. Proc.*, 511, 305(1998).
 6. H. Treichel, B. Withers, G. Ruhl, P. Ansmann, R. Wurl, Ch. Muller, M. Dietlmeier and G. Maier, "Low dielectric constant materials for interlayer dielectrics", In: H.S. Nalwa, editor. *Low-k and high-k materials*. Oxford, UK: Academic Press (1999).
 7. J. Brandrup and E.H. Immergut, editors. *Polymer Handbook*, 3rd ed. New York: Wiley, V/1 (1989).
 8. P. Singer, *Semicond. Int.*, 5, 88(1996).
 9. *Eur. Mater. Res. Soc. Symp. Proc.*, 66 (1997).
 10. W.W. Lee and P.S. Ho., *Mater. Res. Soc. Bull.*, 22(10), 19(1997).
 11. J. Leu, T.M. Lu and P.S. Ho, "Tutorial on low- ϵ materials", *MRS Fall Meeting* (1996).
 12. G. Maier, "Low dielectric constant polymers for microelectronics", *Prog. Polym. Sci.*, 26, 3(2001).
 13. R.J. Gutmann, T.P. Chow, D.J. Duquette, T.-M. Lu, J.F. McDonald and S.P. Muraka, *Mater. Res. Soc. Symp. Proc.*, 381, 177(1995).
 14. S.P. Muraka, *Mater. Res. Soc. Symp. Proc.*, 511, 277(1998).
 15. R. Singh, *J. Appl. Phys.*, 63, R59(1988).
 16. R. Singh, P. Chou, F. Radpour, A.J. Nelson and H.S. Ullal, *J. Appl. Phys.*, 66, 2381(1989).
 17. R. Singh, S. Sinha, R.P.S. Thakur and P. Chou, *Appl. Phys. Lett.*, 58, 1217(1991).
 18. M.A. Wait, J. Mavoori, R. Singh, J.E. Harris, K.F. Poole, J.W. Kolis, R.P.S. Thakur and A.A. Ogale, *Appl. Phys. Lett.*, 64, 3234(1994).
 19. R. Singh, R. Sharangpani, K.C. Cherukuri, Y. Chen, D.M. Dawson, K.F. Poole, A. Rohatgi, S. Narayanan and R.P.S. Thakur, *Mater. Res. Soc. Symp. Proc.*, 427, 181(1996).
 20. R. Sharangpani, R. Singh, *Mater. Res. Soc. Symp. Proc.*, 467, 207(1997).
 21. K. Endo and T. Tatsumi, *Mater. Res. Soc. Symp. Proc.*, 381, 249(1995).
 22. Y. Matsubara, K. Endo, T. Tatsumi and T. Horuichi, *Mater. Res. Soc. Symp. Proc.*, 476, 19(1997).
 23. T.W. Mountsier and D. Kumar, *Mater. Res. Soc. Symp. Proc.*, 443, 41(1997).
 24. K. Endo, T. Tatsumi, Y. Matsubara and T. Horuichi, *Mater. Res. Soc. Symp. Proc.*, 443, 165(1997).
 25. C.B. Labelle, K.K.S. Lau and K.K. Gleason, *Mater. Res. Soc. Symp. Proc.*, 511, 75(1998).
 26. Y. Matsubara, K. Endo, M. Iguchi, N. Ito, K. Aoyama, T. Tatsumi and T. Horuichi, *Mater. Res. Soc. Symp. Proc.*, 511, 291(1998).
 27. C.R. Savage, R.B. Simmons and J.W. Lin, *Chem. Mater.*, 3, 575(1991).
 28. S.J. Limb, D.J. Edell, E.F. Gleason and K.K. Gleason, *J. Appl. Polym. Sci.*, 67, 1489(1998).
 29. L.M. Han, R.B. Timmons and W.W. Lee., *Mater. Res. Soc. Symp. Proc.*, 511, 93(1998).
 30. T.W. Mountsier, J.A. Samuels and R.S. Swope, *Mater. Res. Soc. Symp. Proc.*, 511, 259(1998).
 31. G. Maier, M. Dietlmeier and A. Klumpp., *Polym. Prepr. (Am. Chem. Soc. Div. Polym. Chem)*, 39(2), 859(1998).
 32. D.W. Van Krevelen, "Properties of Polymers", 3rd ed. Amsterdam: Elsevier, 321(1990).
 33. L.W. Hrubesh, L.E. Keene and V.R. Latorre, *J. Mater. Res.*, 8, 1736(1993).
 34. P. Bruschi, F. Stucki, T. Baumann, P. Kluge-Weiss, B. Bruhl, L. Niemeyer, R. Strumpler, B. Ziegler and M. Mielke, *J. Appl. Phys.*, A57, 329(1993).
 35. T. Ramos, K. Roderick, A. Maskara and D.M. Smith, *Mater. Res. Soc. Symp. Proc.*, 443, 91(1997).
 36. D.M. Smith, J.M. Anderson, C.C. Cho, G.P. Johnston and S.P. Jeng, *Mater. Res. Soc. Symp. Proc.*, 381, 261(1995).
 37. C.C. Cho, B. Gnade and D.M. Smith, *U.S. Patents*, 5,407,802 & 5,494,858 & 5,504,042 & 5,523,615 (1995).
 38. J.L. Hedrick, J.W. Labadie, T.P. Russell, D. Hofer and V. Wakharkar, *Polymer*, 34, 4717(1993).
 39. J.L. Hedrick, K.R. Carter, J.W. Labadie, R.D. Miller, W. Volksen, C.J. Hawker, D.Y. Yoon, T.P. Russell, J.E. McGrath and R.M. Briber, *Adv. Polym. Sci.*, 141, 1(1998).
 40. J.L. Hedrick, J.W. Labadie, W. Volksen and J.G. Hilborn, *Adv. Polym. Sci.*, 147, 61(1999).
 41. K.R. Carter, *Mater. Res. Soc. Symp. Proc.*, 476, 87(1997).
 42. J.L. Hedrick, C.J. Hawker, R. DiPietro, R. Jerome and Y. Charlier, *Polymer*, 36, 4855(1995).
 43. J.L. Hedrick, R. DiPietro, C.J.G. Plummer, J.G. Hilborn and R. Jerome, *Polymer*, 37, 5229(1996).
 44. Y. Charlier, J.L. Hedrick, T.P. Russell, A. Jones and W. Volksen, *Polymer*, 36, 987(1995).
 45. J.L. Hedrick, T.P. Russell, J.W. Labadie, M. Lucas and S. Swanson, *Polymer*, 36, 2685(1995).
 46. J.L. Hedrick, R. DiPietro, Y. Charlier and R. Jerome, *High Perform Polym.*, 7, 133(1995).
 47. J.L. Hedrick, T.P. Russell, M. Sanchez, R. DiPietro, S. Swanson, D. Meccerreyes and R. Jerome, *Macro-*

- molecules, 29, 3642(1996).
48. J.F. Remenar, C.J. Hawker, J.L. Hedrick, S.M. Kim, R.D. Miller, C. Nguyen, M. Trollsas and D.Y. Yoon, Mater. Res. Soc. Symp. Proc., 511, 69(1998).
49. P.H. Townsend, S.J. Martin, Godschalx, D.R. Romer, D.W. Smith Jr., D. Castillo, R. De Vries, G. Buske, N. Rondan, S. Froelicher, J. Marshall, E.O. Shaffer and J.-H. Im, Mater. Res. Soc. Symp. Proc., 476, 9(1997).
50. D.A. Babb, D.W. Smith Jr., S.J. Martin and J.P. Godschalx (Inventors). World Patent WO 97/10193, The Dow Chemical Company, March 20 (1997).