

# 10Mbps급 HomePNA2.0 PHY. 회로 설계

정회원 박성희\*, 구기종\*\*, 김종원

## A design of HomePNA2.0 PHY.

Seong-hee Park\*, Ki-jong Koo\*, Jong-won Kim\* *Regular Members*

### 요 약

본 논문에서는 가정 내의 전화선을 이용한 홈 네트워크 기술인 10Mbps HomePNA(Home Phoneline Networking Alliance) 2.0 PHY 회로의 설계 및 그에 대한 검증방법을 보여 준다. HomePNA 2.0 PHY 회로는 MII(Media Independent Interface)와 AFE 인터페이스에 의해 외부와 연결된다. 설계된 10Mbps HomePNA 2.0 PHY의 회로의 전체 구조는 Management block, IEEE 802.3 CSMA/CD MAC(Media Access Control) block, 변조 및 복조 block으로 크게 구성된다. 설계된 회로는 프로토타입 FPGA PCB 보드를 이용하여 검증하였다. 또한, Linux 기반의 드라이버 프로그램을 개발하여 HomePNA 프레임 데이터 전송의 기본적인 동작을 확인하였으며, HomePNA 2.0 링크 계층 프로토콜의 RNC(Rate Negotiation Control Function)에 의하여 전송속도의 변화를 확인하였다.

### ABSTRACT

In this Paper, we present the design of 10Mbps HomePNA(Home Phoneline Networking Alliance) PHY which is Home Network Technology using phone-line. It is connected with external interface through MII(Media Independent Interface) and AFE(Analog Front End) Interface. 10Mbps HomePNA PHY is composed with Management Block, IEEE 802.3 CSMA/CD MAC(Media Access Control) Block, Modulator block and Demodulator block. For their verification, we designed a prototype FPGA PCB board using XPC860T made in Motorola. We verified HomePNA frame data transmission using a driver program based Linux kernel. we verified rate negotiation by HomePNA 2.0 Link Layer Protocol.

### 1. 서론

인터넷 서비스 수요의 폭발적인 증가와 가정 내에서 보유하고 있는 개인용 컴퓨터(Personal Computer)를 포함한 각종 정보가전 기기의 증가로 인하여 이러한 장치들을 하나의 통합된 망에 연결하여 효율적으로 활용해야 하는 문제가 대두되기 시작했다. 이러한 요구에 부응하는 홈 네트워크(Home Network) 방법들이 많은 단체를 통하여 제안 및 개발되고 있으며, 그 중에서 HomePNA(Home Phoneline Networking Alliance) 기술은 가정 내에 이미 설치된 전화선로를 이용하여 별도의

비용 부담 없이 가정 내의 정보가전 기기들을 하나의 망에 연결하여 홈 네트워크를 구성할 수 있다.<sup>[1][2]</sup>

HomePNA는 현재 1Mbps의 속도를 제공하는 HomePNA1.0이 상용화되어 많이 사용하고 있으나, ADSL이나 DOCSIS와 같은 광대역 접근기술에서 접근 대역폭을 공유하기 위해서는 6Mbps이상의 속도를 요구하며, 또한 다중 DVD나 HDTV와 같은 서비스에서는 10Mbps보다 빠른 속도가 가능해야 한다. 따라서, 기존의 HomePNA 1.0에서는 이러한 고속의 데이터 서비스를 할 수 없으며, 이는 HomePNA 1.0과 동일한 대역폭을 이용하면서 보다

\* 한국전자통신연구원 네트워크연구소 SoC기술팀(pshee@etri.re.kr)

※ 본 논문은 2002년 4월 JCCCI 학술대회에서 우수논문으로 선정되어 게재 추천된 논문입니다.

고속의 통신이 가능한 기술의 필요성을 요구한다. 이러한 요구에 만족하는 것이 HomePNA 2.0이며 기존의 전화선을 이용하여 4~32Mbps의 통신을 가능하도록 제안된 기술이다<sup>[3][4]</sup>.

10Mbps급 HomePNA를 구현함에 있어 2절에서는 Management block, Frame controller block, MAC block 등의 비모뎀부의 설계와 변조부와 복조부를 포함한 모뎀부로 설계된 HomePNA PHY 회로의 구조를 보여 주고, 3절에서는 설계된 회로를 검증하기 위한 Prototype FPGA PCB board의 설계에 대하여 기술한다. 4절에서는 결론 및 향후 이루어져야 할 방향에 대하여 기술한다.

## II. HomePNA PHY의 구조

본 논문에서 설계된 HomePNA PHY. 회로는 HomePNA 프레임의 생성과 레지스터 관리 및 MAC 처리를 담당하는 비모뎀부와 프레임의 변조 및 복조를 담당하는 모뎀부로 크게 나눌 수 있다.

### 1. 비모뎀부

비모뎀부는 Management block, Frame Controller block과 MAC(Media Access Control) block으로 구성되어 있다.

Management block은 MII(Media Independence Interface)의 2.5MHz MDC clock에 동기를 맞추어 MDIO 신호를 통하여 HomePNA PHY. 및 AFE(Analog Front End)의 동작을 제어하고 상태를 모니터링한다. MDIO 신호는 양방향 신호로서 항상 pull-up을 해 주어야 한다.<sup>[3]</sup> Management block에는 3가지 종류의 레지스터를 가지고 있다. PHY 및 AFE의 동작을 제어하거나 송수신 상태를 저장할 수 있는 일반 레지스터, 다른 스테이션으로부터 송신된 프레임의 SA(Source Address)와 DA(Destination Address) 정보를 가지고 있고 HomePNA MAC block의 파라미터 정보를 가지고 정보 전달을 할 수 있는 파라미터 레지스터와 모뎀부를 제어하고 필터 및 등화기의 계수 값을 전달하고 모니터링할 수 있게 하는 모뎀 레지스터로 구성된다. Management block은 이러한 레지스터를 상호 운용하고, 상위 계층으로 정보를 전송하여 주는 역할을 한다.

Frame Controller block은 Ethernet 프레임과 HomePNA 프레임을 상호변환하여 모뎀부와 데이터 송수신을 담당한다. Frame Controller block의

초기화 및 상태의 모니터링은 Management block에서 주관한다. 그림 1은 HomePNA 2.0 PHY의 프레임 데이터 구조를 보여준다. HomePNA 프레임 데이터는 Header, Payload, Trailer로 구성되며, Header와 Trailer는 2Mbaud로 전송하고, Payload는 2Mbaud 또는 4Mbaud의 전송속도로 QPSK부터 256QAM까지의 가변 전송 모드를 사용하여 전송을 하게 된다. 이러한 방법으로 전송할 때 HomePNA는 4~32Mbps의 속도를 가질 수 있다.

Frame Controller block에서 Framer는 Ethernet 프레임 구조에 Preamble64, Frame Control, CRC16, pad, EOF를 삽입하여 HomePNA PHY의 데이터 프레임을 만들게 된다. Preamble64는 16 symbol의 QPSK 시퀀스(TRN16) 0xfc483084를 4번 반복하며, 스크램블링을 하지 않는다. 데이터 스크램블러는 상관된 연속적인 패킷에서 PSD(Power Spectrum Density)의 톤 문제를 해결하기 위하여 사용되며, 다음의 다항식을 사용한다.

$$G(x) = x^{23} + x^{18} + 1 \tag{1}$$

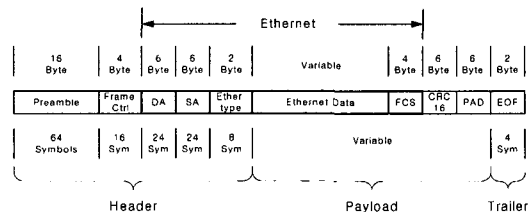


그림 1. HomePNA 데이터 프레임 구조

Frame Controller는 전송 프레임의 priority, payload encoding, SI(Scrambler Initialization), HCS(Header Check Sequence) 등을 포함하고 있으며, CRC16은 Ethernet 프레임의 에러 체크를 위하여 사용되며, 구현을 위한 다항식은 다음과 같다.

$$G(x) = x^{16} + x^{12} + x^5 + 1 \tag{2}$$

Pad는 4Mbaud의 전송에서만 삽입되며, 최소 프레임 크기를 맞추기 위하여 프레임의 더미 데이터를 붙이는 것이다. EOF(End of Frame)은 TRN 시퀀스의 첫 4 심벌 0xfc를 사용한다. 또한, EOF는 수신된 프레임의 끝을 탐색하기 위해 사용된다.

Frame Controller block은 송수신하는 데이터 프레임을 버퍼링하기 위하여 최대 1518 byte의 FIFO 메모리를 송신측과 수신측에 각각 가지고 있다. HomePNA 프레임 구조로 변환된 데이터는

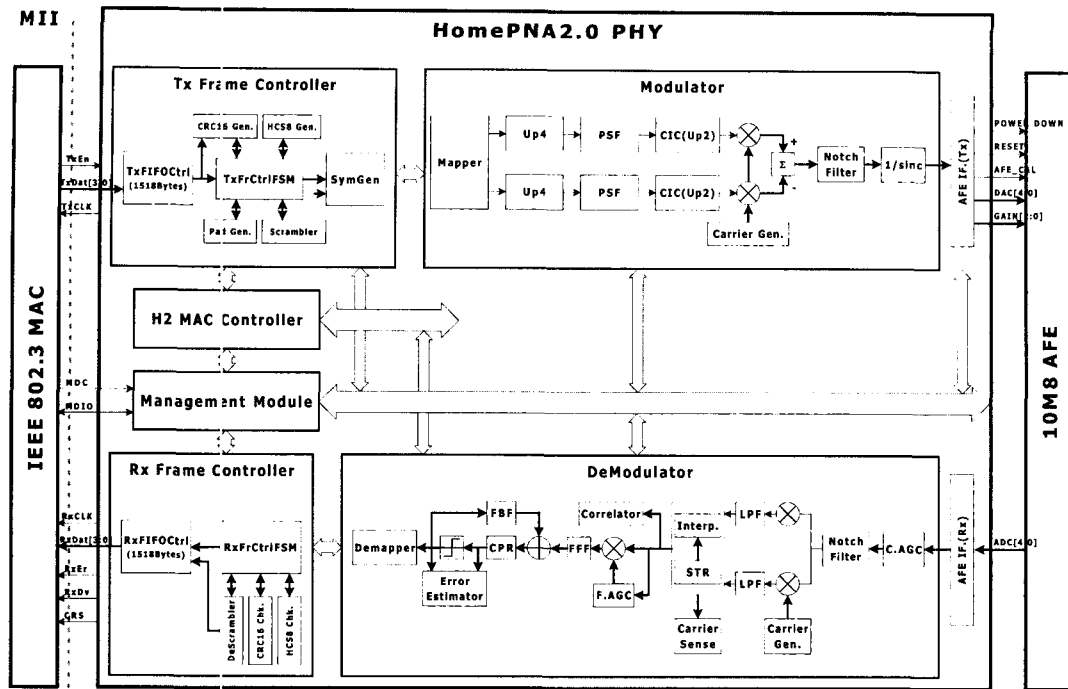


그림 2. HomePNA PHY의 전체 블록도

constellation encoder를 거쳐 모뎀부로 전송된다. DeFramer는 Frammer의 역으로 동작을 한다.<sup>[6]</sup> MAC(Media Access Control) block은 기존 IEEE 802.3 Ethernet처럼 CSMA/CD의 규약을 따르며, QoS(Quality of Service)를 지원할 수 있도록 8개의 priority level과 네트워크 상에 많은 노드가 있을 때, 지연시간을 제한하도록 하는 DFPQ(Distributed Fair Priority Queuing)의 충돌해결 알고리즘을 사용한다.

충돌 발생시 해결방법은 전송하기 전에 통신 선로 상에 다른 스테이션이 전송하고 있는지를 먼저 점검하고 전송하고 있는 스테이션이 없다면 자신이 데이터를 전송한다. 두 개 이상의 스테이션이 서로 동시에 전송 시 충돌이 발생한다. 충돌이 발생하면 모든 스테이션은 받아들이고 있는 데이터를 모두 무시하고 전송 스테이션은 보내고 있는 데이터를 중지하고 다른 스테이션에 충돌 발생을 알리게 된다. 데이터를 보내고 있던 스테이션은 재전송에 얼마의 시간을 기다린 후 재전송을 한다. 재전송 시간의 결정은 연이은 충돌의 가능성을 방지하기 위해 재전송하기 전에 대기 시간을 랜덤하게 발생시킨다.

## 2. 모뎀부

모뎀부는 변조부와 복조부로 나누어 진다.

변조부는 전송 선로에 따라서, 4Mbaud QAM

(Quadrature Amplitude Modulator)과 2Mbaud FDQAM(Frequency Diversity Quadrature Amplitude Modulator)의 변조방식을 사용한다. HomePNA 2.0 규격에서는 4/8/16/32/64/128/256-QAM 혹은 FDQAM중 하나를 선택할 수 있는 구조를 갖고 있으며, 전송선로의 상태에 따라서 4Mbps~32Mbps의 전송속도를 가질 수 있다. 변조 방식의 선택은 Frame Control Field의 Payload Encoding값에 의해서 결정된다.

Frame Processor로부터 들어오는 비트 데이터는 먼저 Costellation Encoder를 거쳐서 원하는 심벌로 매핑이 된다. 이 때 PE(Payload Encoding) 값에 따라서 성상도가 결정된다. 심벌로 매핑된 데이터는 변조 방식이 FDQAM인 경우 각각의 심벌 앞뒤에 제로를 삽입하고 저대역 필터를 통과시켜 변조를 한다.

복조부는 AFE(Analog Front End)로부터 입력되는 신호에 cos과 sin을 곱한 후 LPF를 통과시키면 기저대역 신호로 변환된다. 송신단에서 PSF(Pulse Shaping Filter)를 통과하면서 Interpolation이 되었으므로 Decimator를 통과시켜서 데이터 속도에 맞게 샘플링을 한다. 샘플링된 신호는 동기화 블록과 등화기 블록을 거쳐 채널을 통과하면서 왜곡된 신호를 보상 받게 되며, 슬라이서와 성상 디코더를 거

처 QAM 심벌로부터 비트 열 데이터를 재생성 한다. 채널에 의해 손상된 신호의 진폭과 위상을 정확하게 추정하기 위하여 낮은 오차 확률을 가지고 데이터 율을 높여야 한다. 이를 위해 비선형 등화시인 결정-궤환 등화기가 사용된다. DFE(Decision Feedback Equalizer)는 선형 등화기처럼 잡음의 증가 없이 왜곡을 보상할 수 있고 sampler phase에 덜 민감한 특징이 있다. 수신단에는 등화기 이외에도 정확한 symbol timing을 추출하기 위한 Timing Recovery block을 구성하고, 송신부와 수신부의 반송파에도 위상지연이 생기게 되므로 Carrier Recovery block을 설계한다.

### III. Prototype 설계 및 검증

VHDL로 설계된 HomePNA 2.0 PHY. 회로는 3개의 FPGA와 1개의 CPLD로 구성하고, Motorola MPC 계열의 프로세서 및 기타 부품들을 이용하여 prototype 형태의 검증보드를 설계하였다. Management block, Frame Controller block, MAC block으로 구성된 비모뎀부를 하나의 칩에 구현하고, 모뎀부는 변조부와 복조부를 분리하여 두 개의 칩에 구현하였다. AFE(Analog Front End)와 모뎀부의 인터페이스, 파워 리셋 신호, clock 생성 회로 등은 하나의 CPLD 칩에 구현하였다.

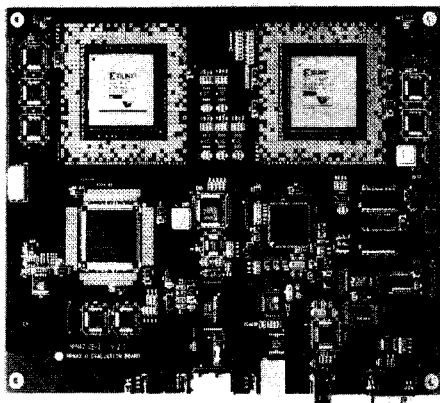


그림 3. HomePNA 검증 보드

전체적인 시스템의 동작은 MPC860T에 의하여 이루어진다. HomePNA2.0 프레임 데이터의 송수신 및 링크 계층 프로토콜을 구현하기 위한 알고리즘을 Linux 기반의 프로그램으로 개발하여 MPC860T에 장착하여 구동한다. MPC860T의 MII

(Media Independent Interface) 인터페이스에 HomePNA2.0 PHY.를 연결하고, 이더넷은 SCC(Serial Communication Controller) 인터페이스에 연결하며, USB 데이터 처리를 할 수 있는 USB controller는 마스터 패러럴 버스에 연결된다. 또한, 보드내의 데이터 이동 및 데이터의 제어를 모니터링하기 위하여 RS-232 포트를 이용한다. MPC860T의 Linux 커널을 저장하기 위한 후레쉬 메모리와, 프로그램 구동 시 버퍼로 쓰기 위한 SDRAM을 가지고 있다.

HomePNA PHY 회로의 검증은 데이터를 전송하기 위하여 PHY의 기본 레지스터를 MDC/MDIO 창구를 통하여 셋팅하고, 이더넷 포맷에 의한 프레임 데이터를 MII의 TxDat을 통하여 송신하고 RxDat에 의해 수신한다. 프레임 데이터는 최대 1518 byte까지 가능하므로 그 이하의 데이터를 PC에서 임의로 생성하여 전송시험을 한다.

HomePNA PHY의 시험은 데이터 전송 루프백 시험과 충돌(collision)시험을 수행하며, 스테이션을 여러 대 연결하여 전송속도가 4~32Mbps 까지 가변적으로 변하면서 동작하는 시험을 하게 된다. 데이터 전송 루프백 시험은 디지털 프레임 단계에서의 프레임 레벨 루프백 시험, 변복조부에서의 샘플 레벨 루프백 시험, 그리고 AFE(Analog Front End)단에서의 루프백 시험 등 세가지를 시험한다. 루프백 시험을 하기 위해서는 해당 레지스터를 루프백 모드로 셋팅하고, 이더넷 프레임 데이터를 MII의 TxDat으로 보내고, 루프백되어 MII의 RxDat으로 돌아온 데이터를 비교하여 검증을 하게 된다. 충돌(collision) 시험은 주로 HomePNA MAC(Media Access Control) 부분에서 이루어진다. 가상의 충돌 감지(Collision Detection) 신호를 발생하여 MAC에 알리고, 이에 준하는 동작이 이루어지는가를 확인한다. 전송속도의 가변적인 동작의 제어는 전송 프레임의 정보와 수신된 데이터 프레임의 MSE (Mean Square Error) 값을 이용하여 주로 링크 계층 프로토콜에서 처리를 하게 되며, 링크 계층 프로토콜은 전화선에 발생할 수 있는 잡음에 의하여 발생할 전송속도의 변동을 유연하게 하기 위한 RNCF(Rate Negotiation Control Function), 프레임 에러(frame error)를 통하여 발생하는 프레임 에러율(error rate)을 효과적으로 줄이기 위한 LARQ (Limitd Automatic Repeat reQuest), 주기적으로 자신의 능력 및 상태를 브로드캐스트하여 네트워크의 상태를 관리하는 CSACF(Capability and Status

Announcement Control Function)와 네트워크 링크의 상태(데이터 송수신 가능 여부)를 확인하는 LICF(Link Integrity Control Function)등이 있다.

전송속도의 변화는 수신된 프레임 데이터의 MSE(Mean Square Error)의 값에 따라 이루어진다. HomePNA 규격에서는 프레임 에러율(PER : Packet Error Rate)의 목표치를  $10^{-2}$  또는  $10^{-3}$  으로 정하고 있다. 표 1은 implementation loss를 추가하고 시뮬레이션하여 계산된 결과이며, 이 결과에 따라 전송 모드를 결정하게 된다. RNCF(Rate Negotiation Control Function)는 수신된 프레임 데이터의 MSE값을 PHY로부터 받아서 표 1의 값과 비교하여 전송모드를 결정하게 된다.

표 1. HomePNA 2.0 코덱의 MSE 경계값 (Implementation Loss=3dB)

	PER $\leq 10^{-2}$	PER $\leq 10^{-3}$
4-QAM	24.547e-3	20.893e-3
8-PSK	7.413e-3	6.166e-3
16-QAM	2.951e-3	2.455e-3
32-CR	1.622e-3	1.349e-3
64-QAM	0.562e-3	0.457e-3
128-CR	0.331e-3	0.269e-3
256-QAM	0.26e-3	0.102e-3

#### IV. 결론

본 논문에서는 고속의 홈 네트워크를 구축하기 위한 10Mbps급 HomePNA 2.0 기술의 PHY 구조의 설계와 설계된 PHY를 시험하기 위한 검증회로에 대하여 기술하였다. 설계된 HomePNA 2.0 PHY 구조는 FDQAM과 FDQAM의 두가지 변조방식을 이용하여 4Mbps ~ 32Mbps의 전송속도를 가변적으로 지원할 수 있으며, 이를 검증하기 위하여 프로토타입으로 시스템을 구성하여 동작을 검증하였다. 검증 회로를 통하여 HomePNA 2.0 PHY 및 AFE 내부의 레지스터 제어, 데이터 프레임의 송수신 상태 시험, 시뮬레이션에 의하여 계산된 MSE 값을 통한 전송속도의 변화 등을 시험하였다. 본 연구에서는 HomePNA 2.0 PHY와 1Mbps급 HomePNA 1.0 기술과의 호환성은 고려하지 않고, 10Mbps급 HomePNA 2.0 기술만을 지원하게 된다.

향후, FPGA로 설계된 HomePNA2.0 PHY는 삼성 0.35u 공정으로 ASIC 칩으로 개발될 예정이다. HomePNA 통신 기술은 일반적으로 전화선의 토폴

로지(topology)와 회선의 상태, 링(ring)신호, 전화의 후크 스위치와 같은 예기치 않은 펄스 노이즈의 발생으로 전송속도에 영향을 받는다. 향후, ASIC 칩을 장착한 시스템을 이용하여 HomePNA 시험 규격(Certification Spec.)에 의한 시험을 진행할 계획이며, 국내 전화망에 대한 적용을 통하여 전송 속도의 변화의 정도가 크지 않도록 고품질 데이터 전송을 이룰 수 있는 HomePNA 기술의 연구를 수행하고자 한다.

#### 참고 문헌

- [1] 구기중, 유광현, 홍인성, 김보관, "HomePNA1.0 Transceiver의 회로 설계 및 구현", *대한전자공학회, 추계종합학술대회 논문집*, 제23권, 제2호, pp.131-134, 2000
- [2] 김종원, 양재우, "HomePNA 기술" *한국통신학회지*, 제17권, 제11호, pp. 32-43, 2000년 11월.
- [3] <http://www.HomePNA.org>
- [4] HomePNA, "Interface Specification for HomePNA2.0 10M8 Technology", 1999
- [5] IEEE Std 802.3, Local and Metropolitan Area Networks, "22. Reconciliation Sublayer(RS) and Media Independent Interface(MII)", pp.488-533, 1998
- [6] 구기중, 김종원, "10Mbps급 HomePNA기술의 Frame Processor 구조 설계", *대한전자공학회 통신 소사이어티 및 신호처리 소사이어티 추계 합동 학술 발표회 논문집*, pp.209-212, 2001년 11월.

박 성 희(Seong-hee Park)

정회원



1994년 2월 : 충북대학교  
정보통신공학과(공학사)  
1996년 8월 : 충북대학교  
정보통신공학과(공학석사)  
2000년 2월 : 충북대학교  
정보통신공학과 박사수료

2000년~현재 : ETRI 네트워크연구소 SoC기술팀 근무(신임연구원)

<주관심 분야> 회로 및 시스템 설계 기술, ASIC 설계 기술, 맥내 망 기술

