

# POS 정합을 위한 ATM 기반 레이블 에지 라우터의 고속 IP 패킷 포워딩 엔진

정회원 최병철\*, 광동용\*, 이정태\*\*

## A High Speed IP Packet Forwarding Engine of ATM based Label Edge Routers for POS Interface

Byeong-cheol Choi\*, Dong-yong Kwak\*, Jeong-tae Lee\*\* *Regular Members*

### 요 약

본 논문에서는 ATM(Asynchronous Transfer Mode) 기반 레이블 에지 라우터에서 POS(Packet over SONET) 정합 기능을 가지는 고속의 IP(Internet Protocol) 패킷 포워딩 엔진을 제안하였다. 포워딩 엔진은 POS 물리층으로부터 수신되는 패킷에 대하여 TCAM(Ternary Content Addressable Memory)을 사용하여 고속의 룩업 처리가 가능하도록 하였다. 또한, 고속의 IP 헤더 처리 및 룩업 제어 기능을 FPGA(Field Programmable Gate Array)로 구현하여 하드웨어적으로 고속의 IP 패킷 포워딩이 가능하도록 하였다. 제안한 포워딩 엔진은 룩업 제어기에 MPLS(Multiprotocol Label Switching) 패킷 처리 기능을 구현함으로써 레이블 에지 라우터 기능도 수행하도록 하였다.

### ABSTRACT

In this paper, we proposed a high speed IP(Internet Protocol) packet forwarding engine of ATM(Asynchronous Transfer Mode) based label edge routers for POS(Packet over SONET) interface. The forwarding engine uses TCAM(Ternary Content Addressable Memory) for high performance lookup processing of the packet received from POS interface. We have accomplished high speed IP packet forwarding in hardware by implementing the functions of high speed IP header processing and lookup control into FPGA(Field Programmable Gate Array). The proposed forwarding engine has the functions of label edge routers as the lookup controller supports MPLS(Multiprotocol Label Switching) packet processing functionality.

### 1. 서론

인터넷의 대중화로 인터넷 가입자가 증가함에 따라 인터넷 트래픽이 급격하게 증가하고 있다. 이와 같은 트래픽량의 증가는 라우터의 고속화를 요구하고 있으며, 이는 고속의 IP 패킷 포워딩 성능을 요구하고 있다. 뿐만아니라 인터넷 사용자들의 요구도 다양해짐에 따라 IP 패킷 포워딩 엔진의 부담은 더욱더 커지고 있다. 이와 같이 다양한 서비스와 고속의 IP 패킷 서비스를 만족시키기 위한 하나의 방법

으로 MPLS 기술<sup>1)</sup>이 등장하였다. 이 기술은 기존의 목적지 주소 기반의 hop-by-hop 전달을 레이블 스위핑 기법을 사용하므로써 증가하는 인터넷 트래픽의 해결 방법으로 제시되고 있다. 한편 ATM 기술은 L2(Layer 2) 스위칭으로 패킷을 전달하는 MPLS 기술을 효과적으로 이용할 수 있다. 그러나 현재 ATM 교환망에서 POS기반 인터넷 서비스를 제공하기 위해서는 중계 라우터 및 LAN(Local Area Network) 스위치로 구성되는 POP(Point of Presence)을 통하여 그 기능을 제공하고 있다. 이와

\* 한국전자통신연구원(ETRI) 네트워크핵심기술연구부,

\*\* 부산대학교 컴퓨터공학과

※ 본 논문은 2002년 4월 JCCI 학술대회에서 우수논문으로 선정되어 게재 추천된 논문입니다.

같이 ATM 교환망으로 기존 이기종의 다양한 정합을 수용하기 위해서는 ATM 정합을 가지는 라우터를 통하여 ATM 망으로 정합되어야 하는 부담이 있다. 따라서 ATM 교환망으로 이기종의 POS정합과 ATM을 이용한 MPLS 기능을 수용하기 위해서는 ATM 교환망의 에지 라우터에 위치하는 액세스 정합 기능을 직접 POS 수용이 가능하도록 함이 훨씬 경제적이며 효과적이다. 그림1은 ATM 교환망의 에지 라우터에 연결되는 기존의 방식과 POS를 직접 연결하는 새로운 구성을 보여주고 있다.

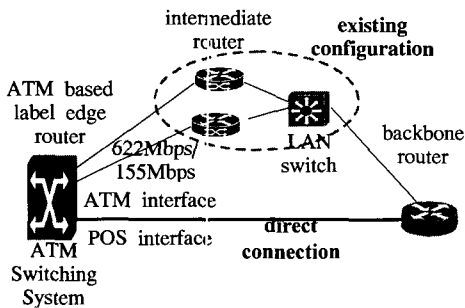


그림 1. ATM 교환망의 POS 정합을 위한 기존 연결과 직접 연결 구성

POS를 정합하기 위한 레이블 에지 라우터는 패킷 포워딩을 위하여 기본적으로 목적지 IP 주소에 대한 LPM(Longest Prefix Match) 기능을 수행해야 한다. LPM 룩업은 IP 패킷 포워딩의 고속화에 결정적인 요소이므로 고속 패킷 포워딩을 위해서는 전통적인 알고리즘 기반의 룩업 방법<sup>[2,3,4,5]</sup> 보다는 하드웨어 기반의 룩업 방법을 사용하는 것이 더 효과적이다. 따라서 본 논문에서는 ATM 교환망에 POS 정합을 수용하는 기능을 구현함과 동시에 TCAM<sup>[6]</sup>과 하드웨어적인 룩업 제어기를 이용하여 고속 패킷 포워딩이 가능하도록 하였다.

본 논문의 구성을 살펴보면, 2장에서는 POS정합을 위한 ATM 기반 고속 IP 패킷 포워딩 엔진 구조를 설명하고, 3장에서는 IP 헤더를 고속으로 처리하는 TCAM 기반의 룩업 제어를 수행하는 룩업 제어기 구조를 제안하고 동작을 살펴본다. 4장에서는 룩업 제어기의 성능을 분석하고, 마지막 5장에서는 결론을 맺는다.

## II. ATM 기반 IP 패킷 포워딩 엔진 구조

MPLS 기능을 지원하는 ATM 기반의 레이블 에지 라우터는 POS 정합을 위하여 IP 패킷 포워딩

엔진을 통하여 SONET 프레임으로 수신되는 IP 패킷에 대하여 룩업 기능을 수행하고 ATM 셀로 분해하여 MPLS 레이블 분배 프로토콜에 의해 설정된 LSP(Label Switched path)로 IP 패킷을 전달한다. 또한 MPLS 망으로부터의 수신되는 ATM 셀로 구성된 IP 패킷에 대하여 셀의 재조립을 통하여 POS 프레임으로 IP 패킷을 전달한다. 이와같은 기능을 수행하기 위하여 본 논문에서 제안한 IP 패킷 포워딩 엔진 구조는 그림 2와 같다.

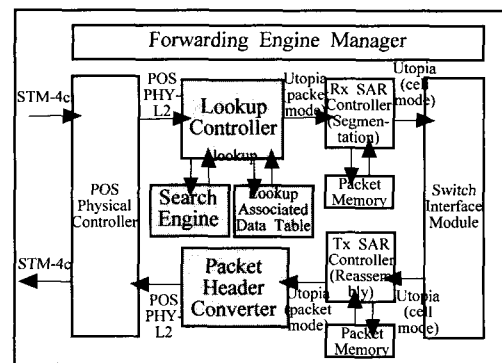


그림 2. ATM 기반 POS 정합 포워딩 엔진 구조

POS 정합 물리층 제어기는 PPP(Point-to-Point Protocol) 기반의 HDLC(High Data Link Control) 프레임으로 수신되는 패킷에 대하여 시작 플래그 및 종료 프래그 추출, FCS(Frame Check Sequence) 검증을 수행하고 POS 병렬 데이터 형태로 변환하여 룩업 제어기로 전달하는 기능을 수행한다<sup>[7,8]</sup>. 룩업 제어기는 POS 정합 제어기로부터 전달되는 IP 패킷에 대하여 622Mbps 속도의 IP 헤더 처리 및 룩업 기능을 고속화하기 위하여 그 기능을 FPGA로 구현하였다. 검색 엔진은 TCAM으로 구성되어 룩업 제어기의 제어를 받아 LPM 기능을 수행한다. 수신 SAR(Segmentation and Reassembly) 제어기는 수신된 패킷에 대하여 ATM 셀로 분해하여 ATM 망으로 전달하는 기능을 가지고 송신 SAR 제어기는 ATM 망으로부터 수신되는 ATM 셀에 대하여 재조립 기능을 수행하여 POS 물리층 제어기로 전달한다. 그림 3은 이와 같이 동작하는 POS 프레임과 MPLS AAL5 프레임의 셀변환 관계를 보여주고 있다.

물리층 제어기는 별도의 패킷 메모리를 지니지 않고 내부 버퍼(256바이트 FIFO)만 가지므로 오버플로우가 발생하지 않도록 하기 위해서는 룩업 제어기의 패킷 포워딩 제어 및 룩업 처리가 고속으로

이루어져야 한다. 이와같은 고속 룩업 처리 및 패킷 포워딩 기능을 수행하기 위하여 본 논문에서는 일정한 LPM 룩업 시간과 O(1)의 룩업 횟수를 제공하는 TCAM을 사용하여 패킷 포워딩의 고속화를 실현하였다.

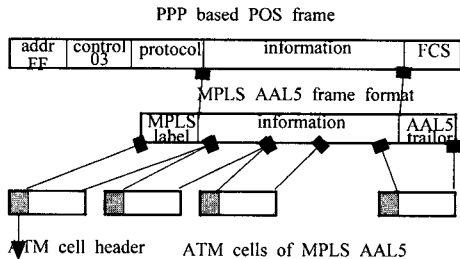


그림 3. POS 프레임의 MPLS ATM 셀 변환

한편, 스위치 모듈로부터는 IP 패킷이 AAL5(ATM Adaptation Layer 5)의 ATM 셀 형태로 송신 SAR로 전달되며, 송신 SAR는 셀의 재조립 과정을 수행하여 물리층 제어기 방향으로 패킷을 전달한다. 이때 송신 SAR 제어기는 해당 패킷에 대한 정보를 포함하는 별도의 헤더를 기존 패킷 앞부분에 삽입하여 전달한다. 따라서 패킷 헤더 변환부는 별도 삽입된 헤더 정보를 제거하여 물리층 제어부로 패킷을 전달하며 송신 SAR 제어부와 POS 물리층 제어부의 송수신 속도 정합 기능 등을 수행한다.

### III. 룩업 제어기

#### 1. POS 패킷 송수신 제어

룩업 제어기는 물리층 제어기와의 UTOPIA 패킷 모드에 정합이 마스터 관계로 동작하기 때문에 물리층 제어기로부터 패킷 전달 요구가 있을 경우 언제든지 전송 허용 제어 신호를 구동하여 물리층 제어기의 내부 버퍼에 패킷 오버플로우가 발생하지 않도록 하여야 한다. 또한, 룩업 제어기는 POS 물리 계층 제어기와 16 비트 병렬 데이터로 전달되며 수신되는 패킷에 대하여 거의 지연없이 패킷 포워딩 기능을 수행하여야 한다. 따라서 수신된 IP 패킷은 헤더 처리 및 룩업 제어에 소요되는 시간동안 FPGA 내부 버퍼에 저장되고 룩업 기능이 완료되면 수신 SAR 제어기로 32비트 병렬 데이터 크기로 패킷을 전달함으로써 FPGA 내부 버퍼내의 패킷 대기 시간을 가능한 한 최소화하고 룩업 후 일정 시간이 경과하면 즉시 전달될 수 있도록 하였다. POS 패킷 정합부는 수신 SAR 제어기로 32 비트 전달을 효과

적이고 용이하게 하기 위하여 내부 버퍼에 32 비트 크기로 저장하도록 하였다. 따라서 16 비트 크기로 수신된 패킷 유닛은 다음 수신된 16비트 패킷 유닛과 결합하여 32 비트로 확장시켜 저장한다. 그림 4는 이와 같은 버퍼 제어를 위한 구조 및 동작을 나타내고 있다.

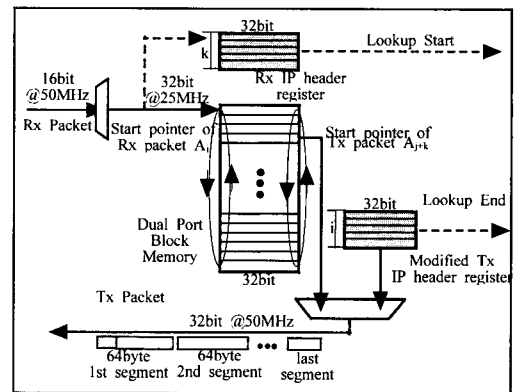


그림 4. 룩업 제어기 버퍼 제어 구조

룩업 제어기는 패킷의 시작과 함께 물리층 제어기로부터 16비트 단위로 전달되는 패킷 데이터를 수신하면 IP 패킷 영역의 시작 시점부터 32 비트로 확장시켜 룩업 제어기의 내부 버퍼인 DPRAM(Dual Port RAM)에 패킷을 저장하기 시작한다. 이와 동시에 IP 헤더에 해당하는 영역은 IP 룩업에 즉시 사용할 수 있도록 별도의 수신 IP 헤더 레지스터에 저장한다. 패킷 데이터를 수신하면 버퍼 포인터 관리기는 저장하고 있는 수신 패킷의 시작 포인터로부터 수신 포인터를 하나씩 증가시키면서 32비트씩 저장한다. 이때 수신 포인터가 마지막에 도달하면 다시 처음으로 돌아가며 순환한다. 룩업을 위한 IP 헤더 저장 레지스터에 IP 헤더 영역이 모두 저장되자마자 IP 룩업 처리 단계에 들어간다. 또한 룩업이 완료되면 패킷 포워딩을 위한 룩업 결과를 이용하여 수신 SAR 제어기가 요구하는 패킷 헤더정보, 즉 ATM 망에서 사용될 VPI/VCI에 해당하는 레이블 정보와 IP 헤더의 변경 정보를 이용하여 송신 패킷 헤더 변경 기능을 수행한다. IP 헤더 변경이 완료되면 변경된 헤더 정보를 수신 SAR 제어기로 전달하고 그 이후의 패킷 데이터는 내부 버퍼에 저장되어 있는 정보들을 폐치하여 전달한다. 이때 수신 SAR 제어기로 전달하기 위한 기본 데이터 단위 크기는 해당 패킷의 마지막 세그먼트를 제외하고는 64 바이트 크기로 전달되어야 한다. 따라서 송수신

전달 내부 버퍼에 64 바이트 크기로 전달 가능한 패킷 수가 존재하지 않을 경우 64 바이트 전달 가능할 때 까지 기다렸다가 해당 세그먼트 전송을 해야 한다.

2. TCAM 동작 및 룩업 제어

TCAM은 LPM IP 룩업 처리를 고속으로 수행하기 위한 효과적인 룩업 엔진이다. 이것은 소프트웨어 알고리즘을 이용한 IP 룩업의 순차적 검색과는 달리 입력되는 IP주소의 키에 대하여 병렬로 동시에 포워딩 엔트리 비교 기능을 수행함으로써 한번의 비교 과정으로 일치하는 가장 긴 프레픽스가 존재하는 주소 위치를 출력한다. 한편 TCAM에 저장되는 포워딩 테이블 엔트리는 IP 주소와 서브넷 마스크값의 조합으로 저장된다. 그리고 주소의 상위부에 마스크 비트수가 작은 엔트리를 위치시켜야 하며 이것은 마스크 비트 수가 서로 다른 2개 이상의 엔트리에서 비교 매치가 발생한 경우 상위부에 위치하는 엔트리에 대하여 우선 순위를 높게 하기 위함이다. 그림 5는 TCAM의 포워딩 엔트리 저장 구조를 나타내고 있다.

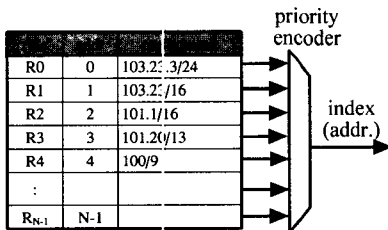
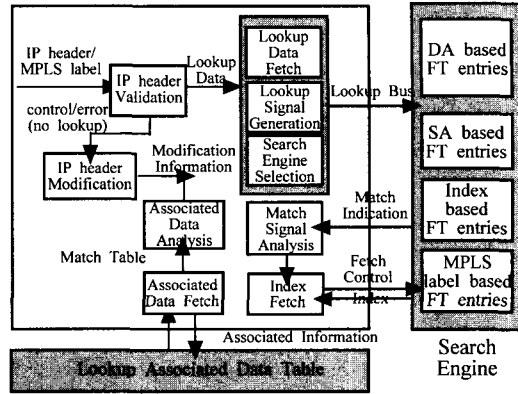


그림 5. TCAM 구조

TCAM으로 구성된 룩업 엔진은 목적지 IP 주소만을 이용하여 룩업을 수행하는 best effort 서비스 뿐만 아니라 발신지 주소 및 그 조합에 의해 룩업을 수행하는 패킷 필터링 기능도 제공하여야 한다. 또한 레이블 룩업을 통하여 레이블의 push/pop 기능도 수행할 수 있도록 포워딩 테이블 엔트리를 구성하여야 한다. 따라서 이와같은 기능을 실현하기 위하여 포워딩 엔트리 테이블을 그 특징에 따라 서로 독립적인 블록 단위로 구분하였다. 그림 6은 룩업 제어를 위한 구조를 나타내고 있으며, 각 포워딩 테이블 블록은 크게 목적지 IP 주소, 발신지 IP 주소, 인덱스 기반의 엔트리, MPLS 레이블 기반의 포워딩 테이블 엔트리들로 나누어진다. 인덱스 기반의 포워딩 엔트리 테이블은 DA(Destination Address) 룩업 결과의 인덱스와 SA(Source Address) 룩업 결과

의 인덱스를 조합한 패킷 필터링 기능을 수행할 때 사용된다.



DA : Destination Address, SA : Source Address, FT : Forwarding Table

그림 6. 룩업 엔진 제어 구조

룩업 제어기는 IP 헤더 영역 수신이 완료되는 즉시 IP 헤더에 대한 IP 버전, 체크섬 값, 제어 프로토콜 여부, 옵션 영역 사용 유무 등 IP 헤더에 대한 검사를 수행한다. 또한 이와 동시에 룩업 처리 결과를 가능한 한 빨리 얻기 위하여 레지스터에 저장된 IP 주소를 추출하여 룩업 처리를 수행한다. 만약 IP 헤더 검사 결과로 예외 경우가 발생되면 룩업 처리 과정을 중단하고 예외 처리 과정을 수행한다.

룩업 제어기는 IP 헤더 검증이 성공적으로 완료됨과 동시에 목적지 IP 주소와 발신지 IP 주소를 그 키로하여 하드웨어적인 룩업을 수행하기 위하여 비교 제어 신호와 비교 명령어를 생성하여 다수의 해당 테이블로 전달한다. TCAM 기반의 검색 엔진은 이와 같은 제어 신호와 룩업 주소키를 전달받고 60nsec 이후에 비교 결과를 나타내는 신호를 구동시킨다. 따라서 IP 주소키에 대하여 순수한 LPM 검색에 소요되는 시간은 60nsec<sup>[9]</sup> 정도 밖에 소요되지 않음을 알 수 있다. 이와 같은 빠른 검색 시간 때문에 TCAM이 고속 IP 패킷 포워딩의 룩업 엔진으로 각광을 받고 있다. 한편, 목적지 IP 주소와 발신지 IP 주소의 LPM 매치 신호와 해당 인덱스가 출력되면 패킷 필터링 기능을 수행하기 위하여 두 개의 인덱스를 키로하여 다시 인덱스 테이블에 비교 기능을 한번 더 수행한다. 비교 결과 일치하는 엔트리가 존재하는 경우 룩업 제어기는 다수의 TCAM으로부터 출력되는 매치 신호에 대한 우선 순위 인코딩을 통하여 해당하는 TCAM의 인덱스를 추출한다. 추출한 인덱스를 이용하여 링크된 룩업

관련 데이터 테이블에서 IP 패킷 전달을 위한 관련 데이터를 획득한다. 이때 관련된 정보는 ATM 망을 통하여 전달될 VPI/VCI 정보, 즉 MPLS LDP (Label Distribution Protocol)에 의해 이미 설정되어 있는 LSP의 레이블 정보와 MPLS 망내의 TTL (Time-to-Live) 계산을 위한 LSR(Label Switch Router) 홉수 등이다. 룩업 제어기는 이와 같은 정보로부터 IP 헤더 변경과 레이블 정보를 삽입하고 헤더 변경을 완료되면 64바이트 세그먼트 단위로 수신 SAR 제어기로 패킷을 전달한다. 그림 7은 이와 같이 동작하는 FPGA로 구현된 룩업 제어기의 메카니즘을 보여주고 있으며, 그림 8은 FPGA로 구현된 룩업 제어기의 IP 패킷 처리에 대한 타이밍 시뮬레이션 결과를 보여주고 있다. 타이밍 시뮬레이션은 하나의 패킷이 16비트의 POS-PHY L2를 통하여 64바이트의 세그먼트 단위로 유입될 때 내부 메모리에 32비트로 저장되는 데이터와 해당 수신 포인터를 보여주고 있다. 또한 룩업 제어기 내부에서 IP 패킷 룩업 처리의 주요 처리 단계 즉, 헤더 검증, 룩업 제어, 인덱스 페치, 레이블 정보 페치, 헤더 변경 신호 등에 대한 타이밍을 나타내고 있으며 룩업이 완료된 후의 32비트 UTOPIA 3 패킷 모드 인터페이스를 통하여 데이터의 전달을 보여주고 있다.

#### IV. 성능 분석

POS 패킷에 대한 포워딩 처리는 그 과정에 따라 단계별 즉, IP 헤더 수신 단계, IP 헤더 검증 단계, 룩업 제어 단계, 룩업 결과 처리 단계, 헤더 변경 단계 등으로 구분하였으며, 표1은 각 단계별 처리 기능 및 해당 기능 처리에 소요되는 시간을 나타내

```

process (
if(lookup_ready = true) then
if(lookup_type = MPLS) then
{label for MPLS} lookup
else
{DA for best effort} lookup
{DA for filter}, {SA for filter} lookup
if( 1st step filter lookup match = true) then
{DA_index, SA_index for filter} lookup
end if;
end if;
if ( match = true)
take the associated action to the packet
else
forwarding the packet to the default path
end if;
end if;
    
```

그림 7. 룩업 제어기의 룩업 제어 메카니즘

고 있다. 본 논문에 적용된 OC-12c 속도의 IP 패킷 룩업에 따른 16비트 단위의 패킷 구성 엔티티의 FPGA 내부에서의 흐름은 룩업 제어기로 입력되는 입력 패킷 데이터의 전달 크기가 16비트이고 출력되는 패킷 데이터의 크기가 32 비트로 동작하며 동작 동기 클럭이 동일하기 때문에 출력 속도가 2배 빠르다. 그림 9는 POS 물리층 제어기로부터 16 비트 단위로 유입되는 임의의 IP 패킷에 대하여 룩업 후에 수신 SAR 제어기로 32 비트 단위로 전달되는 IP 패킷에 대한 개념도와 중요 시점의 시간을 나타내고 있다. 그림 9에서  $t_0$ 는 패킷의 시작 제어신호와 함께 유입되는 시점을 나타내고  $t_{25}$ 는 룩업 처리가 끝나고 수신 SAR 제어기로 변경된 IP 패킷의 전달 시작 시점을 나타낸다.  $t_{41}$ 은 첫 64 바이트를 전부 전송한 시점을 나타내고 그 뒤 6T는 송신을 위한 64바이트 최소 전달 단위가 가능하기 위하여 수신 패킷이 적어도 32 바이트가 될 때까지 송신 대기 시간을 나타내고 있다. 그리고 그 다음 세그먼트 전

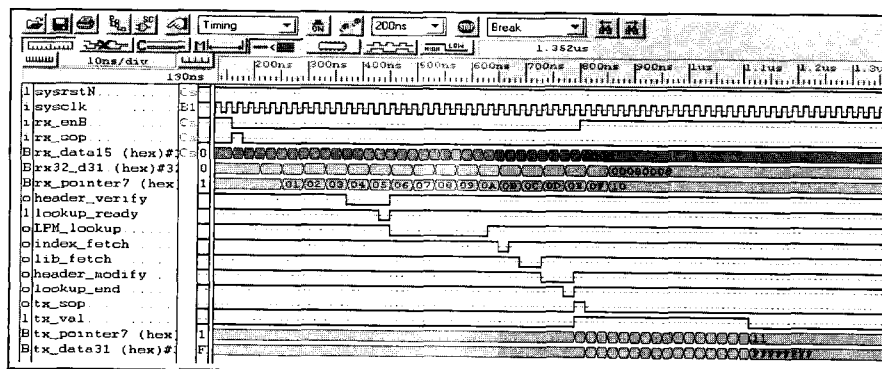


그림 8. 룩업 제어기 타이밍 시뮬레이션

송부터는 수신 패킷의 32 바이트가 내부 버퍼에 차면 16T의 송신을 시작하는 것을 보여주고 있다.

표 1. 각 단계별 기능 및 처리 시간

단계	기능	처리 시간
단계 1	IP 헤더 저장	9T
단계 2	IP 헤더 검증 IP 헤더 룩업 제어	4T 3T + 60nsec
단계 3	룩업 결과 분석 및 관련 데이터 패치	4T
단계 4	IP 헤더 변경	2T
1T = 20nsec at 50Hz		전체 25T

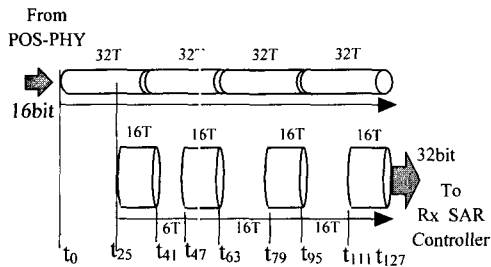


그림 9. 패킷 수신 및 송신 전달 개념도

그림 10은 패킷이 도착한 시점 이후 패킷 전달 및 저장에 사용되는 동기 클럭 T를 기준으로 하여 T가 증가함에 따라 룩업 제어기의 내부 버퍼에 대기 중인 패킷 바이트 수를 나타내고 있으며, 시간 T가 증가함에 따라 바이트 수가 48까지 증가하다가 룩업이 완료되고 32비트 크기로 송신을 시작하면 그 수가 점점 줄어든다. 그리고 첫 64 바이트 전송을 마치고 다음 전송 시작할 때까지 바이트 수가 증가하다가 32가 되면 다시 전송을 시작함에 따라 그 수가 0까지 점점 줄어든다. 그 이후는 송신 시작 전까지 패킷 바이트 수가 증가하다가 32가 되면 줄어드는 유형이 반복된다.

그림 11은 패킷이 유입되어 시간 T가 증가함에 따라 저장된 각 32 비트 단위의 패킷 엔티티가 내부 버퍼에 저장되어 대기한 시간을 나타내고 있다. 그림에서 알 수 있듯이 룩업 처리가 완료될 때까지 처음에 저장된 패킷 구성 단위가 500nsec 정도 대기 하였고 그 후에 유입된 패킷 구성 단위들은 조금씩 대기 시간이 줄어들었음을 알 수 있다. 해당 패킷의 첫 64 바이트 전송까지는 최소 200nsec의 대기 시간을 보이고 있으며 다음 64 바이트 전송시 부터는 최대 320nsec에서 최소 0까지 반복되는 유형을 보인다. 따라서 하드웨어 기반의 제한한 룩업

제어기는 622Mbps의 전달 속도로 유입되는 POS IP 패킷에 대하여 하나의 세그먼트 단위의 패킷 전송 구성 대기 시간 이외에는 지연 없이 전달할 수 있음을 알 수 있다.

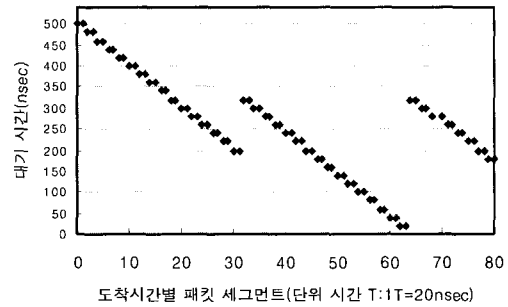


그림 10. 패킷 유니트 도착 시간에 따른 대기 패킷 바이트 수

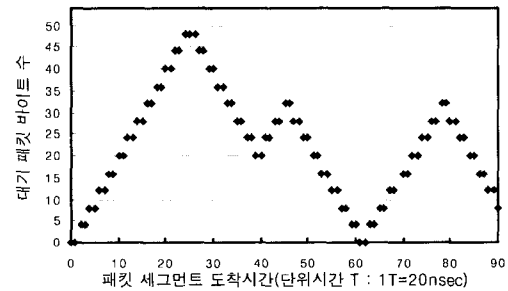


그림 11. 도착시간별 패킷 엔티티에 대한 대기시간

## V. 결론

본 논문에서는 ATM 기반 레이블 에지 라우터에서 POS정합 기능을 가지는 고속의 IP 패킷 포워딩 엔진을 제안하였다. 고속의 패킷 포워딩 기능을 구현하기 위하여 POS 물리층으로 부터 수신되는 패킷에 대하여 IP 룩업을 TCAM을 사용하여 고속의 룩업 처리가 가능하였다. 또한 이와같은 TCAM을 이용한 고속의 룩업 기능을 수행하기 위하여 룩업 제어 기능을 FPGA로 구현하여 하드웨어적으로 룩업 처리가 가능하도록 하였다. 룩업 처리를 수행하는 동안 룩업 제어기의 내부 버퍼에 대기하는 패킷의 길이도 최대 48 바이트 정도 밖에 되지 않고 대기 시간은 최대 500nsec 정도임을 알 수 있었다. 따라서 이와 같은 대기 시간 및 대기 패킷 수에 대해서는 별도의 외부 패킷 버퍼가 필요없이 FPGA 내부의 버퍼만을 사용하여 충분히 고속의 패킷 포워딩 기능을 구현할 수 있다. 성능분석 결과 제안한 룩업 제어기와 TCAM을 이용한 포워딩 엔진은

622Mbps의 전달 속도로 유입되는 POS IP 패킷에 대하여 거의 지연없이 전달할 수 있음을 알 수 있다. 또한 룩업 제어기에 MPLS 기능을 구현함으로써 고속 레이블 에지 라우터에 적합하다. 본 논문에서 제안한 TCAM을 이용한 룩업 및 룩업 제어기는 패킷 스위칭 기반의 라우터에 응용할 경우 Gbps급 패킷 포워딩 엔진에 활용될 수 있다.

참 고 문 헌

[1] E. Rosen et al., "Multiprotocol Label Switching Architecture," RFC3031, IETF, Jan. 2001.  
 [2] W.Doeringer et al., "Routing on Longest-Matching Prefixes," *IEEE Trans. on Networking*, pp.86-97, vol. 4, no.1, Feb. 1996.  
 [3] V. Srinivasan and G. Varghese, "Fast IP Lookups using Controlled Prefix Expansion," *Proc. of ACM Sigmatics'98*, pp.1-10, June 1998.  
 [4] S. Nilsson and G. Karlsson, "IP Address Lookup using LC-Tries" *IEEE Journal on Selected Area in Communications*, Vol.17 No.6, pp.1083-1092, June 1999  
 [5] H.Y. Tzeng, T.Przygienda, "On Fast Address Lookup Algorithms," *IEEE Journal on Selected Area in Communications*, Vol.17 No.6, pp.1067-1082, June 1999  
 [6] A. McAuley and P. Francis, "Fast Routing Table lookup using CAMs," *Proc. of IEEE INFOCOM '93*, pp. 1382-1391, Mar. 1993.  
 [7] A. Malis, W.Simpson, "PPP over SONET/SDH," RFC 2615, June 1999.  
 [8] Simpson, W. "PPP in HDLC-like Framing," RFC1662, July 1994.  
 [9] Music Semiconductors, <http://www.music-ic.com/>

1993년 2월~현재: 한국전자통신연구원 네트워크핵심기술연구부 NP라우팅팀 선임연구원  
 <주관심 분야> 고속통신망, IP 룩업, 네트워크프로세서 응용, 인터넷QoS

곽 동 용(Dong-yong Kwak) 정회원



1983년 2월: 동국대학교 전자계산학과 졸업  
 1985년 8월: 동국대학교 전산학과 석사  
 1998년 2월~현재: 한국정보통신대학 공학부 박사과정

1985년 9월~현재: 한국전자통신연구원 네트워크핵심기술연구부 NP라우팅팀장 책임연구원  
 <주관심 분야> 패킷스케줄러, 트래픽 제어, 네트워크 프로세서 응용

이 정 태(Jeong-tae Lee) 정회원



1976년 2월: 부산대학교 전자공학과 졸업  
 1983년 8월: 서울대학교 컴퓨터공학과 석사  
 1989년 2월: 서울대학교 컴퓨터공학과 박사

1977년 12월~1985년 2월: 한국전자통신연구소 선임 연구원  
 1985년3월~1988년 2월: 동아대학교 공과대학 조교수  
 1992년8월~1993년 7월: 일본 NTT 연구소 초빙 연구원  
 1988년3월~현재: 부산대학교 컴퓨터공학과 교수  
 <주관심 분야> 고속TCP/IP, Mobile IP, IPsec, IPv6

최 병 철(Byeong-cheol Choi) 정회원



1987년 2월: 한양대학교 전자공학과 졸업  
 1997년 8월: 한남대학교 전자공학과 석사  
 1997년 9월~현재: 부산대학교 컴퓨터공학과 박사 과정  
 1987년 3월~1993년 2월: 삼성전자 통신연구소 주임연구원