

MPLS모듈과 ATM모듈과의 Cell Mode 인터페이스를 위한 Multi-Port지원 UTOPIA-L2 Controller구현

정희원 김 광 옥*, 최 병철**, 박 완기**

The Implementation of Multi-Port UTOPIA Level2 Controller for Interworking ATM Interface Module and MPLS Interface Module

Kwang-ok Kim*, Byun-Chul Choi**, Wan-Ki Park** *Regular Members*

요 약

ACE2000 MPLS시스템에서 MPLS 정합모듈은 ATM 정합모듈과 패킷 포워딩을 수행하는 HFMA(High performance Forwarding Engine and VC Merging board Assembly)모듈로 구성된다. MPLS 정합모듈에서 물리층으로 입력되는 셀은 HFMA의 송신 SAR칩(RSAR)에서 패킷으로 조립된 후 IPlookup 제어기에서 패킷 포워딩을 수행한다. 포워딩된 패킷은 ATM 계층으로 전달되기 위해 수신 SAR칩(TSAR)에서 셀로 다시 세그먼트된 후 ATM 셀 스위치로 전송하기 위해 ALMA(ATM Layer Module Assembly)로 전달된다. MPLS 정합모듈을 ATM 정합모듈로 이용할 때, ALMA는 직접 물리층 보드와 UTOPIA Level2 인터페이스로 연결되며, 이때 ALMA는 Master Mode로 동작하게 된다 또한 MPLS 정합모듈에서 HFMA TSAR도 Master Mode로 동작하게 된다. 따라서 2개의 Master 모드 사이에서 인터페이스 역할을 수행할 수 있는 Slave 모드의 UTOPIA-L2 Controller가 요구된다. 본 논문에서는 Multi-Ports를 지원할 수 있는 UTOPIA-L2 Controller의 구조 및 셀 제어방법에 대해 고찰해본다.

ABSTRACT

In the ACE2000 MPLS system, MPLS Interface Module(MIM) is composed of an ATM Interface Module and a HFMA performing a packet forwarding. In the MIM, the HFMA RSAR receive cells from the Physical layer and reassemble the cells. And the IP Lookup controller perform a packet forwarding after packet classification. Forwarded packet is segmented into cells in the HFMA TSAR and transfer to the ALMA for the transmission to an ATM cell switch. When the MIM make use of an ATM Interface Module, it directly connect the ALMA with a PHY layer using the UTOPIA Level2 interface. Then, an ALMA performs Master Mode. Also, the HFMA TSAR performs the Master Mode in the MIM. Therefore, the UTOPIA-L2 Controller of the Slave Mode require for interfacing between an ALMA and a HFMA TSAR. In this paper, we implement the architecture and cell control mechanism for the UTOPIA-L2 Controller supporting Multi-ports.

I. 서 론

UTOPIA(Universal Test & Operation PHY Interface for ATM)는 물리계층과 ATM계층 사이에서 표준 인터페이스 역할을 수행한다. 현재

UTOPIA-L2 인터페이스는 50MHz 클럭에서 16비트의 데이터 버스를 통해 동작하며, Master Mode와 Slave Mode로 구성되어 동작한다. ATM Forum에서는 물리층이 Slave Mode로 동작하고, ATM계층이 Master Mode로 동작하도록 표준으로 채택하

* 한국전자통신연구원 네트워크연구소 네트워크핵심기술연구부 NP라우팅팀(kwangok@etri.re.kr)

※ 본 논문은 2002년 4월 JCCI 학술대회에서 우수논문으로 선정되어 게재 추천된 논문입니다.

였다.

MPLS 정합모듈은 ATM 처리기능과 MPLS 처리 기능을 수행하는 분산형 구조이며, ATM 정합모듈과 패킷 포워딩을 수행하는 HFMA 4개로 구성되어 총 2.5Gbps의 성능을 나타낸다. 이들 각 HFMA 모듈들은 물리층과 UTOPIA-L2 인터페이스를 통해 연동된다. ATM 셀 처리를 수행하는 ATM정합모듈은 HALA(High speed ATM Layer Assembly) 모듈과 BPAA(Buffering and Port Adaptation board Assembly) 모듈로 구성된다. HALA모듈은 ATM 셀 통계수집 및 OAM처리 등 ATM계층 처리기능과 트래픽 제어 기능을 수행하며, 622Mbps (STM-4C)급의 ATM 처리 모듈인 4개의 ALMA로 구성되어 있다.

MPLS 정합모듈에서 4개의 HFMA는 HALA 모듈내의 ALMA와 UTOPIA-L2 인터페이스를 통해 1:1로 매핑 된다. 각 HFMA는 AAL5 패킷을 송수신하며, ATM 셀의 재조립 및 분해 그리고 ATM 셀이 조립된 패킷에 대한 IP 룩업 기능을 수행하여 ATM 정합모듈로 패킷을 포워딩한다.

본 논문에서 사용되는 622Mbps급 HFMA 보드는 Port Maker사의 상용 MXT4400(SAR)칩을 사용한다. HFMA는 패킷 포워딩 기능을 위해 Ingress 방향에서는 물리층으로부터 셀을 수신하여 재조립하는 RSAR와 룩업된 패킷을 셀로 다시 분해하는 TSAR를 사용한다. 또한, Egress 방향에서는 ATM 모듈로부터 입력되는 셀을 재조립하는 RSAR와 VC-Merge를 통해 입력되는 패킷을 셀로 다시 분해하는 TSAR로 구성된다. 즉 HFMA는 총 4개의 상용 SAR칩을 사용하게 된다.

물리층 보드는 HFMA RSAR와 UTOPIA-L2 인터페이스를 통해 정합되며, Slave Mode로 동작하게 된다. Master Mode로 동작하는 HFMA RSAR는 Slave Mode의 IP 룩업 제어기와 정합 된다. 또한 HFMA TSAR도 Slave Mode의 IP 룩업 제어기와 정합을 위해 Master Mode로 인터페이스 된다. 따라서, Master Mode의 ALMA와 Master Mode의 HFMA TSAR 사이에서 정합을 위해 두 Master Mode간에 Slave Mode로 인터페이스 할 수 있는 UTOPIA-L2 Controller가 요구된다.

따라서, 본 논문에서는 MPLS 정합모듈 구성에서 HFMA의 TSAR와 ALMA를 UTOPIA-L2 인터페이스를 통해 정합 할 수 있고, STM-1C를 위한 Multi-Ports를 지원할 수 있는 Slave Mode의 UTOPIA-L2 Controller를 Xilinx사의 FPGA를 이용

해 구현하였다.

더욱 자세한 설명을 위해, 본 논문에서는 2장에서 MPLS 정합 모듈의 기본 개념 및 구조에 대해 고찰하고, 3장에서는 본 논문에서 제안한 Slave Mode의 UTOPIA-L2 Controller에 대해서 논의한다. 4장에서는 시뮬레이션 결과를 분석하고 그리고 마지막으로 결론을 맺는다.

II. MPLS 정합 모듈구조

MIM(MPLS Interface Module)은 ATM기반에서 MPLS 기능을 수행할 수 있도록 기존 ATM 정합 모듈에 HFMA 모듈이 추가된 구조를 나타낸다. MPLS 정합 모듈의 구조는 그림 1과 같다.

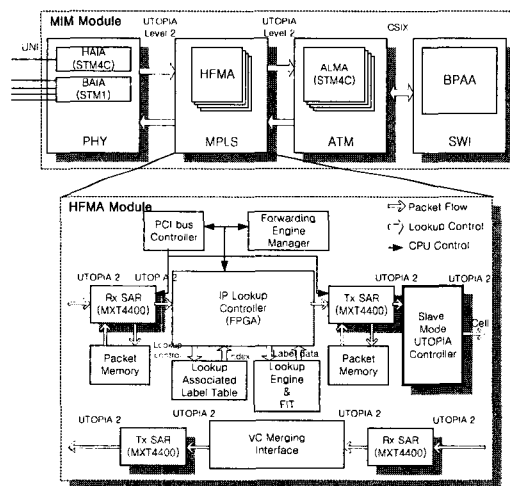


그림 1. MPLS 정합 모듈구조

그림 1에서처럼 MPLS 기능을 수행하는 HFMA 모듈을 빼면 MPLS 정합모듈은 ATM 정합모듈에 사용할 수 있는 분산형 구조로 구성되어있다. HFMA RSAR는 물리층과 셀 송수신을 위해 50MHz/16Bit 데이터버스를 통해 UTOPIA-L2 인터페이스로 동작되며, 물리층은 Slave Mode로 동작하고, HFMA RSAR는 Master Mode로 동작한다.

HFMA RSAR는 물리층으로부터 입력되는 셀을 패킷으로 조립한 후 IP 룩업 제어기에 패킷 헤더를 전달해 룩업을 수행하도록 한다. 이때 페이로드는 패킷 메모리에 저장된다. 이때 룩업 제어기는 Slave Mode로 동작하게 된다. 룩업이 끝나면 페이로드와 함께 HFMA TSAR로 전달해 패킷을 셀로 다시 세그먼트 한다. 이때 HFMA TSAR는 Master Mode

로 동작하게 된다. HFMA TSAR에서 출력되는 셀은 Slave Mode의 UTOPIA-L2 Controller를 통해 ALMA 모듈과 인터페이스 되어 16bit 데이터 버스를 통해 데이터를 전달한다.

MPLS 정합모듈 내에서 UTOPIA-L2 인터페이스를 통한 정합 구조는 그림 2와 같다.

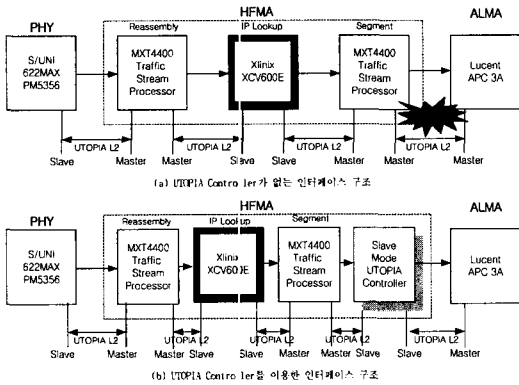


그림 2. MPLS 정합 모듈내의 UTOPIA-L2구조

현재 HFMA에서 사용되는 상용 MXT4400칩은 송신측에서는 Master/Slave Mode로 동작이 가능하지만, 수신측면에서는 Slave Mode로 동작하지 못하고, Master Mode로만 동작한다. 따라서 그림 2의 (a)에서처럼 TSAR의 수신부는 Slave Mode로 동작하지 못하고 Master Mode로 구성된다. 그러므로 Master Mode로 동작하는 ALMA와는 직접 UTOPIA-L2 인터페이스를 통해 정합할 수 없게 된다.

따라서, 두 모듈간의 연동을 위해서는 Slave Mode기능을 수행하는 UTOPIA-L2 Controller가 필요하게 된다. 그림 2의 (b)는 Slave Mode의 UTOPIA-L2 Controller를 사용하여 인터페이스가 이루어지는 구조를 보여주고 있다. 이 UTOPIA-L2 Controller는 송신측면에서도 Slave Mode로 동작하고, 수신측면에서도 Slave Mode로 동작하게 된다.

III. 제안된 UTOPIA-L2 Controller 블록구조

본 논문에서는 HFMA TSAR와 ALMA모듈을 UTOPIA-L2 인터페이스로 정합하기 위한 Multi-Port를 지원하는 Slave Mode의 UTOPIA-L2 Controller를 구현하였다. MPLS 정합모듈에서는 STM-4C 2포트 및 STM-1 8포트를 지원하고 있다. 각 HFMA은 STM-4(622Mbps) 1포트나 STM-1 (155Mbps) 4포트를 지원할 수 있다. HFMA가 STM-1 (155Mbps) 4포트를 지원 시 Multi-Port에 따른 셀 처리를 수행해야 한다. 현재 MPLS 정합모듈은 HFMA Firmware 및 BPAA Firmware에서 Multi-Port 지원을 수행하고 있다. 이로 인해 BPAA Firmware는 ATM용과 MPLS용으로 따로 관리되고 있다. 따라서 본 논문에서는 Multi-Port를 지원 가능하도록 설계하였다. 그 기본 구조는 그림 3과 같다.

UTOPIA-L2 송수신 인터페이스 제어부와 4포트를 지원하기 위한 4개의 DPRAM, 그리고 DPRAM의 메모리 상태에 따라 데이터 송수신을 제어하도록 하는 DPRAM 제어기, Multi-Port 어드레스를 폴

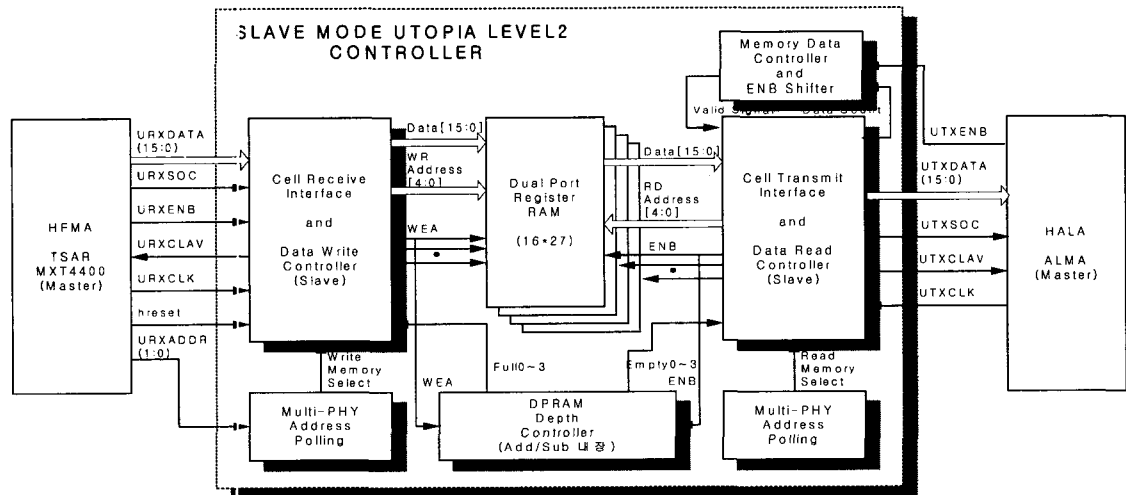


그림 3. Slave Mode의 UTOPIA-L2 Controller 모듈구조

링 하는 블록으로 크게 구성된다. Slave Mode의 UTOPIA-L2 Controller의 송신 인터페이스부는 HFMA TSAR로부터 전송되는 Address 신호를 이용해 폴링을 수행한 후 해당포트 DPRAM에 데이터를 저장할 수 있도록 제어신호 및 데이터를 받아들이는 기능을 수행한다. 반면 수신 인터페이스부는 ALMA에서 입력되는 Multi-Port 어드레스 폴링과 제어신호를 통해 해당 DPRAM으로부터 데이터를 읽어 전달하는 기능을 수행한다. 또한 각 DPRAM 메모리는 ATM의 1셀을 저장할 수 있도록 16bit × 27Depth로 구성되어 있으며, Xilinx Inc.사에서 지원하는 Core 라이브러리를 이용해 구현하였다. 마지막으로 DPRAM 제어기는 DPRAM 메모리가 FULL인지 EMPTY인지에 따라 데이터 패킷의 흐름제어를 수행하게 한다.

UTOPIA-L2 Controller의 데이터 송신부의 주요 동작 과정은 다음과 같다.

- ① UTOPIA-L2 Controller는 초기에 DPRAM메모리가 EMPTY 상태이므로 셀을 받아들일 수 있도록 HFMA TSAR에게 셀을 보내라는 CLAV신호를 High로 보낸다.
- ② CLAV신호를 받은 TSAR는 데이터를 전송하기 위해 Enable 신호를 Low로 설정한 후 SOC(Start of Cell)신호와 16비트 데이터를 전송한다. 이때 SOC 신호는 셀의 시작을 나타내는 첫 번째 2비트 전송에만 나타낸다.
- ③ UTOPIA-L2 Controller 송신부는 TSAR로부터 받은 데이터를 어드레스 폴링한 결과에 따라 해당 DPRAM에 데이터를 저장한다.
- ④ DPRAM에 데이터 저장은 DPRAM이 Full이 되기전까지 저장된다.
- ⑤ 데이터 수신은 Enable 신호와 SOC 신호, 그리고 Full 신호에 따라 제어된다.

UTOPIA-L2 Controller의 데이터 수신부의 주요 동작 과정은 다음과 같다.

- ① UTOPIA-L2 Controller는 데이터가 DPRAM 메모리에 저장되기 전에는 EMPTY 신호에 따라 CLAV 신호를 Low로 ALMA 모듈에 전송한다. 이때 ALMA 모듈은 데이터를 전송할 수 없으므로 Enable 신호를 High로 전송한다.
- ② DPRAM 메모리에 데이터가 저장되면 CLAV

신호를 High로 전송해 ALMA에게 수신할 데이터가 있음을 알린다. 이때 ALMA는 Enable 신호를 Low 신호로 전송한다.

③ UTOPIA-L2 Controller 수신부는 ALMA의 Enable 신호와 어드레스 폴링 결과에 따라 해당 DPRAM에 Read 메모리 어드레스와 Read Enable 신호를 High로 입력하여, 데이터를 ALMA 모듈에 전송한다. 이때 ALMA 모듈의 Enable 신호가 한번 Low로 되면 Enable 신호가 High가 되어도 Enable 신호에 관계없이 54Byte의 데이터를 전부 읽어 전송할 수 있어야 한다. 데이터를 다 전송하면 Enable 이 High일 때 데이터를 보내지 않도록 수행하는 제어가 요구된다. 이 기능은 Memory Data Controller 블록에서 수행하게 된다.

④ 입력되는 16비트 데이터를 DPRAM 메모리에 저장하기 위해 Write 신호와 Write 어드레스를 입력한다. 입력되는 데이터는 메모리 카운터를 증가하게 하고, 출력되는 데이터는 메모리 카운터를 감소하게 하여 메모리 Depth를 측정한다. 만약 메모리 Depth가 “28”이면 DPRAM은 HFMA TSAR로부터 데이터를 받을 수 없으므로 입력되는 데이터는 Discard된다. 또한 메모리 Depth가 “0”이면 DPRAM에서 ALMA로 전송할 데이터가 없으므로 CLAV 신호를 Low로 전송한다.

⑤ ALMA칩의 특성상 Enable 신호에 따라 데이터를 출력할 때는 Enable 신호가 Low로 떨어진 후 다음 클럭에서 반드시 SOC 신호와 첫 번째 16비트 데이터가 전송되어야 한다. 그렇지 않으면 에러가 발생한다.

⑥ 만약 DPRAM Depth 제어기의 EMPTY 신호가 High이면 데이터를 읽지 않게 된다.

IV. 시뮬레이션 고찰 및 성능분석

Multi-Port를 지원하는 Slave Mode의 UTOPIA-L2 Controller는 Xilinx Inc.의 SPARTAN2 2S50TQ144칩을 이용해 HFMA 모듈에 구현하였다. 시뮬레이션은 던저 기능 레벨 시뮬레이션을 수행하여 블록 기능을 검증하고, 타이밍 시뮬레이션을 수행하여 성능을 검증하였다.

또한 2S50TQ144 칩에 타겟팅하여 성능을 검증하였다. 구현된 블록의 게이트 카운터는 68,440개가 사용되었으며, JTAG에 관련해 2,160개가 사용되었다. 본 구조에 따른 타이밍 시뮬레이션 결과는 그림 4와 같다.

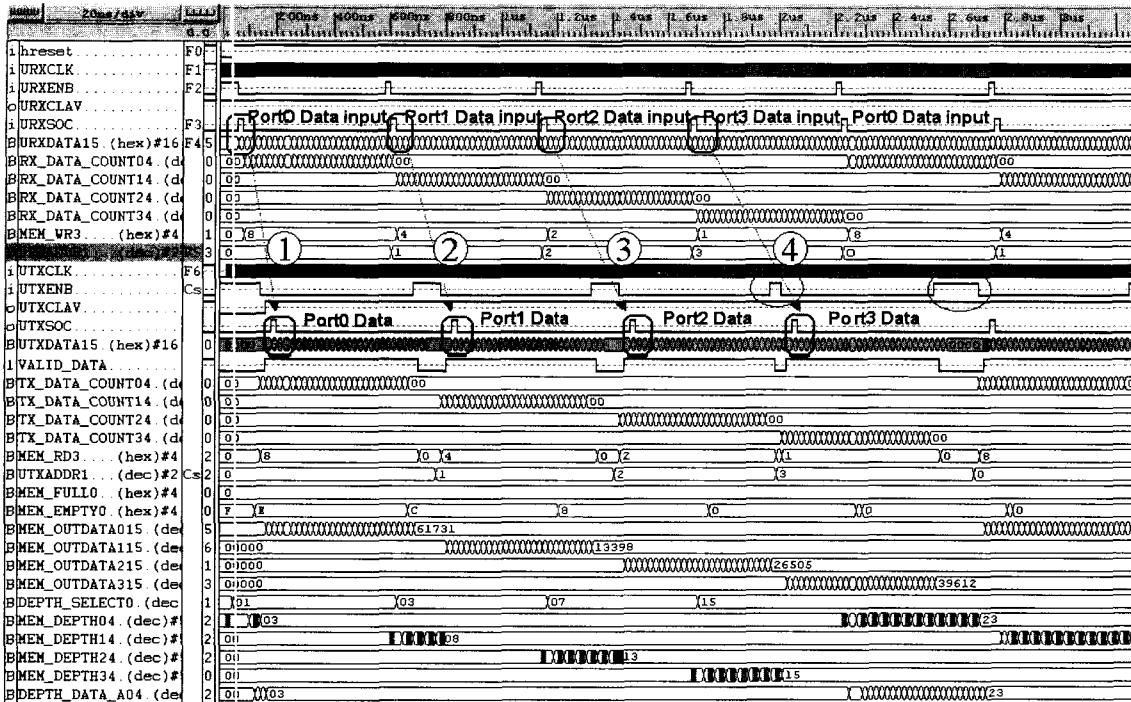


그림 4. Multi-Port에 따른 UTOPIA-L2 Controller Top Timing 시뮬레이션 결과.

그림 4는 포트 어드레스에 따라 입력되는 셀을 어드레스 폴링하여 DPRAM에 저장하였다가 수신부의 제어 신호에 따라 데이터가 출력되는 결과를 보여준다. 그림 5는 C번 포트에 입력되는 셀이 ALMA에서 입력되는 Enable 신호의 그 다음 클럭에서 정확히 SOC와 함께 출력되는 결과를 확대하여 보여준다.

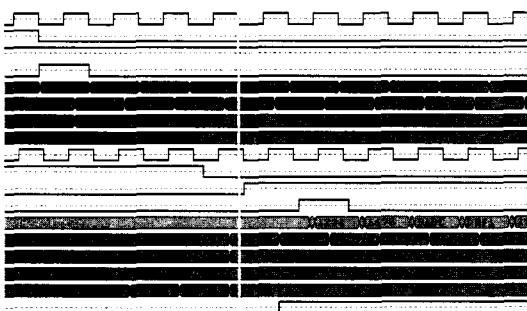


그림 5. Port 0의 타이밍 시뮬레이션 결과.

또한 그림 4에서처럼 ALMA에서 데이터를 받을 수 있는 신호를 나타내는 Enable 신호가 가변으로 UTOPIA-L2 Controller에 입력되더라도 정확하게 그 다음 클럭에서 데이터가 출력되는 결과를 보여

주고 있다. 타이밍 시뮬레이션 결과 데이터는 17.74ns의 지연 후 출력된다. 즉 16Bit/50MHz 클럭에 동작하는 UTOPIA-L2 Controller는 최대 800Mbps의 데이터를 처리할 수 있다.

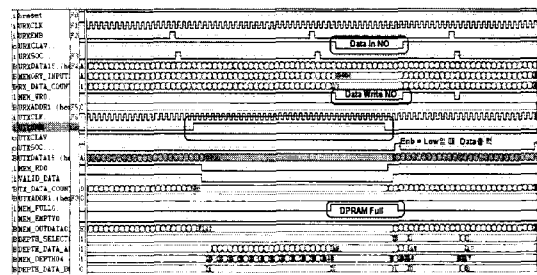


그림 6. DPRAM 상태가 FULL일 때 타이밍 시뮬레이션.

그림 6은 ALMA에서 특정 시간 동안 데이터를 받을 수 없어 Enable 신호를 High로 유지할 때, 데이터를 DPRAM 메모리에서 읽지 못하므로 Memory Depth Controller가 Full신호를 High로 인가해 HFMA TSAR로부터 데이터가 입력되지 못하게 URXCLAV 신호를 Low로 전송하고, 데이터를 DPRAM 메모리에 저장하는 WEA 신호를 Low로 전송하는 결과를 보여준다.

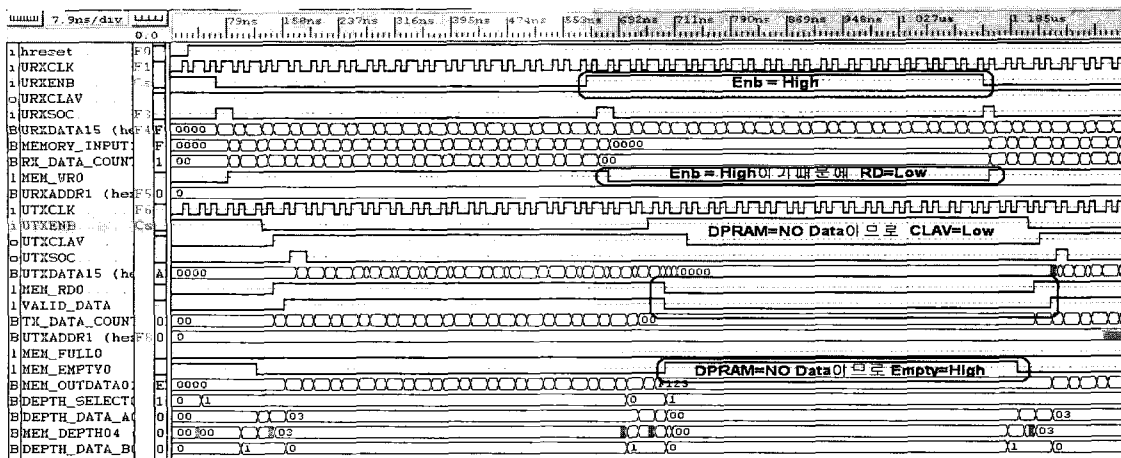


그림 7. DPRAM 상태가 EMPTY일 때 타이밍 시물레이션.

그림 6은 반대로 HFMA TSAR로부터 특정시간 동안 데이터가 입력되지 않을 경우, ALMA 모듈이 DPRAM에 저장된 데이터를 모두 읽으면 메모리에 저장된 데이터가 없으므로 Memory Depth Controller는 EMPTY 신호를 High로 출력해 ALMA 모듈이 데이터를 읽지 못하도록 UTXCLAV 신호를 Low로 출력하는 결과를 보여준다.

V. 결론 및 향후계획

본 논문에서는 ATMdmf 기반으로 하는 MPLS 정합모듈에서 ATM 정합모듈과의 연동 시 UTOPIA-L2 인터페이스로 직접 정합하는데 있어 HFMA TSAR가 수신측에서는 Master Mode로만 동작하는 문제점으로 ATM 계층을 처리하는 ALMA 모듈과 직접 정합 되지 않은 문제점이 발생한다. 이를 보완 하기 위해 ATM 정합모듈과 HFMA TSAR 사이에서 Slave Mode로 동작하며, Multi-Port를 지원할 수 있는 UTOPIA-L2 Controller를 FPGA를 이용하여 구현하였다.

구현된 모듈은 HFMA 보드 내에 있는 칩에 다운로드하여 테스트를 수행하였다. 동작 주파수는 50MHz에서 동작하며, 게이트 수는 약 68,440개가 사용되었다. 향후 ACE2000 MPLS 시스템에 적용하여 시험을 수행한 후 반영할 계획이다.

참고 문헌

[1] ATM Forum Technical Committee, "UTOPIA Specification Level 2 Version 1.0", June, 1995.

[2] Maker Communication, "MXT4400 Reference Design Schematic Data", August 1999.
 [3] Maker Communication, "MXT4400 Reference Manual Version 2.0", August 1999.
 [4] Xilinx Inc., "Dual-Port Block memory for Virtex, Virtex II and Spartan V3.1", Product Specification, March 2, 2001.
 [5] 김광옥 외 5명, "ATM 정합모듈과 MPLS 포워딩엔진 연동을 위한 UTOPIA Controller 구현", 한국정보처리학회 추계학술대회, pp. 1529-1532, 2002.10.11.
 [6] 최병철 외 2명, "A High Speed IP Packet Forwarding Engine for Multi-Service Applications", AIC0001, pp,201-206, 2002.07.04

김 광 옥(Kwang-ok Kim) 정회원



1999년 : 조선대학교 정보통신공학 졸업
 2001년 : 전남대학교 전자공학 석사
 2001년 3월~현재 : ETRI NP 라우팅팀 연구원

<주관심 분야> MPLS, 네트워크프로세서 응용, EPON

박 완 기(Wan-ki Park)

정회원



1991년 : 충남대학교 전자공학
졸업

1993년 : 충남대학교 전자공학
석사

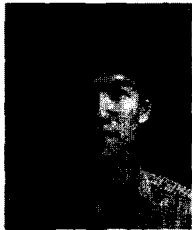
1993년~2000년 : 국방과학
연구소 연구원근무

2001년 3월~현재 : 충남대학교
정보통신공학과 박사
과정

2000년 7월~현재 : ETRI NP라우팅팀 선임연구원
<주관심 분야> MPLS, Gigabit Ethernet, 초고속망
프로토콜, EPON

최 병 철(Byun-chul Choi)

정회원



1987년 : 한양대학교 전자
공학과 졸업

1997년 : 한남대학교 전자공학
석사

1997년 9월~현재 : 부산대학교
컴퓨터공학과 박사과정

1987년 3월~1993년 2월 : 삼성전자통신연구소 근무
1993년 2월~현재 : ETRI NP라우팅팀 선임연구원
<주관심 분야> 고속통신망, IP록업, 네트워크프로세
서응용, 인터넷 QoS