

# 협대역 무전기용 카테지안 루프 칩 설계 및 구현

정회원 정영준\*, 최재익\*, 오승엽\*\*

## Design and Implementation of Cartesian Loop Chip for the Narrow-Band Walky-Talky

Young-Jun Chong\*, Jae-Ick Choi\* and Seung-Hyeub Oh\*\* *Regular Members*

### 요 약

RZ-SSB(Real Zero-Single Sideband) 변조 기술을 이용하는 협대역 무전기용 송신기에 가장 핵심적인 부품들 중의 하나인 카테지안 루프 칩을 0.35  $\mu\text{m}$  CMOS 기술을 이용하여 설계하고 제작하였다. 직접변환 방식 및 카테지안 루프 칩을 이용하여 요구되는 부품 수를 줄임에 의하여 송신부의 저비용 및 소형화가 가능하고, 이를 통하여 송신 전력 효율 및 선형성을 향상시켰다. 또한 CMOS 기술을 통하여 저전력 구동이 가능하도록 하였다.

송신기 성능 시험 결과 개루프 시 약 37dBm (5W) 의 송신 출력에서 카테지안 루프 칩을 구동하여 즉, 폐루프 상태에서 -23dBc의 상호변조 왜곡 특성 개선 및 SSB 신호 특성을 -30dBc 이하로 억압하였다. 또한, 상기 언급된 송신 특성 개선에 가장 영향을 미치는 성분들인 DC-offset 성분, 궤환 루프에서 발생하는 왜곡 성분을 보상하기 위한 루프 이득 및 위상 값들을 조정할 수 있도록 컴퓨터와의 외부 인터페이스를 구현하여 S/W적으로 이러한 값들을 제어할 수 있도록 프로그램화 하였다.

### ABSTRACT

The cartesian loop chip which is one of key devices in narrow-band Walky-Talky transmitter using RZ-SSB modulation method was designed and implemented with 0.35  $\mu\text{m}$  CMOS technology. The reduced size and low cost of transmitter were available by the use of direct-conversion and cartesian loop chip, which improved the power efficiency and linearity of transmitter. In addition, low power operation was possible through CMOS technology.

The performance test results of transmitter showed -23dBc improvement of IMD and -30dBc below suppression of SSB characteristic in the operation of cartesian loop chip (closed-loop). At that time, the transmitting power was about 37dBm (5W). The main parameters to improve the transmitting characteristic and to compensate the distortion in feed back loop such as DC-offset, loop gain and phase value are interfaced with notebook PC to be controlled with S/W.

### I. 서 론

현재 VHF나 UHF 대역의 주파수를 사용하고 있는 LMR(Land Mobile Radio) 또는 PMR(Private Mobile Radio) 시스템에서는 스펙트럼 수요량의 급증으로 인하여 채널 확보가 주 관심사로 대두되어 왔다. LMR 분야의 무선통신 시스템에서는 AM 방식에 비하여 동작 영역, 페이딩 및 소비전력 면에서

우수한 FM 방식이 주로 사용되고 있으며, 사용자의 급증으로 인한 채널 부족 현상을 해소하기 위하여 현재 미국, 일본, 영국 등에서는 대역폭을 줄이는 아날로그 협대역화 (25kHz $\rightarrow$ 12.5kHz $\rightarrow$ 5kHz)가 이루어져 있거나 진행중인 상태이다. 미국은 ACSSB (Amplitude Companded Single Side Band) 및 TTIB/LM (Transparent Tone In Band /Linear Modulation) 방식의 무선통신 시스템이 상용화되고 있고, 영국에서는 5kHz 채널을 갖는 초협대역 송수

\* 전자통신연구원  
논문번호: 010294-1019, 접수일자: 2001년 10월 19일

\*\* 충남대학교 전자공학과

신기 규격인 MPT1376이 제정되어 70MHz, 160MHz 및 220MHz 밴드에서 상용화 시험을 거쳐 현재 서비스 예정이다. 일본에서는 NTT사가 RZ-SSB 방식의 무선통신 시스템을 개발하여 제공 중이며, 국내에서도 UHF 대역 (335.4~470MHz) 및 VHF 대역 (138~174MHz) 의 일부 무선 업무에서 협대역화가 진행되고 있다<sup>[1]</sup>.

이러한 아날로그 협대역화를 위한 선형 변조 방식에서 가장 고려해야 할 핵심적인 기술은 높은 주파수 안정도 및 전력증폭기 선형화이다. 전력증폭기 선형화 기술에는 Feed Forward, 비선형 소자를 사용하는 Linear Amplification, Cartesian Feedback, Adaptive Pre-distortion 방식 등이 있으며, 이러한 방식들 중에서 카테지안 궤환 루프 방식은 구현이 비교적 용이하여 협대역 변조방식을 이용하는 간이 무선 등의 시스템에 적용이 가능하다<sup>[2]</sup>. 그러나 이로 인한 무전기 크기 증가 및 가격 상승의 요인이 되고 있어 초소형화 및 ASIC화가 필수적이다.

현재 RZ-SSB 무선 시스템에서는 카테지안 루프를 discrete 회로로 구성하여 개발이 완료되어 있지만 이 경우 다음과 같은 문제점이 발생된다.

- 카테지안 루프 회로를 discrete 부품으로 제작한 경우 복잡도가 증가하고 조정점(위상 조절, 레벨 조정용 감쇠기, DC-offset 억제 회로 등) 이 많아 자동화가 어렵다
- 많은 조정점으로 인하여 전력 증폭기 선형성 개선 시 소요 시간 증가로 인하여 가격 상승 효과를 나타낸다.
- discrete 부품을 이용하여 제작함으로써 신뢰도가 떨어지고 부품들의 특성 오차로 인한 성능 변화 등이 크다.

결론적으로 상기와 같은 문제점을 해결하기 위해서는 카테지안 궤환 루프에 대한 ASIC화를 통하여 요구되는 부품 수를 줄임에 의하여 송신부 크기 감소, 수동적인 조절의 불필요성, 주파수 선택적 필터링 및 신호의 detection 등과 같은 부가적인 기능을 추가할 수 있다.

본 논문의 구성은 제1장에서 협대역화에 대한 국내외 기술 동향, 카테지안 선형화 방식의 ASIC 필요성에 대하여, 제2장에서는 카테지안 루프의 동작 원리 및 설계 시 고려 사항에 대하여 언급하였고, 제3장에서는 설계된 카테지안 루프 칩의 구조 및 동작 원리를 간단히 설명하였고, 외부 인터페이스를

통한 조정 기능 및 신호 흐름도를 언급한 후, 카테지안 루프 칩 설계 규격을 제시하였다. 제4장에서는 제3장에 제시한 설계 규격을 근거로 제작된 카테지안 루프 칩의 측정 결과 및 성능 비교를 하였고, 제5장에서는 측정 결과를 토대로 제시한 규격과의 비교 및 향후 개선점에 대한 언급을 통하여 결론을 맺었다.

## II. 카테지안 궤환 루프 선형화 기법

### 2.1 카테지안 궤환 루프 동작원리

카테지안 궤환 루프 선형화 기법은  $I/Q$  신호를 입력으로 하여 반송파를 변조기를 통하여 혼합한 다음 비선형 전력 증폭기를 거쳐 RF 신호를 만들어 낸다. 이때 방향성 결합기를 이용하여 RF 출력 신호의 일부를 샘플링 한 후, 발생하는 에러 신호를 부궤환을 이용하여 왜곡 성분을 제거하는 방식이다. 그 구성은 그림 1과 같이  $I/Q$  성분의 입력 신호와 궤환 신호 성분 ( $I_F$  &  $Q_F$ ) 의 차를 증폭하는 차동 증폭부 ( $e_I$  &  $e_Q$ ), 루프 안정화를 위한 1차 저역통과 필터 형태의 루프 필터,  $I/Q$  성분의 기저대역 신호를 변조하기 위한  $I/Q$  변조기, 변조된 신호를 증폭하는 비선형 전력 증폭기, 출력 신호의 일부를 샘플링하여 궤환시키는 방향성 결합기, 궤환된 RF 신호를 다시  $I/Q$  기저대역 신호로 복조하는  $I/Q$  복조기, 그리고  $I/Q$  변조기와  $I/Q$  복조기에 가해지는 캐리어의 위상을 조절하여 루프에서의 신호 지연을 보상하는 위상 변위기 등으로 구성된다.

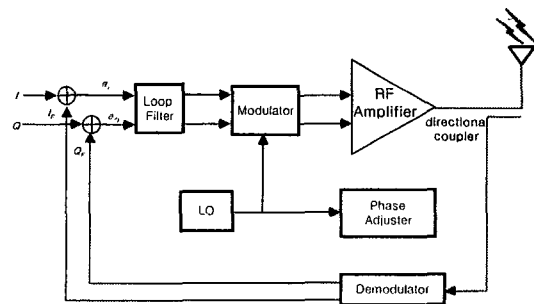


그림 1. 카테지안 궤환 루프의 구조도

상기 그림 1을 이용하여 궤환 루프의 비선형성이 전체 시스템에 미치는 영향은 그림 2와 같이 등가 모델링을 통하여 해석할 수 있다.

전력 증폭기나 변조기에서 발생하는 개루프 왜곡  $do(t)$ 과 궤환 루프에서 발생하는 왜곡  $df(t)$ 는 루프

이득이  $A\beta \gg 1$  이라고 가정하면, 출력  $Y(t)$ 는 식 (1) 과 같이 근사화 할 수 있다.

$$Y(t) \approx \frac{U(t)}{\beta} + \frac{do(t)}{A\beta} - df(t) \quad (1)$$

여기에서,  $U(t)$  : 입력 신호,  $\beta$  : 케환 루프 이득,  $A$  : 개루프 이득

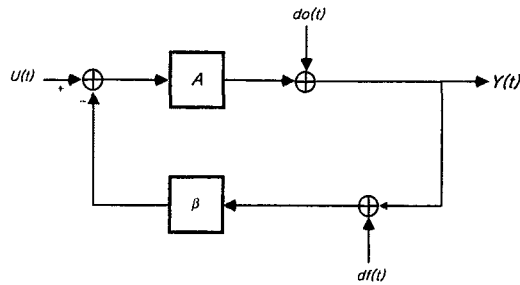


그림 2. 카테지안 케환 루프의 등가 모델

위의 (식 1) 에서 보듯이 비선형 전력 증폭기나  $I/Q$  변조기에서 발생하는 왜곡은 루프 이득을 증가 시킴에 의하여 감소시킬 수 있지만, 케환 루프 자체에서 발생하는 왜곡은 출력 단지에 그대로 반영되어 나타나므로 케환 루프에 사용되는 소자들은 왜곡이 생기지 않도록 해야만 한다.

결론적으로 루프 이득이 충분히 클 경우 출력 신호에 나타나는 왜곡 성분은 케환 루프에 의해 제거가 가능하지만 페루프 형태이므로 불안정해질 가능성이 있으므로 루프 이득 및 루프 필터의 차단 주파수를 적절히 조정해야 한다. 또한 안정성 조건에 의하여 루프 필터의 대역폭이 제한되므로 광대역 신호의 증폭에는 어려움이 있으나 협대역 신호 (채널 대역폭 < 100kHz) 의 증폭에는 용이하다<sup>3)</sup>.

### 2.2 카테지안 케환 루프 설계 시 고려사항

앞 절에서 언급했듯이 카테지안 케환 루프의 성능 (왜곡 성분의 제거 정도) 은 시스템 루프 이득, 대역폭, 지연 시간의 곱에 의해서 결정된다. 하지만 실제 시스템 설계 시에는 대역폭과 루프 지연 시간 곱이 고정되므로 시스템의 성능은 루프 이득에 의해 결정된다. 따라서 시스템의 성능을 향상시키거나 시스템의 안정성을 확보하기 위하여 루프 이득을 증가시킬 방법이 요구된다. 또한, 이 방식은 사용되는 소자의 불완전성으로 인해 RF 출력 신호에 불요 성분이 발생하며 그 주된 요인은  $I/Q$  복조기의 비선형성,  $I/Q$  복조기와 연산증폭기의 DC-offset 성분

및 케환 경로의  $I/Q$  채널 사이의 진폭 및 위상 불일치 등으로 발생한다. 이러한 불요 성분 발생의 주 원인들 중  $I/Q$  복조기에서 발생하는 비선형성은  $I/Q$  복조기의 입력 레벨을 조정할 수 있는 감쇠기를 이용하여 선형 영역에서 동작시킴으로서 왜곡 성분을 줄일 수 있으며, 케환 경로에서 발생하는 DC-offset 성분은 출력 신호에 그대로 나타나 카테지안 케환 루프의 성능을 저하시키는 주요 원인이 되므로 DC-offset cancellation 회로를 추가하여, 그리고 케환 경로에서 발생하는 이득 및 위상의 불일치 현상은 인가되는 캐리어 신호의 위상 조절 기능을 통하여 억압할 수 있다<sup>3)4)5)</sup>. 그러므로 이러한 성분들에 의한 시스템의 성능 저하를 막기 위해서는 상기 언급한 회로 및 기능이 포함되어 설계에 반영되어야 한다.

### III. 카테지안 루프 칩 설계

설계한 카테지안 루프 칩은 그림 3과 같이 구성되어 다음과 같은 기능을 수행하도록 설계하였다.

- 송신 전력 효율 개선
- 카테지안 루프 이득 및 위상 조정
- DC-offset correction 기능
- 캐리어 억압

#### 3.1 순방향 패스 구성 및 기능

설계한 카테지안 루프 칩의 순방향 패스는 그림 4과 같이 입력 증폭기, 이미지 필터, 에러 증폭기 및  $I/Q$  변조기로 구성하였다.

입력 증폭기는 인가되는 기저 대역의  $I/Q$  신호를 증폭하며, 이미지 필터는 외부로부터 유입되는 영상 신호들을 제거하기 위하여 2차 Sallen-key 구조로 설계하였다. 에러 증폭기는 케환 루프를 통하여 왜곡된 신호 성분 및 인가되는 신호들 (왜곡되지 않는  $I/Q$  신호) 과의 차 성분을 증폭시켜주며, 부가적으로 변조기의 입력에 나타나는 DC-offset 성분을 제거할 수 있도록 구성하였다. 시스템의 안정성에 영향을 주는 루프 필터는 1차의 RC 형태로 칩 외부에 구성하였다.  $I/Q$  변조기는 그림 5와 같이 DBM (Double Balanced Mixer) 을 이용하여 기저 대역 신호를 송신 주파수 (138~225MHz) 로 직접 변조하여 출력할 수 있도록 하였고, 선형성을 유지할 수 있도록 차동 증폭기 부계환 회로를, 그리고 일정한 이득을 유지할 수 있도록  $R_s$  저항을 추가하였다.

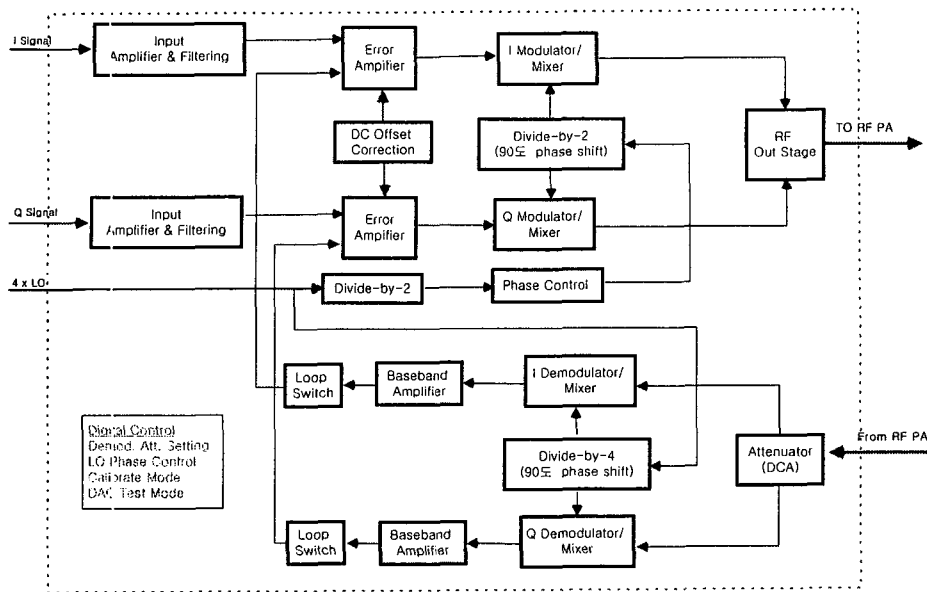


그림 3. 카테지안 궤환 루프 칩 구조도

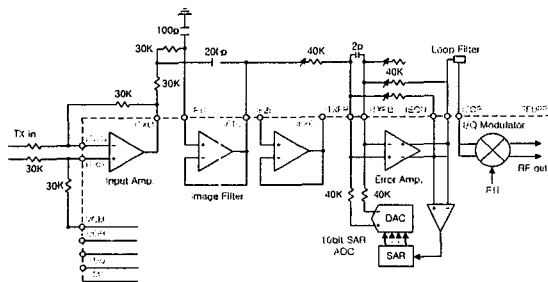


그림 4. 순방향 패스 구조도

### 3.2 궤환 패스 구성 및 기능

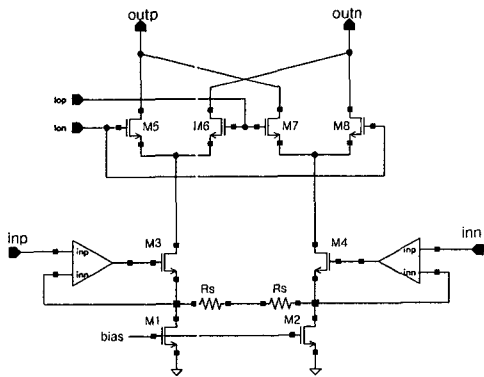


그림 5. I/Q 변조기 회로도

설계한 카테지안 루프 칩의 궤환 패스는 그림 6 과 같이 감쇠기 (Digital Controlled Attenuator), I/Q 복조기 및 기저대역 증폭기로 구성하였다.

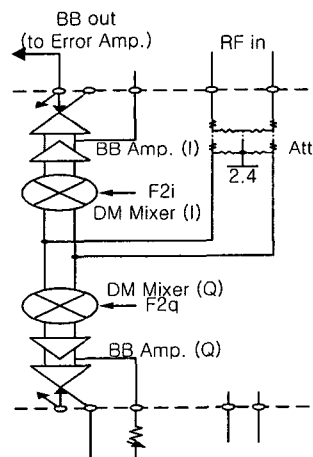


그림 6. 궤환 패스 구조도

감쇠기는 궤환되는 신호들의 레벨을 조절함으로써 I/Q 복조기의 선형성을 유지하기 위하여 사용되었고 전체 17.5dB의 감쇠 범위를 8 step (2.5dB 간격) 으로 조절이 가능하도록 하였다. I/Q 복조기는 그림 7과 같이 그림 5의 I/Q 변조기 회로와 유사하나 CMFB(Common Mode Feedback) 회로를 추가하여 온도 및 전압 변화에 무관하게 안정된 동작을 유지할 수 있게 하였고 변조된 송신 신호 (138~225MHz) 를 기저대역 신호로 복조하여 출력한다. 기저 대역 증폭기는 복조기에서 나온 I/Q 신호를 증폭하여 궤환 루프 이득을 조절한다.

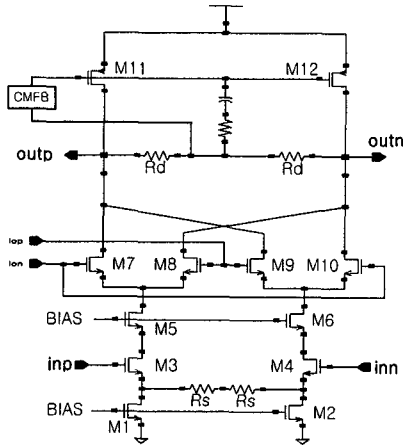


그림 7. I/Q 복조기 회로도

### 3.3 클럭 생성 회로 구성 및 기능

순방향 경로에서의 I/Q 변조기 및 제환 경로에서의 I/Q 복조기 사이의 위상차는 새로운 왜곡 성분을 발생시킨다. 이러한 위상차를 줄이기 위하여 본 논문에서는 그림 8과 같이 16-PSK 변조기를 이용하여 위상 변위기를 설계하였다. 설계된 가변 위상 변위기는 11.25°의 간격으로 0°에서 348.75°까지 조절이 가능하도록 하였다.

또한, I/Q 복조기에 인가되는 국부 발진기의 주파수는 정확한 90° 위상차 및 직접 변환에 따른 Injection pulling을 방지하기 위하여 송신 주파수의 4배 (552~900MHz)의 주파수로 구동한 후 divide-

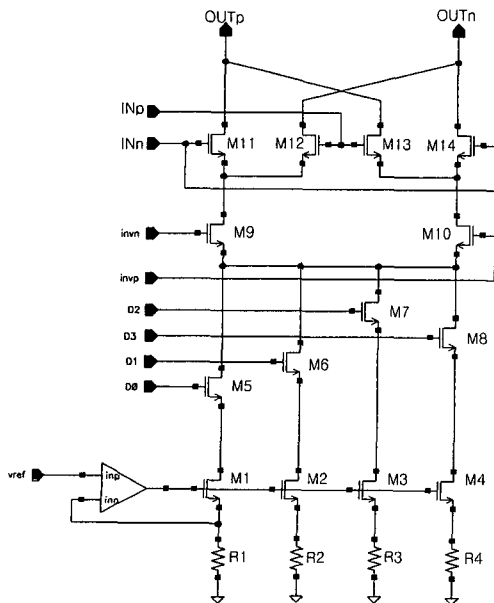


그림 8. 16-PSK 변조기 회로도

by-4 회로를 이용하여 송신 주파수를 생성하였다. 하지만 구동 주파수가 증가되는 단점이 존재한다<sup>[6][7]</sup>.

I/Q 변조기의 국부 발진기 신호는 그림 9와 같이 송신 주파수의 두배의 주파수(276~450MHz)에서 동작하는 16-PSK 변조기를 이용하여 위상을 조정 한 후 이 발진기 출력을 발생한다. 그리고 외부 RLC 탱크 회로를 2 x LO 주파수에 동조시켜 하모닉 성분들을 억압하였다. 그리고 I/Q 복조기의 경우에는 4분주한 클럭을 직접 사용하였다.

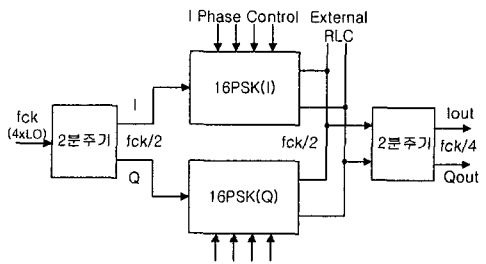


그림 9. I/Q 변조기의 클럭 생성 회로도

### 3.4 카테지안 루프 칩 외부 인터페이스

카테지안 루프 칩의 외부 인터페이스는 DC-offset cancellation, 이득 (감쇠) 레벨 및 위상 조절을 수행할 수 있도록 설계하였고, 제어용 프로그램의 신호 흐름도는 그림 10과 같이 구성하였다.

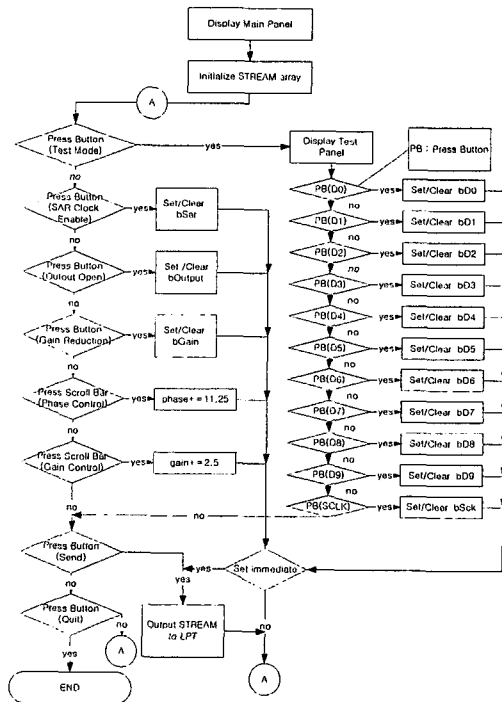


그림 10. 카테지안 루프 칩 신호 흐름도

### 3.5 카테지안 루프 칩 요구 규격

제작하고자 하는 카테지안 루프 칩의 규격은 표 1과 같다.

표 1. 카테지안 루프 칩 규격

항 목	요구 규격
기저 대역 입력신호 크기	2V p-p (Max.)
출력 동작 주파수	138 ~ 225MHz
Cartesian Loop 출력 전력	-15 ± 2dBm
IMD 성분 억압	<-25 dBc
SSB 신호 억압	<-30 dBc
루프 이득 가변 범위 및 스텝	0 ~ 17.5dB, 8 steps
위상 변위기 가변 범위 및 스텝	360°, 32 steps
LO 입력 주파수 및 전력	552 ~ 900MHz, -5 ~ 0dBm
RF Feedback 입력 전력	-20 ± 3dBm

## IV. 제작 및 실험 결과

실제 제작된 카테지안 루프 칩은 그림 11과 같이 0.35μm CMOS 기술을 이용하여 3.7 x 2.9mm (가로 x 세로) 크기로 제작되었고, 이를 실장하여 측정하기 위한 테스트 보드 형상은 그림 12와 같이 FR 4 기판을 이용하여 제작하였다.

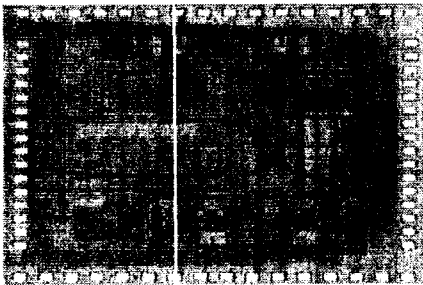


그림 11. 제작된 카테지안 루프 칩 (3.7 x 2.9mm)

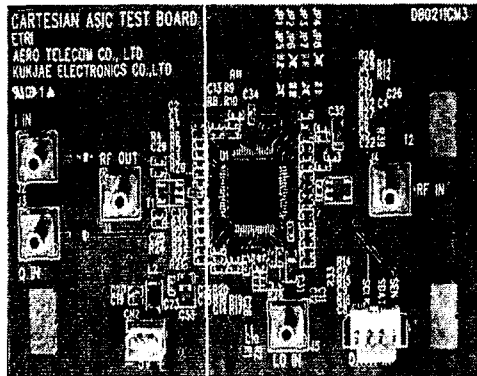


그림 12. 카테지안 루프 칩 테스트 형상도

카테지안 케환 루프를 동작시키지 않은 상태, 즉 개방 루프출력 특성은 그림 13과 같고, 루프를 동작 시킨 페루프 상태의 출력 특성은 그림 14와 같다. 여기에 사용된 전력 증폭기 모듈은 FM Portable용 M57783H를 이용하였고 출력단에 30dB 감쇠기를 추가하여 측정하였다.

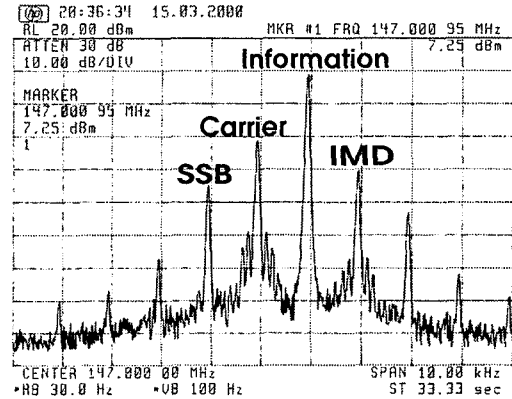


그림 13. 개방 루프 시 송신 특성 (Pout=37.25dBm)

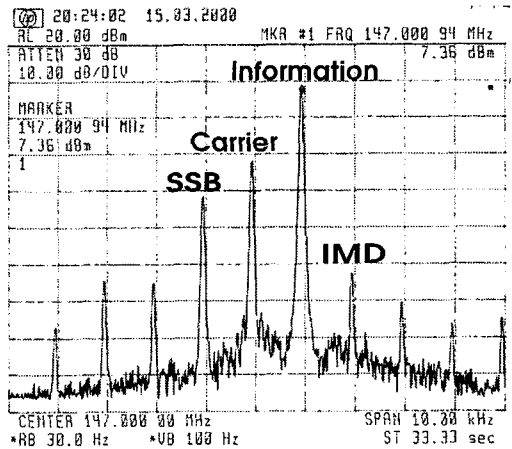


그림 14. 페루프 시 송신 특성 (Pout=37.36dBm)

그림 14에서 보듯이 그림 13의 출력 전력과 거의 같은 상태 (Po=37.36dBm) 에서 상호변조 왜곡 성분은 -23dBc 정도가 개선되었고, SSB 신호는 약 -30dBc 정도 억압이 됨을 알 수 있다.

같은 카테지안 케환 루프를 이용하는 타사 제품 (LMT-Linear Modulation Technology) 과의 성능 비교는 표 2에 나타냈듯이 상호변조 왜곡 성분 개선 (6dB 정도 열악) 항목을 제외하고는 모든 성능 면(가격 및 소모 전력, 등) 에서 우수함을 알 수가 있다.

표 2. 카테지안 루프 칩 측정 결과 요약

	ETRI	LMT
Technology	CMOS (0.35 $\mu$ m)	BiCMOS
Chip Size	3.7 x 2.9mm	5 x 3.5mm
소모 전류	90 100mA	120 mA
동작 전압	4.0~5.5V	4.65~5.25V
회로 구조	Fully differential	Partly differential
SSB 신호 억압	> 30dB	> 25dB
IMD 억압	23dB	29dB
Function	DC offset 제거 Gain/Phase 조정 Attenuator 조정	좌동
Cost	Low Cost	Medium

### V. 결론

본 논문에서는 무전기의 소형화 및 송신 전력 효율개선에 필수적인 부품인 카테지안 루프 칩을 CMOS 기술을 이용하여 설계하고 제작하였다. 출력 전력이 37.36dBm인 상태에서 상호 변조 왜곡 성분은 -23dBc 개선되었고, SSB 신호 성분을 -30dBc 이상 억압하여 무전기 송신 규격을 만족함을 확인하였다.

개선 사항으로는 카테지안 루프 칩 자체의 이득 증가를 통하여 상호 변조 왜곡 (<-25dBc 억압) 및 스피리어스 성분들의 억압 특성을 개선하여야 하며, 직접 변환 방식으로 인한 송신기 Injection pulling 방지 및 복조기에 인가되는 1/Q 경로의 정확한 90° 위상차를 얻기 위하여 4 x LO 주파수를 이용하여 구동되므로 본 칩을 UHF 대역 (400MHz 정도) 직접 변환 방식에 적용하기 위해서는 최소 0.25 $\mu$ m CMOS process 를 이용하여 1.6 GHz 주파수 이상에서 안정된 동작 특성 (이득, 잡음 특성, 등)을 얻어야 하며, 또한 주파수 상향으로 인하여 발생하는 문제점들을 최소화하기 위해서는 CMOS에 대한 정확한 비선형 모델링이 수반되어야 할 것이다.

### 참고 문헌

[1] 한국전자통신연구원, *전파자원 이용기술 개발 보고서*, 1999.12.  
 [2] A. Batman, D. M. Haines, and R. J. Wilkinson, "Linear transceiver architectures", *Proc. 38th VTC*, pp. 478~484, 1988.

[3] M. Johansson and T. Mattsson, "Transmitter Linearisation Using Cartesian Feedback for Linear TDMA Modulation", *Proc. IEEE VTC*, pp. 439~444, 1991.  
 [4] M. Bolorian and J. P. McGeehan, "The frequency-hopped Cartesian feedback linear transmitter", *IEEE Trans. Vehi. Tech.*, vol. 45, pp. 688~706, Nov. 1996.  
 [5] M. Bolorian and J. P. McGeehan, "Automatic remove of Cartesian feedback transmitter imperfections", *IEEE Proc. Commu.*, vol. 144, no. 4, pp. 281~288, August 1997.  
 [6] B. Wuppermann, et al, "A 16-PSK Modulator with Phase Error Correction", *IEEE ISSCC*, pp. 138~139 & 277, Feb 1993.  
 [7] L.E.Larson, *RF AND MICROWAVE CIRCUIT DESIGN FOR WIRELESS COMMUNICATIONS*, Artech House, Chap 4, 1996.  
 [8] 정영준 외 3, "현대역 무전기용 카테지안 루프 칩 설계 및 구현", 2001년도 한국전자파학회 광과 및 전파 학술대회, pp. 145~148, 2001.10.

#### 정 영 준(Young-Jun Chong)



1992년 2월: 제주대학교  
전자공학과 (공학사)  
1994년 2월: 서강대학교  
전자공학과 (공학석사)  
1994년 3월~현재: 한국전자통신연구원 무선방송연구소 안테나기반연구팀 선임연구원

<주관심 분야> RF 회로 설계 및 RF 서브시스템 시뮬레이션, 능동 집적 안테나

#### 최 재 익(Jac-Ick Choi)



1981년 2월: 고려대학교  
전자공학과 (공학사)  
1983년 8월: 고려대학교  
전자공학과 (공학석사)  
1995년 2월: 고려대학교  
전자공학과 (공학박사)

1983년 3월~현재: 한국전자통신연구원 무선방송연구소 안테나기반연구팀 책임연구원

<주관심 분야> 이동 통신 및 위성 통신 RF 서브시스템, 능동 집적 안테나

오 승 엽(Seung-Hyeub Oh)

1971년 2월: 연세대학교 전기공학과 (공학사)

1973년 2월: 연세대학교 대학원 전기공학과  
(공학석사)

1982년 2월: 연세대학교 대학원 전기공학과 박사  
(공학박사)

1977년 7월~현재: 충남대학교 전자공학과 교수  
<주관심 분야> 안테나 및 전자파 이론