

복합 티타늄실리사이드 공정에서 발생한 공극 생성 연구

정 성 희[†] · 송 오 성

서울시립대학교 신소재공학과

Void Defects in Composite Titanium Disilicide Process

Seong Hwee Cheong[†] and Oh Sung Song

Department of Materials Science and Engineering, The University of Seoul 90 Cheonnong-dong,
Tongdaemun-gu, 130-743, Seoul

(2002년 10월 11일 받음, 2002년 11월 19일 최종수정본 받음)

Abstract We investigated the void formation in composite-titanium silicide(TiSi₂) process. We varied the process conditions of polycrystalline/amorphous silicon substrate, composite TiSi₂ deposition temperature, and silicidation annealing temperature. We report that the main reason for void formation is the mass transport flux discrepancy of amorphous silicon substrate and titanium in composite layer. Sheet resistance in composite TiSi₂ without patterns is mainly affected by silicidation rapid thermal annealing (RTA) temperature. In addition, sheet resistance does not depend on the void defect density. Sheet resistance with sub-0.5 μm patterns increase abnormally above 850 °C due to agglomeration. Our results imply that sub-750 °C annealing is appropriate for sub 0.5 μm composite TiSi₂ process.

Key words: composite-titanium silicide, amorphous, polycrystalline, sheet resistance, voids

1. 서 론

소자의 집적도가 증가함에 따라 전극의 선폭이 감소하면서 전극의 저항이 증가하게 되어 소자의 속도를 만족시키기 위하여 낮은 저항을 가지는 물질을 필요로 하게 되었다. 초기 메모리 소자의 전극 재료로는 폴리실리콘이 채용되었으며, 소자의 집적도 증가에 따라 CVD (chemical vapor deposition)로 형성되는 텅스텐 실리사이드(tungsten silicide)가 적용되었다.¹⁾

그러나, 최근에 전극의 선폭이 0.15 μm 이하로 감소하면서 기존의 텅스텐 실리사이드 대신에 TiSi₂, CoSi₂, 텅스텐(W) 등의 저저항 물질이 주로 고려되고 있다.^{2,3)} 텅스텐 실리사이드는 최적화된 박막의 비저항이 약 80 μΩ·cm인데 비하여 TiSi₂ 및 CoSi₂는 20 μΩ·cm로 약 1/4 수준이며, 텅스텐은 약 1/16인 5.5 μΩ·cm이어서 전극의 수직적 수평적 크기가 감소하여도 소자에서 요구하는 전극의 면저항을 확보할 수 있기 때문이다.⁴⁾

텅스텐은 순수 금속으로서 가장 낮은 저항을 보이는 것이 큰 장점이지만, 산소(oxygen)에 대한 반응성이 커서 미량의 산소와도 쉽게 산화한다는 단점이 있다.⁵⁾ 이와 같은 산화 반응에 의해 텅스텐은 부피 팽창이 크게 일어나 다른 후속 공정의 진행을 불가능하게 할 뿐만 아니라 높은 저항으로 전극의 연결 기능을 상실하게 만든다. 따라서 일반적인

소자 제조 과정에는 전극의 에칭 후 가해진 잔류응력을 회복시키기 위하여 필수적으로 열처리 과정을 거치게 되는데, 텅스텐 전극은 이와 같은 고온에서의 산화문제 때문에 많이 쓰이고 있지 못하다.

TiSi₂ 및 CoSi₂는 기본적으로 실리콘을 포함하고 있기 때문에 산화 반응 측면에서는 안정한 특성을 보여주지만, 소자의 적용 측면에서 몇 가지 단점이 있다. TiSi₂는 좁은 선폭에서 핵생성 및 결정화가 어려우며 일정한 열처리 한도를 넘어서면 박막의 응집화가 쉽게 일어나고, 선폭이 감소하면 감소할수록 절대 저항 자체가 증가하는 문제점이 있다.^{6,7)} 이에 반해 CoSi₂는 좁은 전극 선폭에서도 낮은 저항을 유지하는 장점이 있기는 하지만, 일정 열적 처리를 넘어서면 박막이 과도 성장하여 입자간의 분리가 일어나는 현상이 발생된다.⁸⁾ 또한 Co는 확산 특성이 뛰어나 후속 열처리 공정에 의해 전극의 절연 물질 및 소자 접합부로 이동하여 소자의 누설 전류 원인이 되기도 하여 메모리 소자 공정용으로는 문제가 있다.⁹⁾

최근에는 이러한 실리사이드 물질들의 문제점을 극복하기 위하여, 실례로 TiSi₂의 가장 큰 단점인 열적 응집현상을 보완하는 측면에서 새로운 공정을 연구하는 경향이 있는데, 기존의 실리사이드 형성공정과 같이 Ti 금속을 기판전면에 스퍼터링 증착 후 실리콘과의 확산 반응을 일으키는 방법에서 탈피하여, 실리사이드 화합물 자체를 스퍼터링으로 기판에 직접 증착하는 방법이 시도되고 있다.¹⁰⁾ 이와 같은

[†] E-mail: shcheong@sidae.uos.ac.kr

Table 1. Experimental conditions without pattern

process	I	II	III	IV	V	VI
doped silicon	polysilicon	polysilicon	amorphous	amorphous	amorphous	amorphous
TiSi ₂	500°C	200°C	200°C	200°C	200°C	500°C
RTA	800°C/20sec	800°C/20sec	-	750°C/20sec	800°C/20sec	800°C/20sec

Table 2. Experimental conditions with the sub 0.5 micrometer patterns

process	A	B	C	D	E	F
doped silicon	polysilicon	polysilicon	polysilicon	amorphous	amorphous	amorphous
TiSi ₂	500°C	500°C	500°C	500°C	500°C	500°C
RTA	800°C/20sec	800°C/20sec	800°C/20sec	800°C/20sec	800°C/20sec	800°C/20sec
Anneal	-	700°C/3hr	850°C/3hr	-	700°C/3hr	850°C/3hr

실리사이드를 복합(composite) 실리사이드라고 하는데, 이 방법은 기존과 같은 계면반응에 의해 형성되지 않기 때문에 하부층과의 계면 불안정성이 개선되어, 궁극적으로 실리사이드 자체의 계면 에너지가 감소하여 열적 안정성이 좋아지는 것이다. 그러나, 복합 실리사이드 공정의 적용에 의해 계면의 열적 안정성 및 좁은 선폭에서의 저항 증가 문제점은 개선될 수 있지만, 실리사이드 박막 내에 공극(void)이 발생하는 등 새로운 문제점이 발생하는 것으로 알려져 있다.^{11,12)}

따라서 본 연구에서는 복합 TiSi₂ 공정에서 가장 큰 문제로 인식되고 있는 실리사이드 박막 내의 공극을 해결할 수 있도록 공극의 주요 생성원인과 복합실리사이드의 전기적 특성을 파악하였다.

2. 실험 방법

550 °C에서 SiH₄과 PH₃의 반응 가스에 의해 형성된 도핑된 비정질실리콘과 비정질실리콘을 850 °C의 질소(N₂) 분위기에서 20분 동안 튜브로에서 열처리한 각각의 하지층 위에 형성시킨 복합 TiSi₂ 박막내의 공극에 대한 형상 및 발생 원인을 평가하기 위하여 Table 1과 같은 조건 I ~ VI로 진행하였다. Table 1에서와 같이 도핑된 실리콘 박막 위에 복합실리사이드 증착시 기판 온도는 200 °C와 500 °C로, 급속가열(RTA:rapid thermal annealing) 조건은 750 °C와 850 °C로 하였다.

하지층 실리콘 박막의 적층 구조는 열산화막 1000 Å 두께 위에 인(phosphorous)이 도핑되도록 하고 두께 700 Å 실리콘 층을 CVD로 증착하였으며, 이때 비정질과 다결정이 되도록 공정조건을 달리 하였다. 이렇게 준비된 기판을 50:1 HF 용액에 50 sec의 침지공정으로 이루어진 습식 세정으로 세척을 한 후 기판온도를 200 °C와 500 °C로 달리하여 복합 TiSix를 스퍼터링 방법으로 두께 800 Å이 되도록 증착하였다.

TiSi₂ 결정화를 위한 RTA 처리는 750 °C-20 sec와 800 °C-20 sec의 두 조건으로 진행하였다. 이와 같이 완료된 도핑된 실리콘 위의 복합 TiSi₂의 공극을 쉽게 확인하기 위하여 TiSi₂를 약 500 Å을 건식 식각법으로 에칭한 후

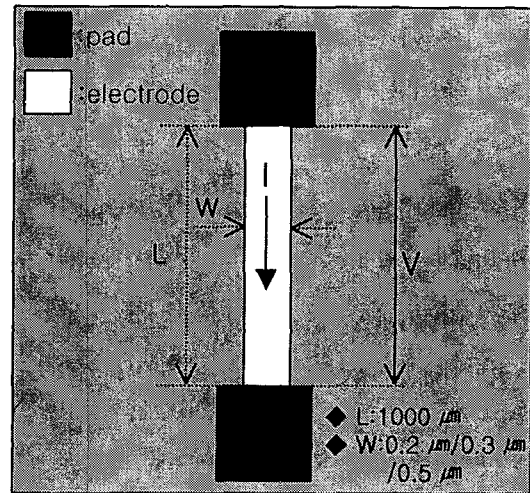


Fig. 1. The drawing of test pattern for measuring sheet resistance.

주사전자현미경으로 공극을 관찰하였다. 이와 같이 공극 발생 유무에 대한 도핑된 실리콘 종류와 복합 TiSi₂의 공정 조건 영향성을 확인한 후, 평판 구조에서의 면저항과 실제 전극선에서 면저항에 대한 공극의 영향성을 평가하였다.

전극구조를 가진 시험편 제작을 위해, Table 2의 조건 A ~ F와 같이 열처리를 하지 않는 조건과 700 °C-3시간, 850 °C-3시간 동안 질소 분위기에서 열처리 하는 공정으로 나누어 진행하였다. 전극 구조에 대한 박막 적층은 앞의 공극 원인 분석 실험과 같이 열산화막 1000 Å 위에 도핑된 실리콘 700 Å과 복합 TiSi₂ 800 Å을 순차적으로 증착하였다. 도핑 실리콘은 비정질 실리콘과 850 °C-20분의 열처리로 결정화된 다결정실리콘으로 분리하였으며, 복합 TiSi₂는 동일하게 500 °C에서 증착하였다. 스퍼터링 증착 공정 중에 비정질화된 복합 TiSi₂를 결정화하기 위한 RTA 처리는 800 °C-20 sec에서 질소 분위기 하에서 처리하였다. 이와 같은 전극은 선폭 0.2 μm, 0.3 μm, 0.5 μm으로 변화 시켰으며, 전기적으로 측정하기 위한 패턴닝(patterning) 작업을 진행하였다.

Fig. 1과 같이 각각 전극 선폭 0.2 μm, 0.3 μm, 0.5 μm에

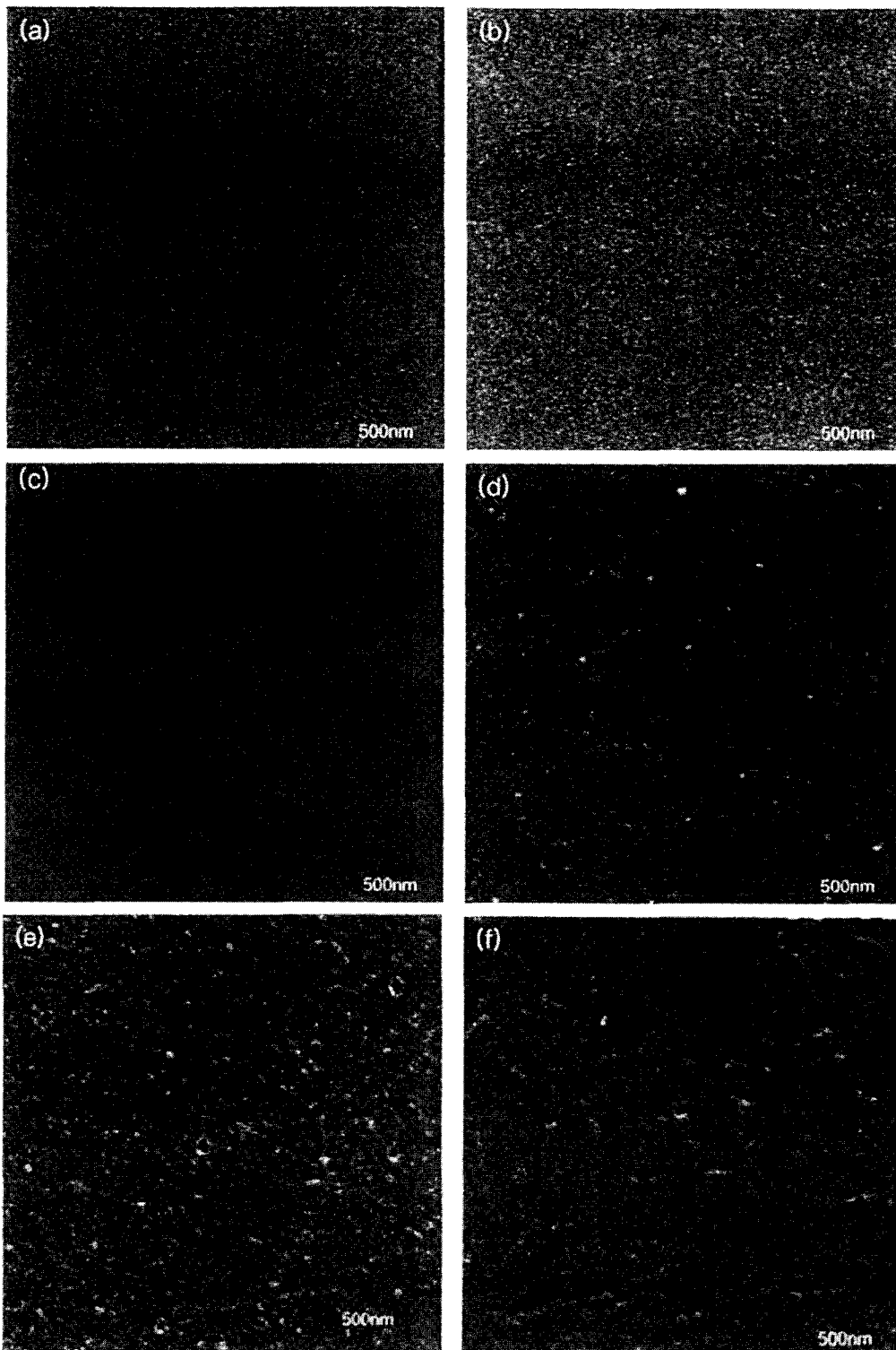


Fig. 2. The SEM images of composite $TiSi_2$ film with process conditions of (a) condition I, (b) condition II, (c) condition III, (d) condition IV, (e) condition V and (f) condition VI in Table 1.

대하여 전극 길이 $1000 \mu m$ 의 측정 패턴에서 면저항을 측정하였다. 면저항은 일정한 전압을 인가하였을 때, 전극선에 나타는 전류를 이용하여 다음 식 (1)과 같은 수식으로 면저항을 환산하였다.¹³⁾

$$R_s = \frac{V}{[(I \times W)/L]} \quad (1)$$

여기서 각각 R_s 는 면저항이고, V 는 전압(voltage) 이고, I 는 전류(current) 이고, L 은 전극선길이(gate line length), W 는 전극선폭(gate line width)이다.

3. 결과 및 고찰

3-1. 복합 $TiSi_2$ 박막에서의 공극 원인 분석

복합 $TiSi_2$ 박막에서의 공극 발생에 대한 원인을 분석하

기 위하여 하지층의 결정상태, $TiSi_2$ 의 증착온도, RTA의 세가지 조건에 대해 평면 주사현미경으로 분석하였는데, 그 결과는 Fig. 2의 (a) ~ (f)에 나타내었다. Fig. 2에서와 같이 하지층이 다결정화된 상태인 조건 I, II의 (a), (b)와 $TiSi_2$ 박막만 증착된 조건 III의 (c)에서는 공극이 전혀 발견되지 않았지만, 하지층이 비정질 상태인 경우인 조건 IV, V, VI의 (d), (e), (f)에서는 공극이 발생되었다.

따라서 복합 $TiSi_2$ 공정에서 발생하는 공극의 발생은 주로 하지층의 결정화 상태에 의해 결정되었다. 하지층이 각각 비정질 상태와 다결정 상태인 경우에 일반적으로 비정질 상태일 때가 열역학적으로 더 불안정한 상태가 되므로, 두 하지층에 따른 Ti-Si 결합력의 상대적인 차이가 생기고 복합실리사이드가 증착된 후 열에너지를 받게되면 복합실리사이드와 불안정 상태인 비정질상의 실리콘간의 물질 이동이 생긴다.¹⁴⁾ 이때 두 하지층에 의존하는 실리콘과 타타늄의 상대적인 이동속도차 때문에 생기는 공공이 모여 공극을 이룬다고 예상된다.

Fig. 2의 (e)와 (f)에서와 같이 비정질 하지층에 증착된 $TiSi_2$ 의 증착 온도 200 °C와 500 °C의 조건 V (e)와 VI (f)를 보면, 공극의 발생은 두 조건에서 각각 $3.459 \text{ ea}/\mu\text{m}^2$ 과 $0.922 \text{ ea}/\mu\text{m}^2$ 의 밀도로 $TiSi_2$ 증착 온도가 낮은 200 °C 조건이 오히려 발생 빈도가 더 높았다. 또한 공극의 크기는 일정하지 않았지만, 가장 큰 공극은 조건 V (e)에서 관찰된 것처럼 약 600 Å 정도로 매우 크게 나타났다. 따라서 복합 $TiSi_2$ 공정에서의 공극 발생 유무는 증착온도에 따라서는 크게 영향받지 않았지만, 공극의 발생 밀도에서는 큰 차이를 보인다. 이와 같은 증착온도의 차이에 의한 공극의 발생 밀도 차이는 복합 $TiSi_2$ 증착 과정에 자연적으로 유도되는 비정질 하지층의 결정화 정도에 의한 영향으로 판단되었다.

RTA 처리에 따른 공극 발생 유무를 보기 위해서, Fig. 2의 조건 III, IV, V의 (c), (d), (e)를 보면 750 °C-20 sec 조건도 동일하게 800 °C 조건에서와 같이 복합 $TiSi_2$ 박막 내에 공극이 발견되었다. 따라서 사용된 RTA 처리 온도에 의한 원자 이동의 차이가 박막내에 공극을 유도하는 절대원인은 아닌 것으로 확인되었다. 그리고 $TiSi_2$ 증착 후 RTA 처리를 하지 않은 조건은 Fig. 2의 (c)와 같이 공극이 관찰되지 않았다. 따라서 공극의 발생유무는 하지층 실리콘의 결정상태가 가장 주요한 원인이고 복합실리사이드 증착온도나 RTA 처리조건은 큰 영향이 없었다.

공공이 생기는 주요 메커니즘은 하부의 실리콘과 복합실리사이드 내부의 티타늄이 실리사이드화 열처리를 받을 때 상대적인 두 물질간의 확산속도가 다르므로 빠른 확산속도를 가진 비정질실리콘이 복합실리사이드 내부로 이동하고 이때 상대적으로 복합실리사이드 내부의 공공을 실리콘층으로 이동시키며 이때 공공들이 모여 공극을 복합실리사이드 또는 비정질 실리콘과의 계면부에 다수 발생시키는 것으로 판단되었다.

3-2. 평판에서의 면저항 특성

Fig. 3에는 조건 I, II, IV ~ VI에 대하여 박막 증착 후

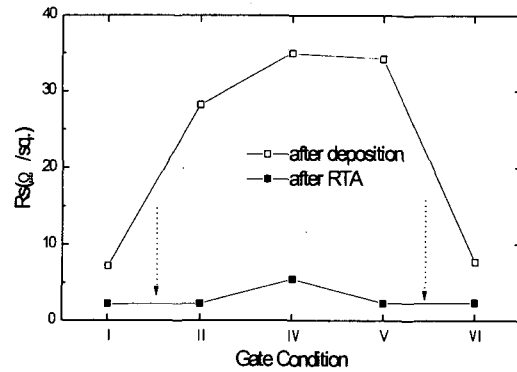


Fig. 3. The sheet resistance of $TiSi_2$ /doped-silicon stacks in each process condition.

와 RTA 처리후의 면저항을 측정된 결과를 나타내었다. 증착 후의 면저항은 증착온도에 따라 구분될 수 있었는데, 200 °C 증착의 경우는 $28.3 \text{ } \Omega/\text{sq} \sim 34.9 \text{ } \Omega/\text{sq}$ 의 범위를 보였고 500 °C 증착의 경우는 $TiSi_2$ 의 결정화가 진행되어 $7.2 \text{ } \Omega/\text{sq} \sim 7.7 \text{ } \Omega/\text{sq}$ 의 낮은 저항을 보였다. 조건 II의 경우는 같은 200 °C에서 증착된 조건 IV와 V에 비해 낮은 저항을 보였는데, 이것은 하지층을 결정화 시켰기 때문에 폴리실리콘으로도 전류가 흘러 더 낮은 저항을 보인 것이다. RTA 후에는 복합 $TiSi_2$ 의 결정화에 따라 저항이 급격히 감소하였는데, 800 °C에서 RTA 처리한 조건 (I, II, V, VI)은 $2.2 \text{ } \Omega/\text{sq} \sim 2.3 \text{ } \Omega/\text{sq}$ 의 낮은 분포를 보였고 750 °C에서 RTA 처리한 조건 IV는 입자 성장이 덜 진행되어 상대적으로 높은 $5.4 \text{ } \Omega/\text{sq}$ 의 저항을 보였다.

따라서 평판 시편에서의 면저항은 RTA 처리 조건에 의해서 결정되었으며, 공극이 발생된 조건 V와 VI도 공극이 발생되지 않은 조건 (I, II)과 동일한 면저항을 보인 사실로부터 공극의 생성유무가 평판 적층구조의 복합실리사이드층의 면저항에는 큰 영향을 미치지 않는 것을 확인하였다.

3-3. 미세 전극 패턴에서의 면저항 특성

복합 $TiSi_2$ 박막에서 발생하는 공극의 주요한 원인이 전극의 하지층으로 사용되는 도핑 실리콘의 결정상태에 크게 의존한다는 것이 확인되었는데, 실제 전극 공정에서 공극에 의한 전기적 특성의 차이를 확인하기 위하여 Table 2와 같이 다른 결정 상태를 가지는 실리콘 위에 복합 $TiSi_2$ 를 증착하는 구조를 사용하여 전극선의 면저항을 조사하였다. $TiSi_2$ 박막은 열적 안정성이 부족하므로 공극의 발생과 열처리 온도를 서로 혼합함으로써, 두가지 변수가 면저항에 미치는 영향을 평가하였다. 하지층의 결정 상태와 열처리를 하지 않았거나, 750 °C와 850 °C에서 3시간 유지한 경우의 전극선의 면저항에 대한 결과를 Fig. 4의 (a) ~ (c)에 나타내었다. 그림에는 전극패턴시료에 따라 실리사이드에 대해 열처리하지 않은 경우와 750 °C, 850 °C로 열처리한 경우의 면저항을 각각 선평변화에 따라 나타내었다. 그래프에는 각 부분의 최대값, 최소값을 표시하고 데이터의 $\pm 3\sigma$ 를 박스로 표시한후 박스안에는 가로줄로 전체 평균값을 나타내었다. 각 그래프의 좌측에는 다결정실리콘인 경우를,

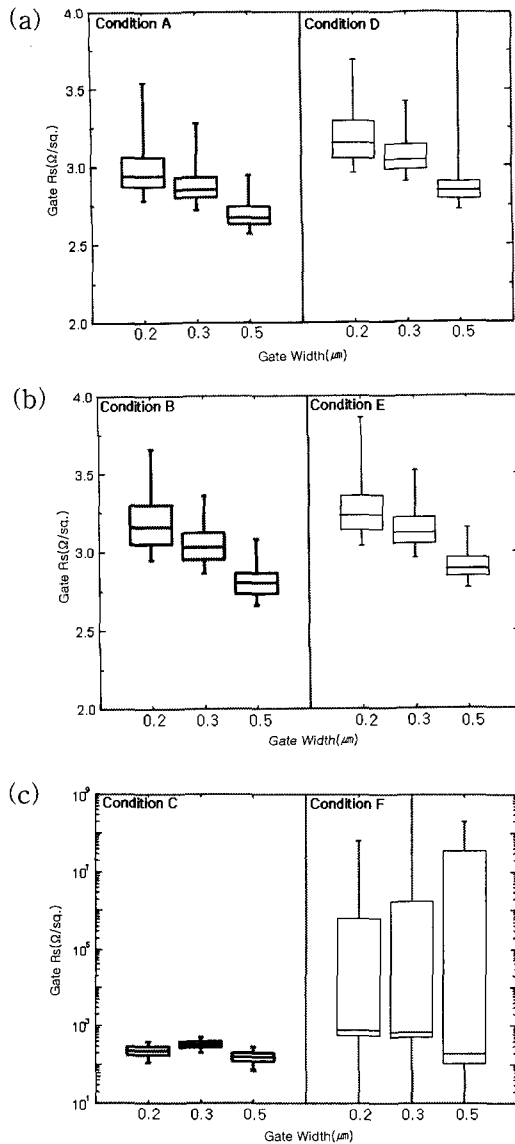


Fig. 4. Sheet resistances of composite TiSi_2 with gate line width annealed by (a) no anneal, (b) 750°C -3hr, and (c) 850°C -3hr.

우측에는 비정질실리콘의 경우를 표시하였다.

열처리를 하지 않은 조건은 Fig. 4 (a) 에서와 같이 $0.2 \mu\text{m}$, $0.3 \mu\text{m}$, $0.5 \mu\text{m}$ 의 전극 선폭의 증가에 따라 전극의 면저항 추세는 감소하였는데, 복합 TiSi_2 박막의 그레인 크기가 약 $10 \mu\text{m}$ 정도로 매우 크기 때문에 좁은 선폭으로 갈수록 그레인 크기 감소 효과에 의해 전극선의 면저항은 증가하게 된다.^{15,16)} 열처리 온도의 증가에 따라 조건 A, B, C의 도핑 폴리실리콘의 경우는 $0.2 \mu\text{m}$ 의 선폭에서 면저항 평균값이 $2.90 \Omega/\text{sq.}$ (no anneal) $\rightarrow 3.16 \Omega/\text{sq.}$ (700°C -3시간) $\rightarrow 232 \Omega/\text{sq.}$ (850°C -3시간)로 증가하였지만, 조건 D, E, F의 도핑 비정질실리콘은 Fig. 4 (a), (b), (c) 에서와 같이 $3.15 \Omega/\text{sq.}$ (no anneal) $\rightarrow 3.23 \Omega/\text{sq.}$ (700°C -3시간) $\rightarrow 811 \Omega/\text{sq.}$ (850°C -3시간)로 증가하였는데 850°C -3시간 열처리의 경우는 거의 전극선이 단락된 것같이 면저항이 증가하였다.

이와 같이 하지층에 관계없이 열처리 온도의 증가에 따라

전극선의 면저항이 증가한 것은 TiSi_2 박막의 응집화가 진행되기 때문인 것으로 판단된다. 또한 비정질실리콘 조건에서의 저항이 850°C 열처리 후 급격히 증가한 것은 박막내에 포함되어 있는 공극이 열처리 과정에 응집화를 촉진 시키기 때문이다. 일반적으로 박막의 응집화는 그레인 경계 에너지와 표면 에너지등의 요인에 의해 좌우되는데, 박막내에 공극이 있으면 복합 TiSi_2 의 경계 및 계면 에너지가 더 증가하게 된다.^{12,15,16)} 따라서 비정질실리콘에 증착된 TiSi_2 는 후속 RTA 과정에 공극이 발생하여 단위부피당 에너지가 증가함으로써, 응집화가 더 많이 발생하는 것이다.

4. 결 론

복합 TiSi_2 를 사용하는 전극 공정에서 박막내에 공극이 발생하는데, 공극에 대한 원인 분석을 위하여 하지층의 도핑 실리콘 종류와 TiSi_2 박막의 증착 조건 및 RTA 공정에 대해 고찰하였다.

- 1) 복합실리사이드 내부의 공극의 발생 주요 원인은 하지층이 비정질인 경우 복합실리사이드 층과의 물질이동 속도차이에 따라 발생하였다.
- 2) 평판형 시료의 면저항 측정 결과, 공극의 발생은 면저항에 큰 영향이 없었다.
- 3) 실지 전극역할을 하는 미세패턴의 복합 TiSi_2 에서 발생한 공극은 면저항을 급격히 증가시킬 수 있었고, 특히 열처리 온도가 850°C 이상에서 이루어지면 급격한 표면응집현상을 발생시켰다.

참 고 문 헌

1. J.S. Byun, D.H. Kim, and W.S. Kim, and H.J. Kim, *J. Appl. Phys.*, **78** (3), 1725 (1995).
2. R.T. Tung, *Applied Surface Science*, **117/118**, 268 (1997).
3. H. Zhang, J. Poole, R. Eller and M. Keefe, *J. Vac. Sci. Technol. A*, **17** (4), 1904 (1999).
4. Y. Akasaka, K. Miyano, K. Nakajima, M. Takahashi, S. Tanaka, and K. Suguro, *Jpn. J. Appl. Phys.* **38**(4B), 2385 (1999).
5. M. Sekiguchi, M. Yamanaka, T. Fujii, M. Fukumato, and S. Mayumi, *J. Electrochem. Soc.*, **144**(1) (1997).
6. J. Lutze, G. Scott, and M. Manley, *IEEE Electron Device Letters*, **21** (4), 155 (2000).
7. H. Fang, M.C. Oztu, E.G. Seebauer, D.E. Batchelor, *Journal of the Electrochemical Society*, **146**(11), 4240 (1999).
8. J.P. Gambino, E.G. Colgan, A.G. Domenicucci, and B. Cunningham, *J. Electrochem. Soc.*, **145**(4) (1998).
9. C.Y. Kang, D.G. Kang, and J.W. Lee, *Journal of Applied Physics*, **86** (9), 5293 (1999).
10. H.S. Kim, D.H. Ko, D.L. Bae, K.azuyuki Fujihara, and H.K. Kang, *IEEE Electron Device Letters*, **20** (2), 86 (1999).

11. J. Lasky, J.S. Nakos, O.J. Cain, and P.J. Geiss, IEEE Trans. Electron Devices, **38**, 262 (1991).
12. I. Raaijmakers and K.B. Kim, J. Appl. Phys., **67**(10), 6255 (1990).
13. D.G. Ong, Modern MOS Technology: Process, Devices, and Design, McGraw-Hill, New York (1984).
14. K. Holloway and R. Sinclair, J. Appl. Phys., **61**(4), 1359 (1987).
15. T.P. Nolan, R. Sinclair, and R. Beyers, J. Appl. Phys. **7** 720 (1992).
16. S. Nygren, M. Ostling, S.D. Petersson, H. Norstrom, K. H. Ryden, R. Bushta, and C. Chatfield, Thin Solid Films **168**, 325 (1989).