

코발트살리사이드를 위한 습식세정 공정

정성희, 송오성

서울시립대학교 신소재공학과

Wet Cleaning Process for Cobalt Salicide

S. H. Cheong and O. S. Song

Department of Materials Science and Engineering, The University of Seoul 90
Cheonnong-dong, Tongdaemun-gu, 130-743, Seoul

Abstract

We investigated the appropriate wet cleaning process for Co-Ti-Si compounds formed on top of cobalt disilicide made from Co/Ti deposition and two rapid thermal annealing (RTA). We employed three wet cleaning processes, WP1 (H₂SO₄ etchant), WP2 (NH₄OH etchant), and WP3 which execute sequentially WP1 and WP2 after the first RTA. All samples were cleaned with BOE etchant after the second RTA. We characterized the sheet resistance with process steps by a four-point probe, the microstructure evolution by a cross detail sectional transmission electron microscope, a Auger depth profiler, and a X-ray diffractometer (XRD). We confirmed WP3 wet cleaning process were the most suitable to remove CoTiSi layer selectively.

Keywords : Cobalt Salicide, wet cleaning, CoTiSi compound, Co/Ti silicide, BOE

1. 서 론

최근의 반도체 메모리 조직 소자는 상보형 트랜지스터 (CMOS) 를 위주로, 저저항의 금속배선과 트랜지스터의 게이트와 소오스, 드레인의 활성화 영역을 연결하고 금속층과 실리콘 접합부간의 상호확산을 방지하기 위한 실리사이드 물질이 필요하다¹⁻³⁾.

여러 가지 개발된 실리사이드 물질로 WSi₂, TiSi₂ 가 많이 쓰이고 있으나, 최근 집적도에 따른 전극의 선폭감소에 따라 저항이 커지지 않는 CoSi₂ 가 많이

사용되는 추세이다⁴⁾.

CoSi₂는 선폭이 감소하더라도 저항이 커지지 않는 장점이 있지만, 실리콘 표면에 매우 얇은 실리콘 산화막만 있어도 실리사이드화 하지 못하는 단점이 있어 이를 극복하기 위해 실리콘 표면에 코발트를 증착하기 전에 고가장비를 이용하여 자연 실리콘 산화층을 제거해야 하는 등 경제적인 단점이 있었다⁵⁻⁷⁾.

이러한 문제를 극복하기 위해서 경제적으로 코발트 증착전에 약 100 Å 두께의 Ti를 증착하고 Co를 증착하면 Ti가 자연산화막을 제거하는 동시에 CoSi₂

가 에피택시 성장이 가능하도록 하는 시드(seed) 역할을 할 수 있는 Co/Ti 구조의 코발트 실리사이드(self-aligned silicide process)가 개발되었다^{1, 8, 9)}.

이러한 Co/Ti 코발트실리사이드는 단점도 있어서 최종 실리사이드층 위에 중간상으로 CoTiSi 화합물이 형성되는 것으로 알려져 있어^{10, 11)} 형성된 CoSi₂는 놔두고 이 층만 효과적으로 제거하는 공정이 필요하다. 가장 효과적인 방법은 건식세정 보다 습식세정법으로 에천트(etchant)를 활용하여 CoTiSi와 CoSi₂의 선택비가 큰 에천트를 적용하여 제거하는 방법이다. 건식세정의 경우는 나쁜 식각 균일도 때문에 중간상의 완전한 제거를 위하여 일정 두께 이상을 과도하게 에칭하는 것이 필수적이므로, 식각 과정에 하부 실리사이드 박막의 손실을 가져올 수 있어 일반적으로 실리사이드 공정에서는 습식세정이 주로 채용된다^{10, 11)}.

특히 반도체 공정에서는 이미 사용되는 많은 세정액이 있는데 대표적인 것으로 BOE 용액(NH₄F : HF=50 : 1)과 암모니아 혼합용액(NH₄OH : H₂O₂ : H₂O=1 : 4 : 20), 황산 혼합용액(H₂SO₄ : H₂O₂=3 : 1) 등이 많이 사용되고 있으며, 실제적으로는 적절한 선택비와 식각속도를 맞추기 위해서 상기의 여러 가지 용액을 혼합하여 사용하거나 연속하여 사용하게 된다. 이와 같은 세정액의 사용에 의해서도 에피택시 성장이 가능한 Co/Ti 구조로 생성되는 CoTiSi 화합물의 제거가 어려워, 실제 대부분의 소자 개발에서는 습식세정이 용이한 단일층 Co 또는 Ti/Co의 구조를 주로 사용한다. 따라서 Co/Ti 구조에서의 완전하고 안정적인 습식세정법의 확보는 좋은 특성의 에피택시 CoSi₂를 소자에 활발하게 적용하는 것을 가능하게 할 것이다. 본 연구에서는 상기에 에천트를 하나 또는 두개로 중복하는 세가지 조건 중에서 CoTiSi의 제거에 가장 적합한 공정을 알아보고, 이를 면저항 측정과 투과전자현미경, Auger depth profiling을 통하여 전기적특성과 미세구조 변화를 조사하여 확인하여 보았다.

2. 실험방법

직경 10cm의 p형-(100) 면을 가진 실리콘 기판의 전면면을 이용하여 100 Å 두께의 Ti층을 DC power 1.75 kW, 압력 25 mTorr, 증착 온도 200 °C 조건으로 증착하고, 곧이어 150 Å 두께의 Co층을 DC power 1.0 kW, 압력 16 mTorr, 증착 온도 25 °C 조건에서 증착하였다.

증착된 박막을 실리사이드로 반응시키기 위해서 두번에 나누어 급속열처리(rapid thermal annealing : RTA)를 써서 열처리를 실시하였다. 첫 번째 RTA는 720°C-20 sec 동안 열처리하여 Co가 이동하여 실리사이드가 진행되도록 하였고, 이때 첫 번째 RTA 후에 잉여의 표면 CoTiSi 중간상을 제거하기 위해서 세가지 조건의 에천트를 나누어 습식세정을 실시하였다.

첫 번째 세정공정(이하 WP1)은 황산과 과수의 혼합용액(H₂SO₄ : H₂O₂=3 : 1)으로 처리하는 공정이다. 두 번째 세정공정(이하 WP2)은 암모니아와 과수의 혼합용액(NH₄OH : H₂O₂ : H₂O=1 : 4 : 20)으로 처리하였다. 세 번째 세정공정(이하 WP3)은 WP1공정으로 처리후 다시 WP2공정으로 세정하는 공정을 말한다.

세가지 방법으로 습식처리가 끝난 기판들은 다시 급속열처리로 850°C-20 sec의 공정으로 열처리하여 이미 형성된 실리사이드를 안정화시키고 치밀한 미세구조를 갖도록 하였다. 완성된 시편은 BOE(NH₄F : HF=50 : 1)로 세정하여 실리사이드 공정을 완료하였다.

완성된 시편의 전기적 특성확인을 위해 기판 전면 에 49점의 위치에서 면저항을 사점시험기로 측정하였다. 면저항의 측정은 상기에서 서술한 박막증착, 1차 RTA, 1차 세정 후, 2차 RTA와 2차 세정 후 측정하여 각 공정별 변화를 확인하였다.

세가지 1차 습식 세정방법에 따른 표면 형상과 각 층간 식각상태를 확인하기 위해서 수직단면투과전자현미경(transmission electron microscope : TEM)

으로 조사하였다.

2차 세정이 완료된 시편들에 대해 표면부로부터 오제이두께분석(Auger electron spectroscopy depth profiling)을 실시하여 Co, Ti, Si 각 원소의 변화를 조사하여 보았다.

그리고 1차 세정조건에 따른 CoTiSi의 존재 유무를 확인하기 위해서 30~80°까지의 X선회절분석기(XRD)로 rocking curve를 조사하였다.

3. 결과 및 토의

Fig. 1에는 각 살리사이드 주요 공정별로 1개 기판의 49 점에서 측정된 평균 면저항(sheet resistance) 값의 변화추이를 나타내었다. 처음 박막증착 후에는 동일한 조건으로 약 7.5 Ω/sq. 정도의 값을 가지다가 첫 번째 RTA 후 각 조건에 따른 면저항 결과는 WP1(28.2 Ω/sq.) > WP2(27.1 Ω/sq.) > WP3(25.3 Ω/sq.)의 순서를 보였다.

RTA 후 첫 번째 세가지 조건의 세정에 의한 면저항은 WP2(41.80 Ω/sq.) > WP1(37.95 Ω/sq.) > WP3(37.90 Ω/sq.)의 경향으로 수치 자체가 증가하였는데, 이것은 미반응 금속 성분과 CoTiSi 화합물이 각 에천트에 의해 제거됨으로써 증가한 것이다. 세가지 조건에서 황산과 과수의 혼합용액에 의한 WP1 조건의 저항 증가가 11.69 Ω/sq.로 가장 작았는데, 이것은 CoSi₂ 박막 위의 금속이 가장 적게

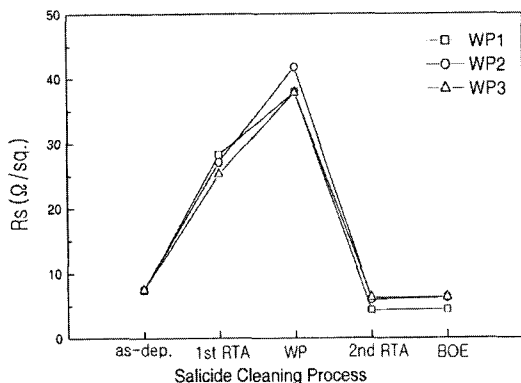


Fig. 1 Sheet resistance with Co salicide process.

제거된 것을 나타낸다.

이후 두 번째 RTA와 BOE 용액 세정을 거쳐 살리사이드 공정이 완료되면 최종 면저항값은 4.4~6.3 Ω/sq.를 보여 0.13 μm급 메모리 반도체 소자에 적용할 수 있는 정도의 값을 보였다. Fig. 1에서와 같이 동일한 Co/Ti 구조로 시작한 조건에서 WP1 조건은 4.4 Ω/sq.의 저항을 보이는 것에 비해, WP2와 WP3는 상대적으로 높은 6.3 Ω/sq.의 면저항을 보이는 것으로 보아 첫 번째 RTA 후 많은 양의 CoTiSi 화합물이 제거된 것으로 판단된다.

Fig. 2에는 최종 살리사이드 공정이 끝나고 각 세정 공정별로 확인한 수직단면투과전자현미경 이미지들을 나타내었다. Fig. 2(a)에는 WP1 처리한 것으로 400 Å 두께의 CoSi₂층 상부에 약 120 Å의 CoTiSi가 균일하게 남아 있음을 확인할 수 있다.

Fig. 2(b) 이미지는 WP2로 세정한 것인데 약 300 Å 두께의 CoSi₂층 위에 높이 30 Å, 직경 200 Å 정도의 섬모양의 CoTiSi 층이 잔존하는 것을 확인하였다. 따라서 WP2는 WP1 보다는 CoTiSi를 제거하는데 유용하였으나 완전한 선택적 제거는 안 되었음을 알 수 있었다.

Fig. 2(c)에는 WP3로 에칭한 경우의 투과전자현미경 이미지인데 두께 300~400 Å의 CoSi₂층위에 CoTiSi 잔류물이 없음을 확인하였다. 따라서 WP3 세정과 최종 BOE 세정조건에서 CoTiSi를 선택적으로 완전히 제거할 수 있음을 확인하였다.

따라서 Fig. 1에서 첫 번째 RTA 및 세정이 끝나고 WP1 조건의 면저항 증가는 크지 않고, WP2와 WP3는 CoTiSi의 많은 제거에 의한 박막 손실로 면저항 증가가 크게 나타난 것이었다.

Fig. 3에는 첫 번째 RTA 후 세정을 WP1, WP2, WP3 공정으로 나누어 처리한 후 살리사이드 공정이 완료된 시편들을 오제이로 표면부터 일정한 속도로 에칭해 가며 Ti, Co, Si 원자의 조성을 측정하여 그 그래프를 나타내었다. (a)의 WP1으로 처리한 경우는 Ti의 변화를 근거로 10분 정도가 CoSi₂ 계면이 시작되는 곳이라고 가정하였는데, 즉 10분 정도 에칭할

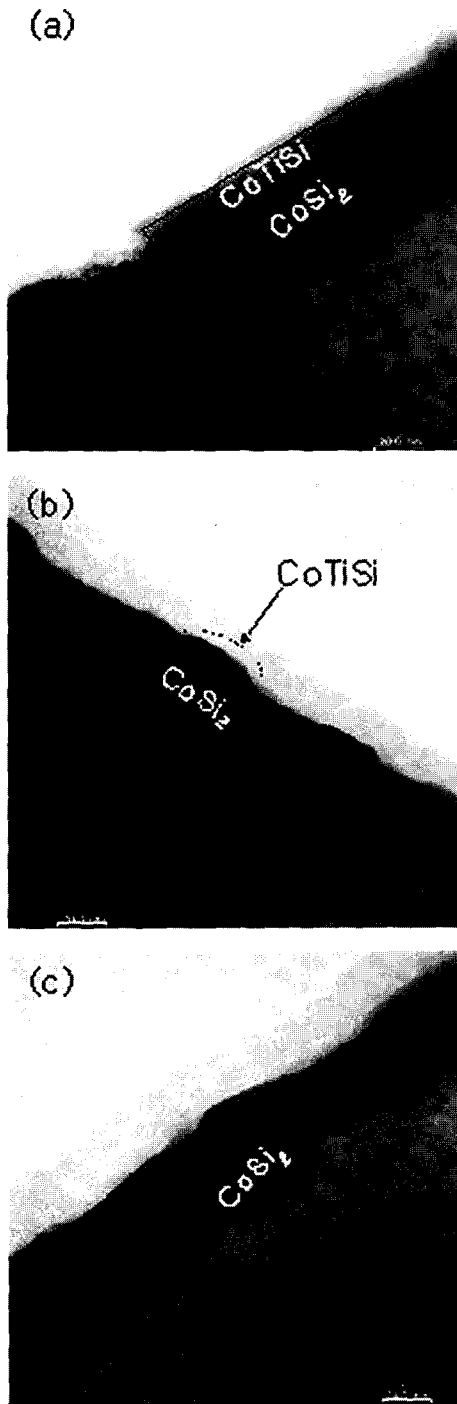


Fig. 2 Cross sectional TEM images of CoTiSi/CoSi₂ interfaces wet cleaned by (a) WP1, (b) WP2, and (c) WP3.

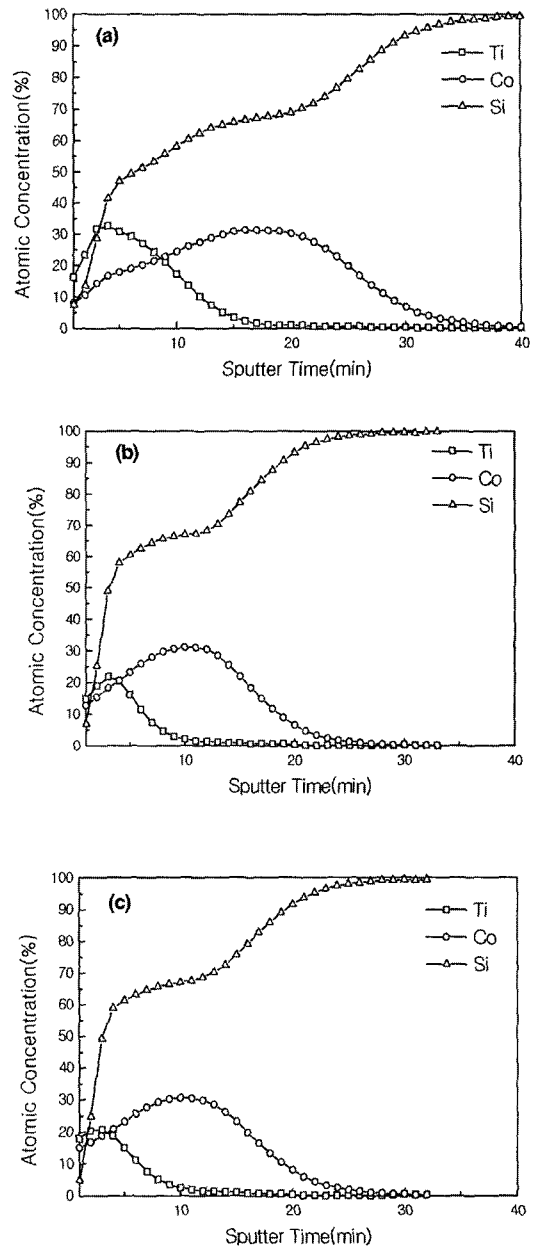


Fig. 3 Auger depth profiling plots of CoSi₂ cleaned by (a) WP1, (b) WP2, and (c) WP3.

때까지 CoTiSi층이 잔류하는 모양새를 보이고 있다.

(b)는 WP2로 처리한 경우인데 (a)와 달리 Ti가 급격히 변화하는 곳, 즉 CoTiSi 계면이 약 8분 정도 되는 곳으로 예상되었고 (c)의 WP3로 세정한 경우

는 약 7분 정도로 예상되어 면저항 측정이나 투과전 자현미경에 나타난 정도로 비교하면 정성적으로 WP3로 처리한 경우가 CoTiSi 제거에 가장 유리하였음을 간접적으로 확인할 수 있었다.

그리고, (a)의 오제이 조성 거동에서 (a)는 CoSi₂의 상부 층에 CoTiSi가 박막 형태로 뚜렷하게 존재하지만, (b), (c)는 완전한 박막 형태 보다는 Ti가 불순물 형태로 CoSi₂ 박막 내에 존재하는 것으로 판단된다.

Fig 4에는 마찬가지로 1차 세정조건을 달리하고 BOE 처리까지 완료하여 코발트 살리사이드 공정을 완료한 시편을 XRD로 2θ를 30°~80°로 스캔한 결과를 나타내었다. 예상한대로 Ti 중간층의 사용에 의해 Si(100)/(200)와 같은 성장을 보이는 CoSi₂의 주피크 33°(200), 70°(400)의 에피성장을 확인할 수 있었다¹²⁻¹⁴⁾.

앞의 수직단면 투과전자현미경과 오제이 분석결과와 같이 WP1의 습식 처리에 의해서는 Fig. 4의 42°에서 전형적으로 나타나는 CoTiSi^{10,11)}의 추가적인 피크가 나타났다. 그리고, WP2에서는 WP1에 비해 상대적으로 낮은 피크를 보여 Fig. 2(b)의 TEM 사진에서와 같이 CoTiSi 화합물이 부분적으로 존재하는 것으로 판단된다. 한편 WP3에서는 42°에서의 CoTiSi 피크가 발견되지 않았다. 따라서 WP1과 WP2에서는 CoTiSi의 존재를 확인할 수 있

었으나 WP3 세정에 의해서는 CoTiSi가 완전히 제거되었음을 알 수 있다.

4. 결 론

Co/Ti 박막을 이용한 코발트 살리사이드 공정에서 CoSi₂ 상부의 CoTiSi 중간상의 선택적 제거를 위해 첫번째 급속열처리후 세가지 습식 세정 방법으로 나누어 확인하였다.

면저항은 모두 4.46.3 Ω/sq. 로 0.13 μm급 메모리 소자에 적용 가능할 정도였으나 수직단면투과전자현미경이나 XRD, 오제이 두께 분석결과 1차 RTA 처리 후 황산과 과수의 혼합용액 세정과 암모니아와 과수의 혼합용액 세정을 연속적으로 실시하고 2차 RTA 처리 후 최종적으로 BOE로 세정하는 공정만이 CoTiSi를 선택적으로 완벽히 제거하는 것이 가능하였다.

참고문헌

1. R.T. Tung; Applied Surface Science, 117/118, (1997) 268
2. Jiri Prokop, Christian Erich Zybill, and Stanislav Veprek; Thin Solid Films, 359 (2000) 39
3. R.T. Tung; Applied Surface Science, 117/118 (1997) 268
4. A. Alberti, F. La Via and S. Ravesi; J. Vac. Sci. Technol. B20 (3) (2002) 880
5. M.L.A. Dass, D.B. Fraser, and C.S. Wei; Appl. Phys. Lett., 58 (1991) 1308
6. J.P. Gambino and E.G. Colgan; Mater. Chem. Phys., 52 (1998) 99
7. K. Maex; Mater. Sci. Eng., 11 (1993) 53
8. F. Hong, G.A. Rozgonyi and B.K. Patnaik; Appl. Phys. Lett., 61 (1992) 1519
9. F. Hong and G. A. Rozgonyi; J. Electrochem. Soc., 141 (1994) 3480
10. A. Vantomme, M.A. Nicolet and N.D. Theo-

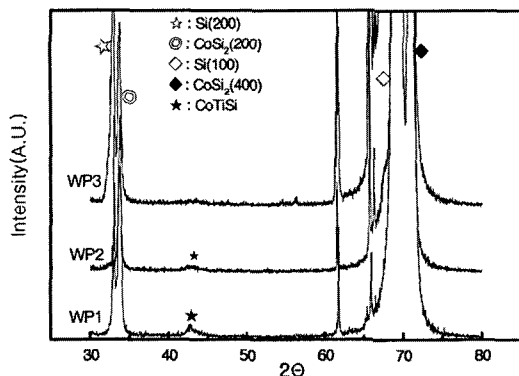


Fig. 4 XRD rocking curves with different wet cleaning methods after first RTA.

- dore : J. Appl. Phys., 75 (1994) 3882
11. G.B. Kim, H.K. Baik and S.M. Lee : Appl. Phys. Lett., 69 (1996) 3498
12. S.L. Hsia, T.Y. Tan, P. Smith, and G.E. McGuire : J. Appl. Phys., 70 (1991) 7579
13. S. Ogawa, M. Lawrence, A. Dass, J.A. Fair, T. Kouzaki and D.B. Fraser : Mater. Res. Soc. Symp. Proc., 312 (1993) 193
14. T.I. Selinder, D.J. Miller and K.E. Gray : Appl. Phys. Lett., 67 (1995) 1597

received day : 2002. 9. 5

accepted day : 2002.10.30