

論文2002-39TE-4-2

# 나노 구조에서 실리콘 산화 절연막의 스트레스 유기 누설전류 (Stress Induced Leakage Currents in the Silicon Oxide Insulator with the Nano Structures)

姜 昌 秀 \*

(C. S. Kang)

요 약

본 논문에서 얇은 실리콘 산화막의 스트레스 유기 누설전류는 나노 구조를 갖는 트랜지스터의 ULSI 실현을 위하여 조사하였다. 인가전압의 온 오프 시간에 따른 스트레스전류와 전이전류는 실리콘 산화막에 고전압 스트레스 유기 트랩분포를 측정하기 위하여 사용하였다. 스트레스전류와 전이전류는 고스트레스 전압에 의해 발생된 트랩의 충전전과 양계면 가까이에 발생된 트랩의 터널링에 기인한다. 스트레스 유기 누설전류는 전기적으로 기록 및 소거를 실행하는 메모리 소자에서 데이터 유지 능력에 영향을 있음을 알았다. 스트레스전류, 전이전류 그리고 스트레스 유기 누설전류의 두께 의존성에 따른 산화막 전류는 게이트 면적이  $10^3 \text{cm}^2$ 인 113.4Å에서 814Å까지의 산화막 두께를 갖는 소자에서 측정하였다. 스트레스 유기 누설전류, 스트레스전류, 그리고 전이전류는 데이터 유지를 위한 산화막 두께의 한계에 대해 연구 조사하였다.

## Abstract

In this paper, the stress induced leakage currents of thin silicon oxides is investigated in the ULSI implementation with nano structure transistors. The stress and transient currents associated with the on and off time of applied voltage were used to measure the distribution of high voltage stress induced traps in thin silicon oxide films. The stress and transient currents were due to the charging and discharging of traps generated by high stress voltage in the silicon oxides. The transient current was caused by the tunnel charging and discharging of the stress generated traps nearby two interfaces. The stress induced leakage current will affect data retention in electrically erasable programmable read only memories. The oxide current for the thickness dependence of stress current, transient current, and stress induced leakage currents has been measured in oxides with thicknesses between 113.4Å and 814Å, which have the gate area  $10^3 \text{cm}^2$ . The stress induced leakage currents will affect data retention and the stress current, transient current is used to estimate to fundamental limitations on oxide thicknesses.

**Keyword** : Electric field, Oxide trap, Silicon Oxide, Stress Bias

\* 正會員, 柳曄大學 電子科

(Department of Electronic Engineering, Yuhan College)

接受日字:2002年10月10日, 수정완료일:2002年12月3日

## I. 서 론

반도체 산업의 급속한 신장에 따라 집적화된 금속산화물 반도체소자는 고신뢰성 실리콘 산화물을 요구한

다. 실리콘 산화막은 스위칭, 절연 그리고 기억기능에 중요한 역할을 하며, 집적화됨에 따른 실리콘 산화막은 고집적도 개선에 필수적 요소가 되는 고품질의 얇은 산화막을 필요로 한다.

실리콘 산화막에 인가되는 스트레스전압은 스트레스 전류, 스트레스 유기누설전류 그리고 전이전류를 유발한다<sup>[1]</sup>. 스트레스 유기누설전류는 얇은 산화막에서 저전압 파괴현상을 나타내고, 산화막 두께의 감소에 따라 그 값이 증가된다<sup>[2]</sup>. 스트레스 유기 누설전류와 전이전류는 계면에서 발생된 트랩의 포획과 탈포획에 의한 터널링 현상으로 나타난다<sup>[3]</sup>. 스트레스전압 인가 후 발생된 전이전류는 기억소자의 기억유지특성에 영향을 주며, 스트레스전류와 전이전류는 인가전압이 커짐에 따라 증가한다<sup>[4]</sup>.

산화막전류는 산화막과 산화막 계면에 유기된 트랩의 트래핑과 디트래핑에 의한 터널링 현상에 의해 나타나며, 스트레스전압 및 극성에 의존하는 트랩은 산화막의 음극 부근에 음전하를, 양극 부근에 양전하를 유도시켜 소자의 절연파괴를 야기시킨다<sup>[5,6]</sup>. 또한 트랩발생은 TDDB(Time Dependence Dielectric Breakdown)에 비례하며, 이러한 산화막 절연파괴는 열적현상에 기인하는 고누설전류 통로가 형성되기 때문에 양극과 음극 사이에서 국부적으로 발생된다. 얇은 게이트 산화막의 감쇄를 수반하는 스트레스전압은 전하주입에 따른 계면상태의 전하밀도에 의존한다. 실리콘 산화막 계면에 트랩된 전하의 수는 스트레스전압 인가 후 계면전하의 수 및 표면전위의 함수로 나타내며, 고스트레스 전압 동안 실리콘 산화막 계면의 계면트랩밀도는 전류량과 전계의 함수이다.

얇은 실리콘 산화막의 감쇄를 파악하기 위해서 스트레스 유기 누설전류에 의한 연구를 실행하여야 한다. 스트레스 유기 누설전류의 측정, 분리 그리고 특성은 산화막에서 트랩의 충전과 방전에 의한다. 그리고 산화막을 통하여 완전히 흐르지 않는다. 얇은 산화막에서 스트레스 유기 누설전류는 스트레스 전압, 스트레스 시간에 따라 비례한다. 스트레스 유기 누설전류는 비휘발성 터널링 산화막의 스케일링 다운의 한계를 나타낸다. 본 연구에서 스트레스 유기 누설전류는 얇은 실리콘 산화막 소자의 설계시 고려되어야 하며 얇은 실리콘 산화막 누설전류를 조사하여 신뢰성을 향상시키고자 한다.

## II. 실험

실리콘 산화막은 n형 실리콘 기판에 LOCOS 과정과 n<sup>+</sup>실리콘 게이트를 사용하여 제작하였다. 산화막의 두께는 113.4Å에서 814Å까지이다.

스트레스전압에 따른 전압 전류특성은 IV Meter (4140B, HP), Arbitrary Wave Function Generator(395, WaveTek) 그리고 Micro Manipulator Probe Station을 연결하여 측정하였다. 이 때 캐패시터의 스트레스전압은 IV Meter(4140B, HP)의 전압원을 사용하여 인가하였다. 마이크로 매니플레이터는 차폐상자(Shield Box)로 완전 차폐하였으며 웨이퍼(Wafer) 상단에서 3차원 축으로 동작하는 Tip을 사용하였다. 웨이퍼는 3차원 축으로 동작하는 척에 고정시키기 위해서 진공펌프를 사용하였다. IV Meter(4140B, HP)는 램프전압과 고정전압에 의한 전류를 측정하기 위해서 사용하였으며, 측정 범위는 10<sup>-15</sup>[A]였다. Test Lead Fixture의 Stray 전류 및 캐패시턴스는 오프셋 키에 의해 최소화하였다. 측정되어진 데이터는 HPVEE로 데이터 파일을 전송하여 분석하였다.

전압에 대한 산화막 전류밀도의 램프 전압 측정조건은 시작전압, 종전압, 단계전압, 단계시간, 유지시간 그리고 스위칭을 변화시키면서 실행하였다. 고스트레스전압은 고정전압과 고정시간에 대하여 수행하였다. 스트레스전류와 전이전류에 대한 시간의 측정은 고스트레스전압을 인가하였을 때와 인가 후를 측정하였다.

## III. 결과 및 고찰

산화막 두께 113.4Å인 소자에서 측정을 위한 전하량은 각각 5C/cm<sup>2</sup>, 0.1C/cm<sup>2</sup>, 0.002C/cm<sup>2</sup> 그리고 0.00002C/cm<sup>2</sup>로 설정하여 측정하였다. 실험에 사용한 스트레스전압과 전하량의 관계를 <그림 1>에 나타내었다.

스트레스전압을 인가하는 동안에 흐르는 전류는 실리콘 산화막 장벽을 통하는 터널링 전류이다. 그리고 이러한 터널링 전류는 스트레스전압에 지수적으로 비례한다. 산화막에 흐르는 총 전류량은 스트레스 시간에 의해 결정되며 스트레스 시간은 1초부터 45,000초까지 설정하여 실험을 수행하였다. 가장 작은 전류량은 준안정 CV 특성의 변화를 측정하기 위한 최소 스트레스 레

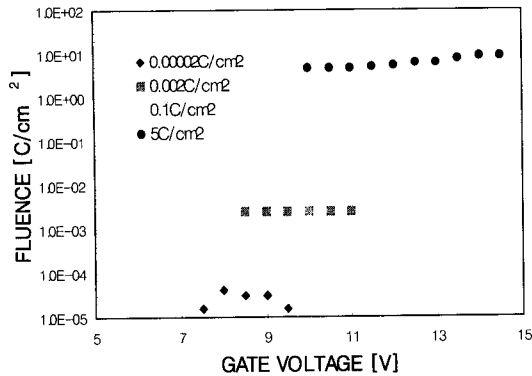


그림 1. 스트레스전압과 전류량의 관계  
Fig. 1. The relationship between fluences and stress voltages.

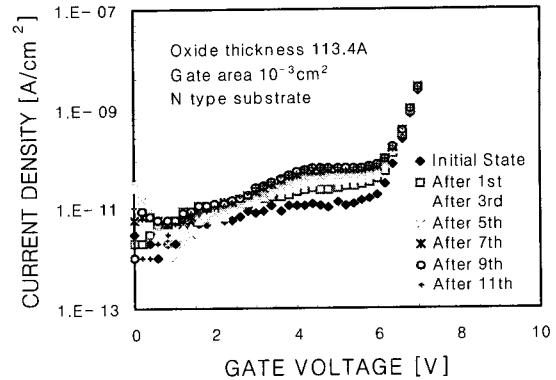


그림 3. 반복적인 양게이트 전압에 대한 연속적인 저레벨 전압전류특성  
Fig. 3. Successive low level current voltage characteristics for repetitive positive gate voltages.

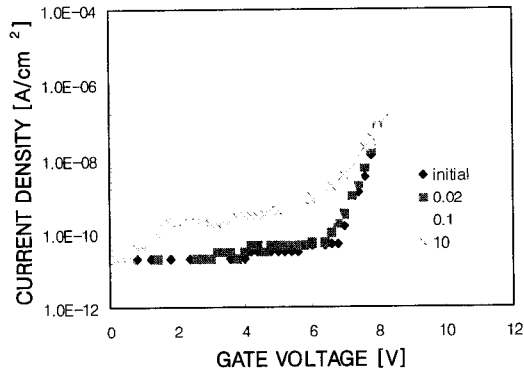


그림 2. 스트레스 전압 전후 전압 전류 특성  
Fig. 2. Current voltage characteristics before and after stress voltage.

벨이다. 그리고 가장 큰 전하량은 스트레스전압 동안 파괴현상이 나타나지 않는 양이다. 고스트레스전압인 전하량  $10C/cm^2$ 에서 불규칙적인 파괴현상이 나타났다.

산화막 전류는 스트레스 전압에 의해 영향을 받는다. 저레벨 누설전류는 증가하고 터널링 전류는 감소한다. 저레벨 누설전류는 스트레스 전압, 스트레스 시간, 스트레스 전류량, 스트레스 전압의 극성 그리고 스위칭에 의해 변화한다. 이러한 저레벨 누설전류의 변화는 스트레스에 의해 산화막 내에서 발생된 계면트랩과 벌크트랩에 비례한다.

산화막 두께  $113.4\text{\AA}$ 인 소자에서 스트레스 전하량에 대한 산화막 전압 대 산화막 전류밀도 특성을 <그림 2>에 나타내었다.

스트레스전압을 인가하지 않은 상태 즉, 초기상태의 산화막에 대한 전압 대 전류밀도를 측정한 상태와 스트레스전압을 인가하고 난 후 산화막에 대한 전압 대

전류밀도의 측정을 비교하면 스트레스전압에 따른 저전압 누설전류가 증가함을 보여 주고 있다. 또한 스트레스전하량이 증가함에 따라 저전압 누설전류가 증가함을 보여주고 있다. 산화막 터널링전류는 계면트랩밀도와 산화막 전하에 기인하는 장벽의 형태변화에서 유기된다. 스트레스전압 인가 후, 저전압 누설전류의 분리는 산화막을 통한 균일한 스트레스 유기 트래핑에 기인하는 넓어진 장벽의 효과이다. 고스트레스 전압을 인가하고 난 후, 스트레스전류는 산화막에서 전자의 스트레스 유기 트래핑에 의해 감소한다. 산화막 터널링 전류는 산화막을 통해 균일하게 유기되는 전하량에 의존한다. 전압전류 밀도특성에서 저전압 유기 누설전류의 변화는 스트레스 전하량이  $0.01C/cm^2$ 부터 변화하기 시작하였다.

고스트레스 전압을 유기하고 난 후, 게이트 전압에 대한 산화막전류 밀도는 저레벨 누설전류에서는 비례하여 나타났지만 게이트 전압이 약 8V정도에서 고스트레스전압에 의한 전류밀도의 증가는 감소되어 나타남을 알 수 있다. 이러한 현상은 고스트레스 전압에 의한 산화막의 계면전하밀도가 깊은 트랩에 의한 영향이다.

n형 실리콘 기판에 제작된  $113.4\text{\AA}$  산화막에서 스트레스를 인가하지 않은 초기상태부터 반복적인 스위칭을 계속하면서 측정한 전압 전류밀도의 특성을 <그림 3>에 나타내었다.

<그림 3>은 각 단계의 스위칭된 스트레스 총전류량은  $2.80 \times 10^{-3}C/cm^2$ 이었으며 정게이트 전압을 반복적으로 인가하면서 측정한 결과이다. 초기상태의 전류 전압특

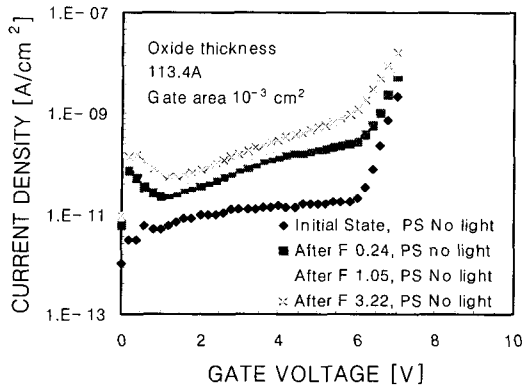


그림 4. DC 스트레스 후 양게이트 전압에 대한 전압 전류 특성  
Fig. 4. Current voltage characteristics for positive gate voltages after DC stress.

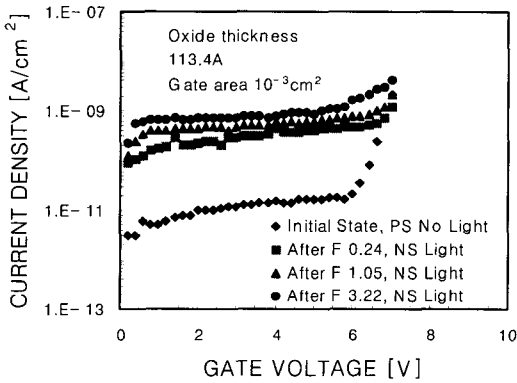


그림 5. DC 스트레스 후 음게이트 전압에 대한 전압 전류 특성  
Fig. 5. Current voltage characteristics for negative gate voltages after DC stress.

성으로부터 스트레스를 인가하고 난 후, 측정된 전류 전압의 특성에서 저레벨 누설전류가 증가함을 보여주고 있다. 이때 반복적인 스트레스가 증가할수록 저레벨 누설전류가 증가함을 보여주고 있다. 이와 같이 초기상태에서부터 스위치에 의한 반복적 스트레스 전류량에 의해 저레벨 누설전류는 증가함을 보여주고 있다.

스트레스 전압을 인가하고 난 후 양게이트 전압에 대한 전압 전류 특성을 측정된 결과는 <그림 4>와 같다.

<그림 4>는 직류 스트레스 전압을 100초 동안 인가하여 각각의 전류량이 0.24, 1.06, 3.22 C/cm<sup>2</sup>일 때 빛을 조사하지 않고 양게이트 전압을 스위치하면서 측정된 전압 전류특성이다.

그림에서 알 수 있는 바와 같이 초기의 스트레스에

는 저레벨 누설전류의 증가율이 크게 증가하였으나 반복적인 스트레스가 계속적으로 인가되어도 저레벨 누설전류의 증가량이 작게 증가됨을 알 수 있다. 스트레스의 전류량이 증가할수록 터널링 온 전류의 변화율이 작아짐을 알 수 있다. 터널링 온 전압의 변화는 스트레스 전류량이 적을 때보다 스트레스 전류량이 클 때 증가함을 알 수 있다.

직류 스트레스 전류량에 따른 음게이트 전압에 대한 전압 전류특성은 <그림 5>와 같다.

<그림 5>에서 알 수 있는 바와 같이 게이트 전압을 음방향으로 스위치할 때는 소수캐리어를 발생시켜 터널링 전류를 만들기 위해서 빛을 조사하였다. 음게이트 전압을 사용하여 측정된 전압 전류는 각각의 연속적인 측정으로 스트레스 전류량을 변화시켜 가면서 측정하였다. 2V와 5V사이의 음게이트 전압에 대한 저레벨 누설전류의 증가는 고전압 스트레스 전류량에 따라 증가하였다. 이때 스트레스 전류량은 각각 0.24, 1.05, 3.22C/cm<sup>2</sup>이었다.

전압과 전류밀도의 데이터는 HP4140B에 적분 시간을 사용하여 0.2초마다 0.2V의 스텝 전압을 인가하면서 측정하였다. n형 실리콘 기판에서 제작된 소자에 양음 게이트 전압을 인가하면서 측정된 전압 전류밀도 특성이 유사한 형태의 실험치를 얻었다. n형 기판에 빛을 조사하는 것은 소수 캐리어를 발생시켜 안정된 공간 전하층을 형성하기 위함이다.

스트레스를 인가하고 난 후 양음 게이트 전압을 인가하면서 측정된 전압 전류특성을 측정된 데이터는

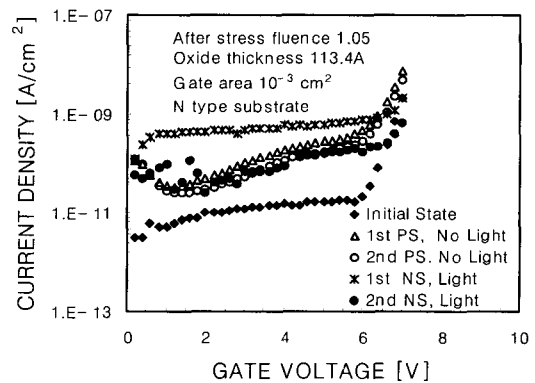


그림 6. 스트레스 전류량 1.06C/cm<sup>2</sup> 후 양과 음 게이트 전압에 대한 전압전류 특성  
Fig. 6. Current voltage characteristics for negative and positive gate voltages after stress fluence 1.06C/cm<sup>2</sup>.

<그림 6>과 같다.

<그림 6>은 초기상태에서 스위프 스트레스 전류량  $1.06\text{C}/\text{cm}^2$ 를 인가하고 난 후 양음 게이트 전압에 대한 전압 전류밀도를 측정된 것이다. 초기상태에 대한 2V에서 5V사이의 저레벨 누설전류는  $1.00 \times 10^{11} \sim 1.60 \times 10^{11} \text{A}/\text{cm}^2$ 이고 스위프 스트레스 전류량  $1.06 \text{C}/\text{cm}^2$ 를 인가하고 난 후, 첫 번째 양게이트 전압에 대한 전류량의 변화는  $5.00 \times 10^{11} \sim 2.76 \times 10^{12} \text{A}/\text{cm}^2$ 이고 두 번째 양게이트 전압에 대한 전류량 변화는  $3.00 \times 10^{11} \sim 1.76 \times 10^{12} \text{A}/\text{cm}^2$ 이었다. 스위프 스트레스 전류량  $1.06\text{C}/\text{cm}^2$ 를 인가하고 난 후, 첫 번째 음게이트 전압에 대한 전류량의 변화는  $4.50 \times 10^{10} \sim 6.15 \times 10^{10} \text{A}/\text{cm}^2$ 이고 두 번째 음게이트 전압에 대한 전류량 변화는  $2.60 \times 10^{11} \sim 1.52 \times 10^{10} \text{A}/\text{cm}^2$ 이었다. 고스트레스 전압을 인가한 후 양음 저레벨 전압 전류특성을 측정하고 다시 양음 저레벨 전압 전류특성을 측정하면 첫 번째 전류특성보다 같은 형태의 낮은 값을 나타낸다. 그리고 양게이트 전압 전류보다 음게이트 전압 전류의 감소가 더 큼을 알 수 있다.

스윙 단계전압을 변화시키면서 측정된 전압 전류특성은 <그림 7>과 같다.

<그림 7>은 스위프 전압을 0.2V, 0.4V, 0.6V, 0.8V, 1.0V로 변화시켜 전압 전류특성을 측정하였다. 스위프 전압의 변화율이 증가할수록 저레벨 누설전류의 변화율이 증가함을 알 수 있다.

고스트레스 전압에 의한 저레벨 누설전류는 산화막에 발생된 트랩에 관계된다. 저레벨 누설전류의 증가는 스트레스에 의한 산화막 내의 발생된 트랩의 수에 비

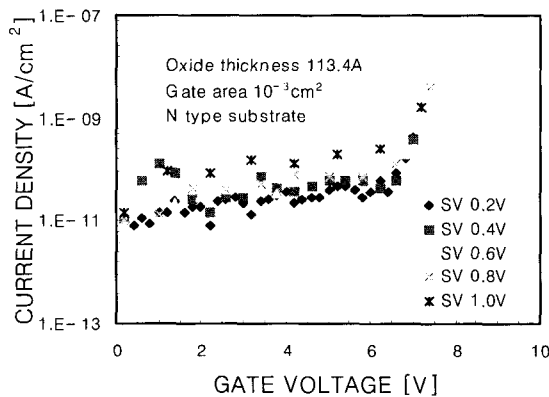


그림 7. 게이트 전압에 따른 전압 전류 특성  
Fig. 7. Current voltage characteristics according to the step gate voltage.

례한다. 트랩은 산화막 계면 및 산화막 전체에 분포되어 있다. 스트레스에 의해 발생된 양음 게이트 전압에 의한 저레벨 누설전류의 대칭성은 산화막에 발생된 트랩이 전체에 분포되었음을 나타낸다. 계면트랩과 벌크 트랩은 스트레스 전류량에 비례한다.

#### IV. 결 론

얇은 실리콘 산화막에서 고스트레스 전압에 의한 스트레스 유기 누설전류를 측정하여 다음과 같은 결론을 얻었다.

1. 스트레스 전압이 증가할수록 스트레스 유기누설전류는 증가하였으며 반복적인 스트레스에도 증가하였다.
2. 양 음 게이트 전압에 의한 스트레스 유기누설전류는 같은 형태의 전압 전류특성이 나타났다.
3. 스트레스를 인가하고 난 후, 반복적인 스트레스 유기 저레벨 누설전류의 측정에서 저레벨 누설전류가 감소하는 것으로 나타났다.
4. 스트레스 전압에 의한 스트레스 유기누설전류의 증가는 산화막에 발생된 트랩의 충전과 방전에 의해 발생함을 알았다.
5. 트랩의 변화상태는 스트레스와 스트레스 유기전류의 측정방법에 의해 스트레스 유기누설전류를 변화시켰다.

#### 참 고 문 헌

[1] S. Bruyere, E. Vincent, G. Ghibaudo, "Stress Induced Leakage Current in Very Thin Dielectric Layers: Some Limitations to Reliability Extrapolation Modeling", Microelectronics Reliability, Vol. 39, pp. 209~214, 1999.

[2] B. D. Salvo, G. Ghibaudo, G. Pananakakis, B. Guillaumot, G. Reibold, "Study of Stress Induced Leakage Current by Using High Resolution Measurements", Microelectronics Reliability, Vol. 39, pp. 797~802, 1999.

[3] A. S. Spinelli, A. L. Lacaita, D. Minelli, G. Ghidini, "Analysis of Space and Energy Distribution of Stress Induced Oxide Traps", Microelectronics Reliability, Vol. 39, pp. 215~

- 219, 1999.
- [4] P. Riess, G. Ghibaudo, G. Pananakakis, "Analysis of the Stress Induced Leakage Current and Related Trap Distribution", Applied Physics Letters, Vol. 75, No. 24, pp. 3871~3873, 1999.
- [5] B. Ricco, A. Pieracci, "Tunneling Bursts for Negligible SILC Degradation", IEEE Transactions on Electron Devices, Vol. 46, No. 7, pp. 1497~1500, 1999.
- [6] E. Miranda, J. Sune, R. Rodriguez, M. Nafria, X. Aymerich, L. Fonseca, F. Campabadal, "Soft Breakdown Conduction in Ultrathin Gate Dielectrics", IEEE Transactions on Electron Devices, Vol. 47, No. 1, pp. 82~89, 2000.

---

 저 자 소 개
 

---

姜 昌 秀(正會員)

1982年 2月 : 光云大學校 工學士 學位 取得. 1986年

2月 : 漢陽大學校 大學院 工學碩士 學位 取得. 1992年

2月 : 光云大學校 大學院 工學博士 學位 取得. 1996年

12月 : Clemson University(U.S.A) Post Doctor.