

Software-Defined Radio Technology의 개요

광운대학교 전자공학부 부교수 김 종 현

차 례

1. 서론
2. SDR의 응용
3. SDR의 구조
4. SDR의 주요 소자들
5. 참고문헌

1. 서론

1990년대 반도체소자 개발의 진전으로 인하여 가능한 한 많은 디지털 기술을 사용한 무선 장비들의 구현이 가능해졌으며 무선통신 시스템에서 고속의 통신 신호들을 처리할 수 있게 되었다. 따라서 디지털 기술을 이용한 무선통신 시스템들은 아날로그기술을 주로 이용한 기존의 무선 시스템들에 비하여 보다 많은 융통성 (flexible)과 적응성 (adaptable)을 갖게 되었다. 이러한 기술을 Software-Defined Radio (SDR) 또는 Software Radio라고 부른다.

1995년 IEEE Communication Magazine에서는 SDR에 대한 특집을 다루었다. 그때부터 이 분야에 대한 관심과 이에 관련된 많은 보고서들이 발표되었다. 초창기에 구현된 SDR 중의 하나로는 SpeakEASY가 있다. 이것은 미국 군사용 SDR로서 디지털 주파수 변환과 광대역 신호 처리와 아날로그 소자, A/D 변환기, DSP와 같은 모듈들이 집적될 수 있다는 것을 보여주었다. 오늘날, 대부분의 무선 송신기와 수신기들은 수 십년 전에 사용했던 것과

유사하다. 이것들은 특정한 형태의 파형을 필터링하고 변/복조하기 위한 아날로그 회로들로 구성되어 있다. 그러나 무선 시스템들을 보다 융통성 있게 만들기 위해서 최근에는 통신과 방송분야를 위한 SDR이 개발되고 있다.

SDR은 단일 하드웨어 플랫폼에 다양한 송/수신기 프로그램들을 모두 수용한다. 수신기에서의 프로그램들은 대역 통과 필터링, 자동 이득 조절, 주파수 변환, 저역 통과 필터링 그리고 회망 신호의 복조 등을 수행하며 송신기에서도 마찬가지이다. 디지털적으로 다루어지는 많은 기능들의 최대화는 무선이 디지털 신호처리 회로의 융통성의 장점을 이용할 수 있도록 해준다.

2. SDR의 응용

SDR기술은 무선 통신과 방송의 모든 분야에 응용될 수 있다. 여기서는 SDR의 두 가지 대표적인 응용 분야인 셀룰라 폰과 무선 LAN에 대해서 살펴보도록 한다.

2.1 셀룰라 폰

그림 1은 전 세계적으로 셀룰라 폰의 수를 예측한 표이다. 제 1세대 아날로그 셀룰라 폰의 수가 감소하는 반면 제 2세대 셀룰라 폰의 수가 증가하고 아울러서 제 3세대 CDMA 셀룰라 폰의 수도 증가하여 2002년에는 100 mil.에 도달할 것으로 예측하였다. 구시대 시스템들은 결국에 가서는 신세대 시스템으로 교체될 것이긴 하지만 다중 표준들이 공존하는 기간이 있게 마련이다. 만일, 같은 셀룰라 폰 단말기 또는 기지국이 단지 시스템상의 소프트웨어 만 변경하므로 서로 다른 서비스들을 위해서 사용된다면 매우 편리할 것이다.

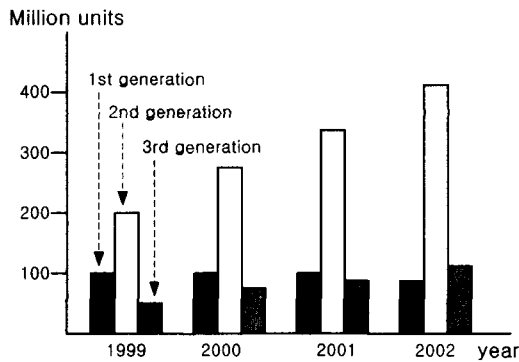


그림 1. 전 세계적 셀룰라 폰의 수요

이와 같은 software-defined 셀룰라 폰 시스템이 얼마나 실현 가능하게 될 것인가는 단지 편리함만

이 아니라 이들의 성능, 전력소모, 비용 그리고 다른 사업 변수들에 달려있다. 소프트웨어가 디지털 하드웨어 동작을 변경할 수 있기 때문에 하드웨어는 단지 다른 소프트웨어의 다운로드에 의해서 여러 가지 구성으로 설치될 수 있게 된다. 만일, 다운로드가 가능한 소프트웨어가 제한적이라면 SDR은 재구성성의 역량에 대해서 그다지 장점을 갖지 못하게 된다. 그러나 서로 다른 셀룰라 폰 시스템들을 수용할 수 있는 다운로드가 가능한 다수의 소프트웨어들이 존재하게 되면 이것은 경제적으로 보다 유용하게 된다.

SDR의 장점들 중의 하나는 다중 표준화들을 지원하기 위해서 쉽게 변경될 수 있다는 것이다. 따라서 사용자가 서로 다른 표준을 사용하는 지역으로 이동하게 될 때 각 표준들에 맞도록 스스로 재구성될 것이다. SDR 기술은 또한 셀룰라 네트워크 기지국에 응용될 수 있다. 무선 기지국 설계에 대한 새로운 접근은 명확한 여러 가지 이점들을 가지게 된다: 소형화, 집적화, 기지국의 전력소모. 보다 중요한 것으로는 언제든지 필요할 때마다 air interface의 여러 가지 표준, 변조 방식 그리고 프로토콜들을 동시에 지원할 수 있다는 것이다.

일반적인 셀룰라 기지국에 있어서, 각 채널은 하나의 대역에 맞도록 조정된 수신기를 갖는다. 이러한 수신기들의 각각은 전력과 크기 그리고 비용을 요구하며 하나의 기지국에 이러한 많은 수신기들이 있다. 단지 이들 채널들이 비싸다는 것뿐만 아니라 이들은 주어진 air interface, 변조 기준에 대하여 고정되

	GSM	IS-54/136	PDC	IMT-2000	IS-95
Transmitter Freq. (MHz)	890-915	824-849	940-956/ 1477-1501	1920-1980	1850-1910
Receiver Freq. (MHz)	935-960	869-894	810-826/ 1429-1453	2110-2170	1930-1990
Bandwidth (MHz)	25	25	16/24	60	60
Modulation	GSMK	/4 DQPSK	/4 DQPSK	BPSK/QPSK	BPSK/QPSK

표 1. 셀룰라 폰의 여러 가지 표준

	Bluetooth	HomeRF (SWAP)	IEEE 802.11	BRAN	Wireless 1394/ IEEE 802.11a/MMAC
Freq. (GHz)	2.4	2.4	2.4	5	5
Data rate (Mbps)	1	2	2	54	54
Modulation	FH	FH	FH/DS	OFDM	DMT/OFDM

표 2. 제안된 무선 LAN 표준

어 있다. 그러나 새로운 접근 방식은 전체 셀룰라 대역에 대해 하나의 고성능 광대역 무선 수신기만을 사용하게 된다. 그래서 각 채널들을 선택하여 수신하기 위해서 디지털 믹싱과 필터링이 사용되며 신호 처리는 모두 디지털로 이루어진다. 더욱이, 디지털 단의 융통성은 기지국이 새로운 표준으로 동작하려고 하면 다시 프로그래밍만 해 주면 된다는 의미를 포함한다. 표 1은 최근의 여러 가지 셀룰라 폰 표준의 파라미터들을 보여준다. 표에서 보듯이 전송과 수신을 위한 주파수와 대역폭 그리고 변조 형식들이 서로 다른 것을 알 수 있다.

이처럼 표에 있는 모든 시스템들을 수용하려는 SDR을 구현하기 위해서는 다음과 같은 용량들이 요구된다:

- 800~2000 MHz사이 주파수 대역을 다룰 수 있는 RF 송신기와 수신기
- 60 MHz이상까지의 대역폭
- GMSK와 QPSK와 같은 변조 형식
- CDMA Spread Spectrum

2.2 무선 LAN

무선 LAN을 위해서 대부분 사용되는 주파수는 ISM 대역이라고 불리는 2.4 GHz 대역이다. ISM 대역의 사용에 관련한 법규들은 그렇게 엄격하지 않다. 결과적으로 많은 호환성이 없는 ISM대역 무선 LAN 표준들이 제안되었고 개발되었다. 반면에, 새로운 무선 LAN들은 표 2에서와 같이 제안되고 있다. 만일에 이러한 표준들을 수용한다면 비호환성 문제는 오늘날보다는 덜 심각하게 될 것이다. 그러나 앞으로도 제안된 모든 무선 LAN 표준들을 다룰 수 있는 요구들이 생길 것이다. 여기에서도 SDR 기술은 서로 다른 무선 LAN 표준을 다루기 위해 적용될 수 있다. SDR 기술은 빠르게 변화하는 무선 LAN 표준들에 맞추도록 시스템을 재구성하기 위해서 매우 유용하다.

표에 있는 모든 무선 LAN들을 위한 SDR을 만들기 위해서는 다음과 같은 용량들이 요구 된다:

- 2.4~5 GHz 사의 주파수로 다룰 수 있는 RF 송수신기
- 54 Mbps의 Data rate
- Direct sequence (DS), frequency hopping (FH) spread spectrum, OFDM

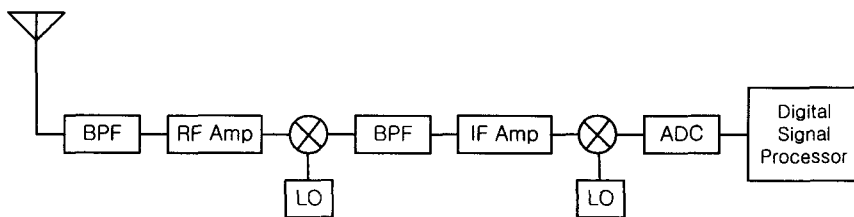


그림 2. 기존 협대역 수퍼헤테로다인 수신기 구성도

3. SDR의 구조

SDR의 정의는 기존 무선시스템과의 비교를 통해서 쉽게 이해될 수 있다. 기존 협대역 슈퍼헤테로다인 수신기는 그림 2와 같다.

기존의 슈퍼헤테로다인 무선 수신기에서는 안테나로부터 RF 신호들이 수신되고 이것은 대역 통과 필터를 통해간다. 전송된 RF로부터 IF로의 주파수 변환은 믹서에서 RF신호와 LO신호의 곱에 의해서 수행된다. 채널 선택도를 얻기 위해서 높은 주파수 IF로부터 낮은 주파수 IF으로의 추가적인 변환들이 추가적인 믹서와 LO 신호들을 사용하여 수행될 수 있다. 그 다음 ADC는 마지막 IF 단으로부터 나오는 출력을 샘플링하고 디지털 데이터는 DSP 회로에 의해서 처리된다. 안테나로부터 ADC까지의 소자들은 모두 아날로그 회로들이다. 만일 여러 단의 down-conversion이 존재한다면 보다 많은 아날로그 소자들이 필요하다. 아날로그 소자들은 신호 처리 용량들에 제한을 받게 된다. 이것은 광대역 슈퍼헤테로다인 무선 수신기를 만들기 어렵게 한다. 왜냐하면 아날로그 필터들은 일반적으로 고정된 협대역 필터들이기 때문이다. 더욱이, 아날로그 소자들은 온도변화와 노화 영향을 받기 쉬우며 또한 제작의 일관성 문제들을 가지고 있으며 실험실에서의 많은 실험과 조정이 필요하다. 만일, 아날로그 소자들의 수를 줄이게 된다면 무선시스템을 단순화 할 수 있으며 결과적으로 높은 신뢰도와 비용을 줄일 수 있게 된다.

3.1 IF-sampled SDR

가장 최선의 방법은 모든 중간의 아날로그단을 디지털 회로로 대체해서 안테나가 직접 ADC로 연결되는 것이다. 만일 수신된 RF신호가 수백 MHz 또는 그 이상의 영역에 있다면 100 MHz까지의 sampling rate를 갖는 오늘날의 반도체 ADC기술을 사용해서는 불가능하다. 결과적으로 오늘날 구현 가능

한 SDR은 RF신호들을 IF신호들로 변환하는 아날로그 소자들과 ADC 그리고 IF 신호들을 처리하는 디지털 신호로 구성된다 (그림 3).

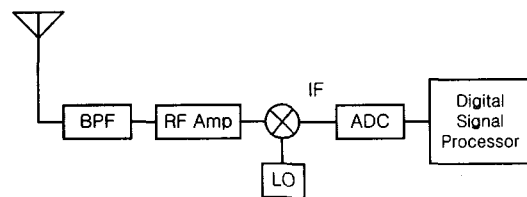


그림 3. IF-sampled SDR 구성도

상대적으로 높은 주파수의 IF신호들을 샘플링하기 위해서 undersampling이라고 하는 기술이 사용될 수 있다. Nyquist 샘플링 이론은 aliasing을 피하기 위해서 샘플링 되어야만 신호가 이 주파수의 2배로 샘플링 되어야 한다는 것을 의미한다. 만일 중간 주파수 f 가 Nyquist sampling rate이하로 샘플링 되었다면 일반적으로 오늘날의 ADC기술에 대해서 매우 빠른 $2f$ 의 sampling rate가 요구된다. ω 의 대역폭을 갖는 대역통과 필터링된 신호의 undersampling은 2ω 의 sampling rate에서 샘플링 될 수 있다. 예를 들면, 70 MHz IF 중심주파수와 6 MHz 대역폭을 갖는 CDMA신호는 12 Msps ADC 사용할 수 있다. Undersampling이 된 후에 6 MHz이상의 주파수를 갖는 신호소자들 모두는 필터링된다. Undersampling기술을 사용하여 IF주파수보다 느린 sampling rate를 갖는 ADC가 사용될 수 있다. 여기에는 소위 near-zero intermediate frequency technology라고 불리는 IF기술이 있다. Near-zero IF기술에서 중간주파수는 DC에 매우 가깝다. 신호의 대역폭이 B라면, near-zero IF 주파수는 B만큼 낮아질 수 있다. 이 아날로그 신호는 Nyquist sampling rate로 샘플링 된 디지털 신호로 변환된다. Near-zero IF의 장점은 direct conversion radio의 경우처럼 DC offset 문제들이 발생하지 않는다는 것이다.

3.2 Direct Conversion SDR

Direct conversion SDR에서는 그림 4에서처럼 RF 신호들이 quadrature 믹서에 의해 직접 baseband로 변환된다.

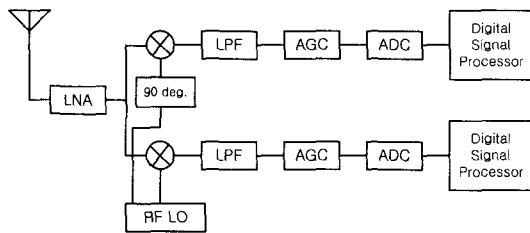


그림 4. Direct conversion SDR 구성도

믹서들은 in-phase (I)와 quadrature-phase (Q) 신호들을 출력하고 이들 신호들은 저역 통과 필터링되며 디지털적으로 샘플링되기 전에 이득 제어된다. 여기서, 아날로그 필터는 광대역 주파수영역을 통과시키고 이 영역 내에 있는 희망 대역은 디지털 필터에 의해서 선택될 수 있다 (그림 5).

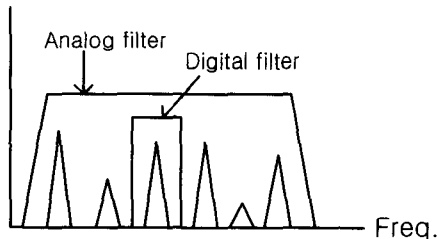


그림 5. 디지털 필터에 의한 희망 신호의 선택

이 기술은 예를 들면 서로 다른 캐리어 주파수들과 서로 다른 대역폭을 사용한 다중 표준들이 한 장치에 의해서 수신되어야만 할 때 매우 유용한 기술이다. 그러나 direct conversion 수신기를 위해서 풀어야만 하는 몇가지 문제점들이 있다:

- DC offset
- Non-linearity distortion

DC offset은 RF회로로부터 DC소자가 직접 변조된 복조신호와 믹싱되는 문제이다. Non-linearity distortion은 RF소자들의 비선형성이 복조된 신호에서 왜곡을 발생시키는 문제이다. 이들 문제들은 아날로그 회로 그리고 디지털 처리에 의해서 조절될 수 있다.

4. SDR의 주요 소자들

SDR의 주요소자들로는 크게 다음과 같은 세 가지로 나눌 수 있다:

- MMIC RF 소자
- ADC
- DSP

4.1 MMIC RF 소자

MMIC기술은 단일 칩 상에 RF소자들을 집적하기 위해서 사용되는 기술이다. RF소자들은 트랜지스터와 같은 능동소자들과 저항, 캐패시터, 인덕터와 같은 수동 소자들을 포함한다. MMIC를 위해 사용되는 두 가지 물질이 있다:

- GaAs
- Si

GaAs는 일반적으로 1~100 GHz의 주파수 영역에서 사용되며 Si는 10 GHz이하의 주파수에서 주로 사용된다. CMOS기술이 발전하고 있어서 CMOS 집적회로가 향후 몇 년 내에 수 GHz의 주파수들을 다룰 수 있게 될 것이다. 만일 CMOS 아날로그 RF 소자들이 사용 가능하게 된다면 RF 아날로그 신호들뿐만 아니라 디지털 신호들까지도 같은 칩 상에서 모두 처리할 수 있게 될 것이다.

4.2 ADC

ADC의 성능을 결정하는 주요 파라미터들은 두

가지이다:

- Sampling rate
- Number of bits per sample

DR에서 undersampling을 사용하게 되면 sampling rate은 대역 통과 필터링된 신호 대역폭의 두 배보다 더 커야만 한다. 기존의 접근 방식에서는, 각 무선 시스템은 단지 협대역만을 다룬다. 간섭 신호들을 필터링해서 제거함으로써 수신기는 희망 신호만을 다룬다. 그러나 광대역 수신기에서는 어떠한 신호도 필터링하지 않게 되므로 광대역 신호가 존재하게 된다. 결과적으로 수신기는 미약신호를 정확하게 재생하기 위해서 충분한 선택도를 위한 매우 넓은 dynamic range를 가져야 한다. 또한 이것은 매우 선형적이어야만 한다. ADC의 성능 측정은 2mFs로 표시된다. 여기서 m은 number of bits of a sample이고 Fs는 sampling range이다.

4.3 DSP

중간주파수 신호가 ADC에 의해 샘플링되면 IF 주파수 아래 신호들은 디지털적으로 처리되어야 한다 (그림 6).

ADC로부터 digitize된 IF신호는 DSP에 의해서 낮은 속도의 신호처리를 수행하기 전에 down-covert와 필터링 그리고 decimated 된다. 낮은 속도의 신호처리는 여러 수정을 포함한 채널 디코딩과 데이터 decomposission, description과 같은 소스 코딩을 포함한다. IF신호와 같은 고속 신호들의 신호처리는 매우 고속의 신호 처리 회로들을 요구한다. 일반적으로 속도는 수천 MISP(million in-

structions per second)보다 높아야 한다.

적합한 집적 회로들은 다음과 같다:

- DSP(Digital Signal Processors)
- FPGA(Field Programmable Gate Array)
- ASIC(Application Specific Integrated Circuit)

DSP칩은 일반적인 CPU와 같이 메모리로부터 명령과 데이터를 불러와서 신호처리를 하며, 연산과 결과들을 다시 메모리에 저장한다. DSP칩과 CPU 칩과의 다른 점은 DSP칩은 보통 고속신호처리를 수행하는 MAC (Multiply and Accumulator)이라고 불리는 하나의 블록을 갖는다. 메모리에서 서로 다른 루틴들을 불러오으로써 DSP 칩은 여러 가지 기능들을 수행하기 위해서 재구성될 수 있다. 상용화 되어 사용할 수 있는 고속 DSP칩으로는 Texas Instruments의 TMS320C6202와 Analog Device의 ADSP-21160M SHARC 등이 있다.

ASIC은 고정된 특수 임무를 수행하기 위해서 설계되는 집적 회로이다. 신호 처리 목적의 ASIC으로는 DDC (Digital Down Converter)와 디지털 필터 칩들이 있다. ASIC의 단점은 사용자가 칩의 기능을 변경할 수 없다는 것이다.

FPGA는 임무를 하드웨어에 mapping 함으로써 어떤 임무도 수행할 수 있다. 반면에 FPGA는 ASIC이 할 수 없는 재구성 (reconfiguration)이 가능하다. 재구성 가능성은 필요한 만큼 자주 칩 상에서 구성된 데이터를 변화시키므로 어떤 사용자 하드웨어든지 구현이 가능하게 하는 FPGA를 가능하게 하는 하나의 특성이자. Xilinx사의 vertex와 같

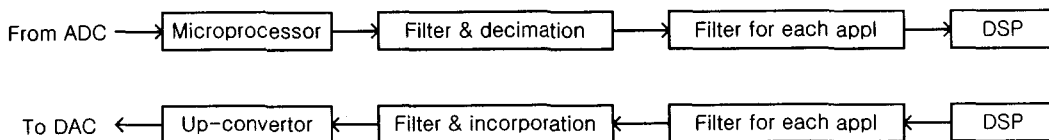


그림 6. IF sampled SDR을 위한 디지털 처리 과정

이 한 FPGA 칩에 구현 할 수 있는 게이트의 수가 100,000~1,000,000 정도로 ASIC의 수백만 게이트보다는 작지만 이러한 재구성 가능성 때문에 SDR에서 매우 유용하다. 전형적인 FPGA들은 재구성이 가능한 look-up table의 array로 구성되어 있다. FPGA구조에 적합한 특수한 신호처리 알고리즘으로는 distributed arithmetic algorithm과 같은 것들이 개발되었다. Distributed arithmetic method는 고속신호처리를 위한 look-up table들

을 사용하며 이들은 LUT-based FPGA를 매우 유용하게 만든다. FPGA 구조의 장점을 이용한 많은 다른 응용들이 향후 나타날 것이다. 몇몇 업체들이 개발하고 있는 FPGA의 특성은 dynamic reconfiguration이다. 예를 들면 Xilinx사의 Jbits tool은 FPGA가 동작하는 동안에 FPGA 일부 구성을 변경할 수 있도록 해준다. 이것은 아직까지 새로운 기술이긴 하지만 매우 유용한 수단이 될 것으로 전망한다. 이상에서 언급된 칩들 사이에서 일

	FPGA chip	DSP chip
Programming Language	VHDL, Verilog	C, Assembly language
Ease of Software Programming	Fairly easy. However, a programmer needs to understand the hardware architecture before programming.	Easy
Performance	Can be very fast if an appropriate architecture is designed.	Speed is limited by the clock speed of DSP chip.
Reconfigurability	SRAM type FPGAs can be reconfigurable for infinite times.	Can be reconfigurable by changing a program memory content.
Reconfiguration method	Reconfiguration is done by downloading configuration data to a chip electronically.	Reconfiguration is done by simply reading program at different memory address.
Areas where FPGAs can outperform DSPs, or vice versa.	FIR filter, IIR filter, correlator, convolver, FFT, etc	Signal processing program of sequential nature
Power consumption	Can be minimized if the circuit is designed to save power, or if the power is dynamically controlled.	Even if a program A is larger than a program B, power consumption does not change as long as the number of memory chips is the same.
Implementation method of MAC	Parallel multiplier/adder or a distributed arithmetic.	Repeated operation of MAC function
Speed of MAC	Can be fast if a parallel algorithm is used. If a filter is implemented using distributed arithmetic, the speed does not depend on the number of taps.	Limited by the speed of MAC operation of a DSP chip. If a filter is implemented, the speed becomes slower if the number of taps increases.
Parallelizm	Can be parallelized to achieve high performance.	DSP chip programming is usually sequential and cannot be parallelized.

표 3. DSP와 EPGA

반적인 목적으로 재구성이 가능한 특성을 갖는 칩들은 DSP와 FPGA이다. 표 3은 DSP와 FPGA 특의 차이점을 비교하였다.

5. 참고문헌

- [1] S. Haruyama, "Software-Defined Radio Technologies", Wireless Communication Technologies - New Multimedia Systems, Kluwer Academic Publishers, Netherlands, July 2000.
- [2] J. Mitola, "Software Radios", IEEE Communications Magazine, pp. 24-25, May 1995.
- [3] J. Mitola, D. B. Chester, S. Haruyama, T. Turletti, W. Tuttlebee, "Globalization of Software Radio", IEEE Communications Magazine, pp. 82-123, February 1999.
- [4] J. Mitola, Z. Zvonar, "Topics in Software and DSP in Radio", IEEE Communications Magazine, pp. 102-117, August 1999.



김 종 현

1985년 광운대학교 전자통신과 학사 1994년 8월 독일 도르트문트대학교 박사
1995년 3월~1999년 3월 광운대 전자공학과 조교수
1996년 1월~현재 한국전자과학회 편집위원 1996년 1월 1997년 12월 한국전자

전자재표학회 편집위원 1996년 1월 현재 한국광학회 평의원 1998년 1월~1998년 12월 한국통신학회 교육위원 1998년 4월~현재 EMC기술전문위원, 광운대 전자공학과 부교수, 특허청심사자문위원 2000년 3월~현재 한국ITU-R 연구위원

주요연구분야 : 전파이용활성화 방안, PCS 듀플렉스 필터, 각종 휴대용 전화기가 의료기기에 미치는 영향 및 의료기기의 전자파 내성측정, 무선마이크 송수신 모듈 개발 설계 및 제작 등