
디지털 제어방식의 선형전력증폭기 설계에 관한 연구

김갑기* · 조학현* · 조기량**

A Study on the Design of Linear Power Amplifier at Digital Control System

Kab-Ki Kim* · Hag-Hyun Jo* · Ki-Ryang Cho**

요 약

디지털 통신시스템에서는 인접채널에 대한 간섭을 최대한 줄이기 위하여 필연적으로 선형 전력증폭기가 요구된다. 선형 전력증폭기는 매우 다양하며, 그 중에서도 전방궤환 전력증폭기는 구조상 광대역이면서 선형화 정도가 매우 우수하기 때문에 많이 이용된다. 전방궤환 전력증폭기는 지연 선로의 손실로 인하여 전체효율이 감소한다. 본 논문에서는 이러한 지연 선로를 손실이 매우 작은 지연 여파기를 사용함으로써 효율과 선형성을 동시에 개선하였다. 측정 결과, ACLR이 약 17.43(dB) 개선되었으며, 이것은 지연 여파기를 사용함으로써 3.44(dB) 더 개선되었음을 나타낸다.

ABSTRACT

Digital communication systems are required to cause the minimum interference to adjacent channels, they must therefore employ the linear power amplifiers. In respect to linear power amplifiers, there are many linearization techniques. Feedforward power amplifier represent very wide bandwidth and high linearization capability. In the feedforward systems, overall efficiency is reduced due to the loss of delay line. In this paper, delay filter instead of transmission delay line adapted to get more high efficiency. Experimental results showed that ACLR (Adjacent Channel Leakage Ratio) has improved 17.43(dB), which is added 3.44(dB) by using the delay filter.

1. 서 론

차세대 통신 시스템에서는 제한된 주파수 대역에서 많은 양의 데이터를 취급해야 하므로 매우 복잡한 디지털 변조 방식을 채택하게 된다. 따라서, 이러한 디지털 변조 방식에서는 전체 통신 시스템의 선형성이 매우 우수해야 한다. 특히, 전력 증폭기의 선형성이 전체 통신 시스템의 선형성을 좌우하므로 선형전력증폭기의 요구는 필수적이다[1].

근래, 선형화 방법으로 널리 알려진 전방궤환 방

식은 구조가 복잡한 반면에 다른 방식에 비해 선형화 정도가 매우 우수하며, 광대역의 특성을 갖고 있다 [2~3]. 이러한 전방궤환 선형 전력증폭기는 디바이스의 열화나 환경에 의한 전체 성능을 보상해주기 위해 적응제어가 필수적으로 필요하다[4~5]. 본 논문에서는 이러한 디지털 적응제어 방식의 전방궤환 선형전력증폭기를 설계·제작하였으며, 특히 지연선로의 손실로 인한 효율의 감소를 줄이기 위해서 지연 여파기를 사용하였다.

*목포해양대학교 해양전자통신공학과
접수일자 : 2002. 6. 26

**여수대학교 전자통신공학과

II. 선형 전력증폭기

2.1 전방제환 루프

그림 1은 간단한 형태의 전방제환 증폭기를 나타내고 있다[3]. 이 전방제환 증폭기의 기본적인 동작 원리는 두 입력신호를 동시에 인가했을 때 각 요소에서의 스펙트럼을 비교함으로써 설명할 수 있다.

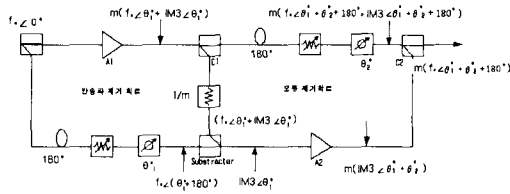


그림 1. 전방제환 전력증폭기의 동작원리
Fig. 1 Basic operation of feedforward power amplifier

그림 1에서 주 증폭기의 출력은 $V_{in}(t)$ 의 입력 신호에 대해서 다음과 같이 된다.

$$V_{A1}(t) = \frac{A_{A1}}{2} V_{in}(t) e^{-j\omega\tau_{A1}} + V_d(t) \quad (1)$$

여기에서, τ_{A1} 은 증폭기의 시간 지연, A_{A1} 은 주 증폭기의 이득, 그리고 $V_d(t)$ 는 주 증폭기의 왜곡이다. 이 경우, 감산회로의 출력 신호는 다음과 같다.

$$\begin{aligned} V_{err}(t) &= V_{sub1}(t) + V_{sub2}(t) \\ &= \frac{A_{A1}}{2C_{A1}} V_{in}(t) e^{j\omega\tau_{A1}} + \frac{V_d(t)}{C_{A1}} \\ &\quad - \frac{V_{in}(t)}{2} e^{j\omega\tau_n} \end{aligned} \quad (2)$$

식(2)에서 $\tau_n = \tau_{A1}$, $C_{A1} = A_{A1}$ 일 경우, 감산회로의 출력 신호는 다음과 같이 된다.

$$V_{err}(t) = \frac{V_d(t)}{C_{A1}} \quad (3)$$

이와 유사하게, 전체 출력신호 $V_{out}(t)$ 는

$$\begin{aligned} V_{out}(t) &= \\ &= \frac{A_{A1}}{2} V_{in}(t) e^{-j\omega(\tau_{A1} + \tau_{T2})} + V_d(t) e^{-j\omega\tau_{T2}} \quad (4) \\ &\quad - \frac{A_{A2}}{C_{A1}C_{C2}} V_d(t) e^{-j\omega\tau_{A2}} \end{aligned}$$

이며, 여기에서 $\tau_{T2} = \tau_{A2}$, $A_{A2} = C_{A1}C_{C2}$ 이면, 결국 식(4)는 다음과 같이 된다.

$$V_{out}(t) = \frac{A_{A1}}{2} V_{in}(t) e^{-j\omega(\tau_{A1} + \tau_{A2})} \quad (5)$$

위 식으로부터 알 수 있듯이, 출력신호는 주 증폭기의 왜곡성분이 제거되고, 입력신호에 대하여 시간 지연과 증폭이 되어진 신호가 된다.

2.2 전방제환 선형증폭기의 루프제어 방식

2.2.1 아날로그 제어기를 이용한 루프 제어

아날로그 제어기에 의한 캐리어 상쇄루프의 예를 그림 2에 나타내었다. 여기에서, 왜곡을 포함하는 오차신호와 캐리어만을 포함하는 기준신호의 일부가 상관되어진다. 이로부터 얻어진 정보는 루프여파기에 제환되어 이득과 위상을 제어하게 된다. 루프 밸런스는 기준신호와 오차신호가 비상관일 때 얻어진다. 이 제어기방식의 장점은 빠른 변화에 대한 보상을 할 수 있다는 것이다.

2.2.2 디지털 적응방식의 전방제환 선형화기

전방제환 방식은 이득변화와 위상지연으로 인한 전력증폭기의 비선형성을 선형화시킬 수 있으나, 정교한 진폭과 위상의 조정을 요구한다. 만약, 불균형성이 발생되었을 때에는 검출기를 통해 그 크기 및 위상오차를 구해 가변 감쇠기와 가변 위상 변위기를 제어하여 교정해주어야 한다. 첫 번째 파일럿 신호로 쓰이는 반송파를 포함한 입력 신호가 주 증폭기에 공급되면, 증폭된 출력 신호가 생성되고, 두 번째 파일럿 신호가 증폭된 출력 신호에 주입된다. 주 증폭기에서 증폭된 신호는 지연선로를 통과하는 증폭 시스템의 출력단에 공급되고, 증폭기와 관련된 첫 번째 루프와 보조 증폭기를 포함하는 두 번째 루프에 있어서는 파일럿 신호 성분을 가지는 두 개의 제어신호가 생성된다. 이 파일럿 신호성분들은 이산 후리에 변환으로 계산되어진 후, 주 증폭기와 보조 증폭기의

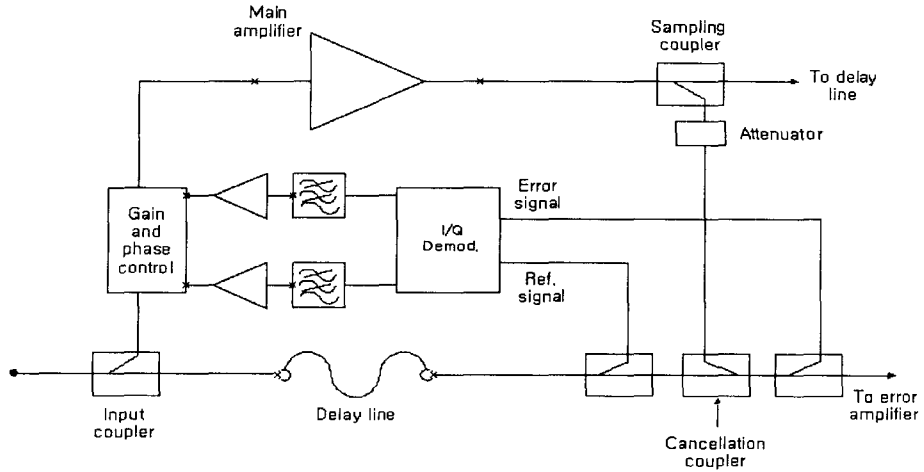


그림 2. 아날로그 제어 방식 전방제한 증폭기
Fig. 2 Feedforward amplifier using analog control technique

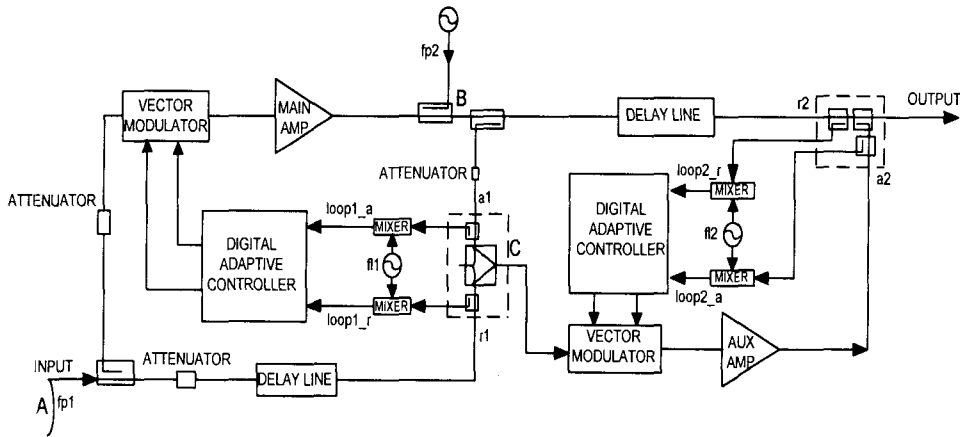


그림 3. 디지털 적응 방식의 전방제한 선형화기
Fig. 3 Feedforward linearizer using digital adaptive control technique

입력신호는 진폭과 위상 값의 두 개의 후리에 변환 값이 서로 같도록 맞추어진다.

다른 경로로 발생되어진 파일릿 신호가 입력신호에 삽입되면, 신호처리 과정은 변함이 없으나, 대역통과 여파기가 시스템의 출력부에 첨가되어지고, 이 때문에 첫 번째 파일릿 신호를 약화시킨다. 이러한 디지털 제어회로를 부가한 선형화기를 그림 3에 나타내었다.

디지털제어방식에 의한 각 루프의 크기와 위상을

보정해 주기 위한 알고리즘 중에서 가장 일반적인 방식으로 제어신호에 대한 검출된 신호의 변화치를 이용해 최적의 제어값을 찾아내는 구배(gradient) 알고리즘이 보고되어 있다[6~8]. 이 알고리즘은 파일릿신호를 인가하지 않는다는 장점이 있다.

III. 전방제한 선형증폭기의 설계 및 제작

3.1 주 증폭기 블록 설계

최종 출력전력을 10(W)로 하고, IMD를 -40(dBc) 이상이 되도록 하기 위해, 본 논문에서는 모토로라에서 제공하는 MRF21125인 LDMOS를 사용하였다. 전체 주 증폭기의 설계 사양은 표 1, 그리고 전체 블록도는 그림 4와 같이 구성하였다.

표 1. 주 증폭기의 설계 사양
Table 1. Design specification of main amplifier

출력	125(W) (53dBm) Peak
입력	-16.5(dBm)
이득	56.5(dB)
소자	MHL21336, MRF21060, MRF21125
IMD	-40(dBc)

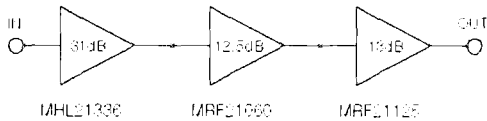


그림 4. 주 증폭기의 블록도
Fig. 4 Block diagram of main amplifier

입출력정합회로의 설계는 2,140(MHz)에서의 입출력임피던스 점을 이용하여 복소정합의 방법으로 설계하였다.

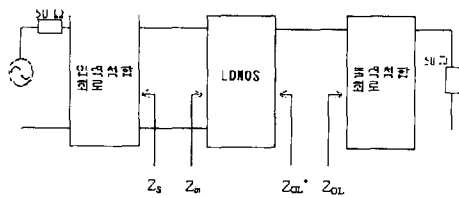


그림 5. LDMOS 증폭기의 입출력 정합회로
Fig. 5 Matching circuits of LDMOS amplifier

그림 5에서 Z_{in} 은 소스 임피던스 Z_s 의 복소공액인 점이고, Z_{ol} 은 최종 출력을 내는 부하 임피던스이다. 증폭기의 입출력단 정합회로는 소자의 데이터 시트

에서 주어지는 입출력 반사계수 또는 입출력 임피던스의 값으로부터 각각 정합회로로 구성한다. 이때 전력소자에서 주어지는 입출력 임피던스의 값은 이 값을 정합포인트로 했을 때에 P1(dB)의 출력을 얻을 수 있도록 하는 값이므로 정합 회로는 입출력 임피던스로부터 최대출력을 내도록 구성할 수 있다.

3.2 오차 증폭기 블록 설계

오차 증폭기에서는 선형성이 매우 우수해야 하므로 본 논문에서는 선형성이 우수한 A급 증폭기로 각 단을 구성하였다.

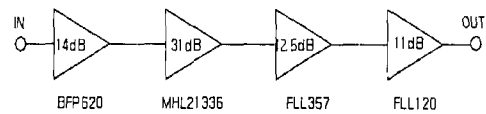


그림 6. 오차 증폭기의 블록 다이어그램
Fig. 6 Block diagram of error amplifier

그림 6은 오차 증폭기의 블록도를 나타내고 있다. 입출력 정합회로를 구성하여 원하는 잡음지수와 이득을 얻는 회로의 구성은 Ansoft사의 회로 시뮬레이션 프로그램인 Serenade를 이용하였다. 그림 7과 그림 8은 각각 설계된 BFP620 첫번째 오차 증폭기 회로와 이에 의한 시뮬레이션 결과를 나타내고 있다.

3.3 디지털 적응 제어기 블록 설계

주 증폭기와 오차 증폭기의 출력을 검출하여 반송파제거 루프와 오차신호제거 루프의 위상과 크기를 맞추어 주기 위하여 실시간 디지털 신호처리용으로 사용되는 DSP를 사용하여 제어신호를 발생하고, 이 제어신호를 가변 위상 변위기와 가변 감쇠기를 사용하여 적응제어기 블록을 구성하였다. 그림 9는 TI사의 TMS320c31-40 DSP를 사용하여 구성한 DSP 블록의 구성도를 나타내고 있다.

검출기 회로는 방향성 결합기를 통해 샘플링 된 RF신호를 DC전압으로 바꾸어 신호의 크기를 검출해주는 회로이며, 요구되는 입력 RF신호의 검출 범위는 -50(dBm)~-10(dBm) 사이의 값이다. 이러한 작은 신호를 검출하기 위해 Analog Devices사의 로그

검출기인 AD8313을 사용하였다. 가변위상 변위기와 된 이득위상 제어기 및 검출기블록의 배치도를 그림 가변 감쇠기 그리고 방향성 결합기와 검출기로 구성 10에 나타내었다.

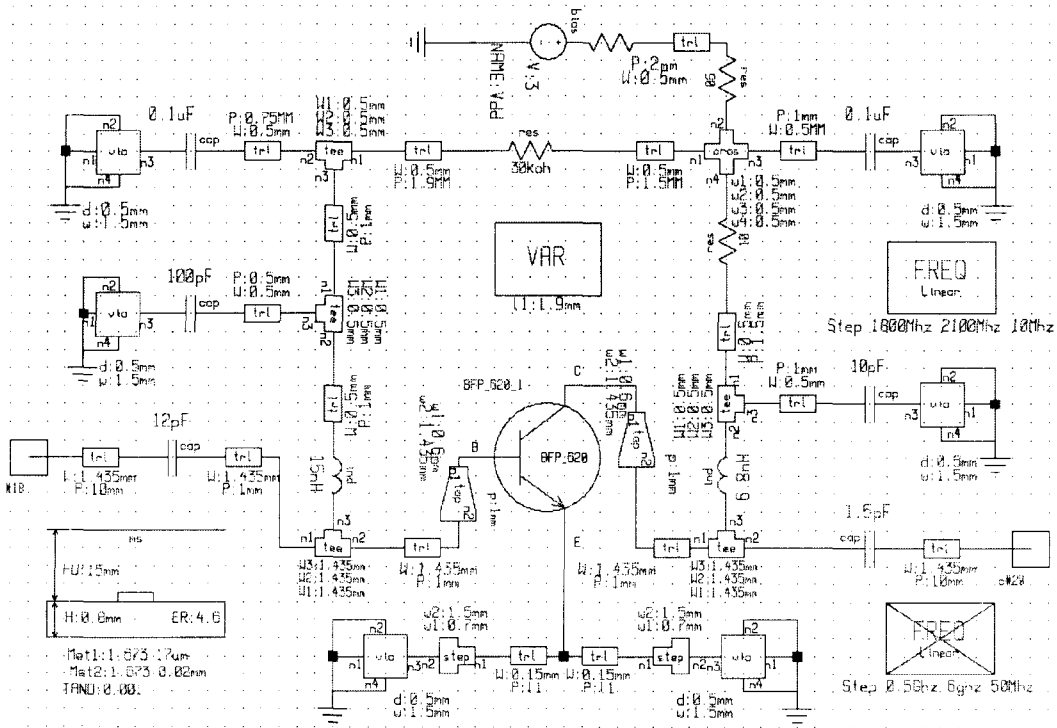


그림 7. BFP620을 이용한 오차 증폭기 첫째단 증폭기 회로
Fig. 7 Schematic of first-stage error amplifier using BFP620

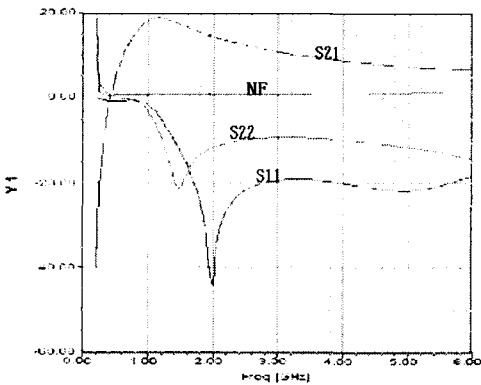


그림 8. 설계된 BFP620 첫째단 증폭기의 시뮬레이션 결과
Fig. 8 Simulation results of designed BFP620 amplifier

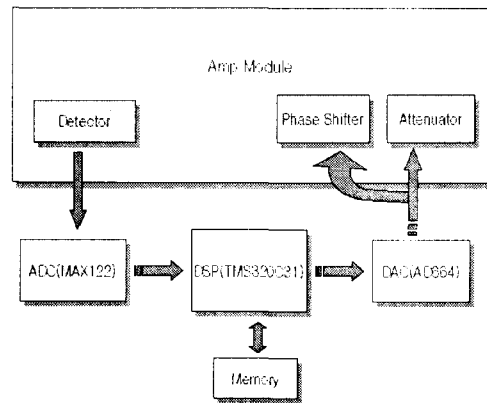


그림 9. DSP를 이용한 제어기 블록의 구성도
Fig. 9 Configuration of control block using DSP

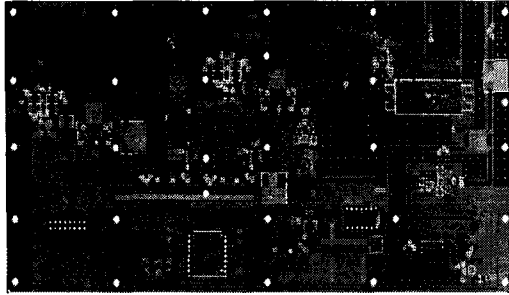
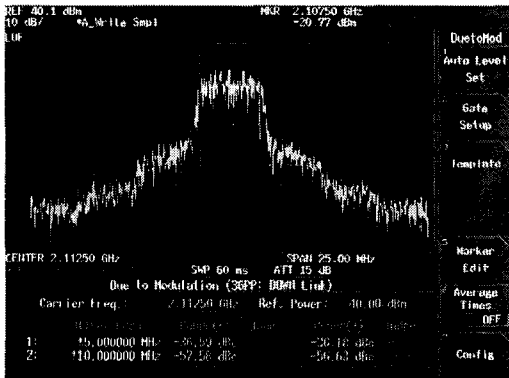


그림 10. 설계된 오차증폭기 및 검출기 보드의 배치도
Fig. 10 Layout of designed error amplifier and detector board

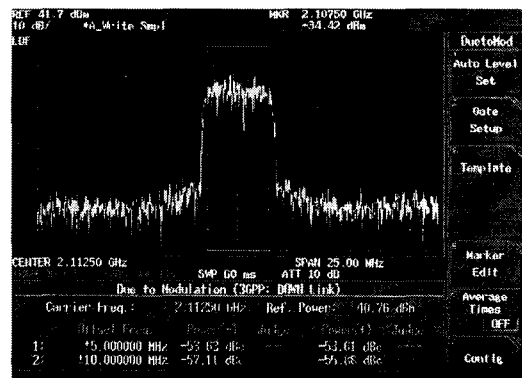
IV. 선형증폭기의 실험 결과

그림 11의 (a), (b)는 각각 주 증폭기만에 의해 증폭기의 출력 스펙트럼을 나타낸 것이다. 여기에서, 전방배환 전력증폭기의 측정결과, 인접채널 누설비인 ACLR 값은 5(MHz) 오프셋에서 -53.61(dBc), 주 증폭기만으로 증폭되었을 경우에는 -36.18(dBc)를 나타내고 있다. 이와 같이, ACLR의 선형화 정도는 주 증폭기만을 이용했을 때보다 17.43(dB) 선형성이 개선됨을 알 수 있다.

한편, 그림 12의 (a), (b)는 각각 지연 선로를 이용한 경우의 전방배환 증폭기의 ACPR 값과 지연 선로

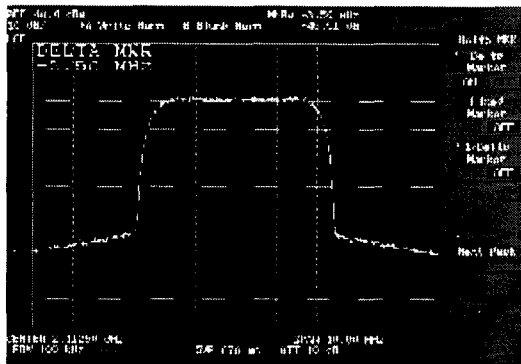


(a) 주 증폭기의 출력 스펙트럼

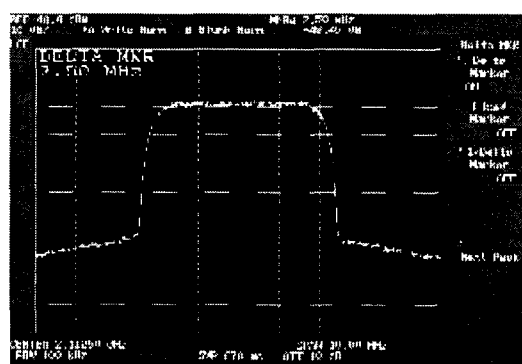


(b) 전방배환 증폭기의 출력 스펙트럼

그림 11. 주 증폭기와 증폭기의 출력스펙트럼
Fig. 11 Output spectrums of main amplifier and feedforward amplifier



(a) 지연 선로로 구성된 증폭기의 ACPR



(b) 지연 여파기로 구성된 증폭기의 ACPR

그림 12. 지연 선로와 지연 여파기를 이용한 전방배환 증폭기의 ACPR
Fig. 12 ACPR of feedforward amplifier using delay line and delay filter

대신에 지연 여파기를 이용한 경우의 전방궤환 증폭기의 ACPR 값을 나타내고 있다. 측정된 결과로부터 지연 선로를 지연 여파기로 대체하여 구성하는 경우, ACPR의 값이 3.44(dB) 개선되어짐을 알 수 있다.

V. 결 론

본 논문에서는 CDMA 통신시스템에 사용되는 고출력 전력증폭기의 선형성을 개선하기 위해서 지연 여파기를 이용한 전방궤환 방식의 선형 전력증폭기에 대하여 연구하였다. 제작된 지연 여파기는 약 0.69(dB)의 삽입손실을 나타내었다. 이는 기존의 지연선로에 비해 0.5(dB) 정도 개선됨을 나타낸다.

또한, 전방궤환 전력증폭기의 측정결과, ACLR 값은 5(MHz) 오프셋에서 -53.61(dBc)이며, 이 값은 주 증폭기만으로 증폭되었을 때의 -36.18dBc에 비해 17.43(dB) 선형성이 개선되었다. 또한, 지연선로를 지연 여파기로 대체하였을 경우, ACPR(Adjacent Channel Power Rejection)의 값이 3.44(dB) 더 개선됨을 측정 결과로부터 알 수 있었다.

앞으로 여러 채널의 신호를 인가했을 경우, 최적화 알고리즘과 그에 대한 선형성 개선의 연구가 진행되어야 할 부분이며, 출력 전력이 큰 경우와 온도 보상에 대한 연구가 더 진행되어야 할 것으로 사료된다.

참 고 문 헌

- [1] R. Prasad and T. Ojanpera, "An Overview of CDMA Evolution Toward Wideband CDMA", IEEE Communications Surveys, Fourth Quarter, vol. 1, no. 1, 1998.
- [2] P. B. Kenington, High-Linearity RF Amplifier Design, Artech House Inc., 2000.
- [3] N. Potheary, Feedforward Linear Power Amplifiers, Artech House Inc., 1999.
- [4] T. T. Ha, Solid state microwave amplifier design, John Wiley & Sons Inc., 1981.

저 자 소 개

김갑기(Kab-Ki Kim)



1980년 광운대학교 전자통신공학과 졸업

1984년 건국대학교 대학원 전자공학과 공학석사

1999년 건국대학교 대학원 전자공학과 공학박사

1975년~현재 목포해양대학교 해양전자통신공학부 교수

※관심분야 : 마이크로파통신, 전자통신

조학현(Hak-Hyun Jo)

1975년 광운대학교 무선통신공학과 졸업

1980년 건국대학교 행정대학원 행정학석사

1992년 호서대학교 대학원 전자통신공학과 공학석사

2000년 한국해양대학교 대학원 전자통신공학과 공학박사

1980년~현재 목포해양대학교 해양전자통신공학부 교수

※관심분야 : 회로 및 시스템, 통신이론, 해상통신

조기량(Ki-Ryang Cho)

1981년 광운대학교 통신공학과 졸업

1982년 건국대학교 대학원 전자공학과 공학석사

2002년 오카야마(岡山)대학 자연과학연구과 공학박사

1982년~현재 여수대학교 전자통신공학과 교수

※관심분야 : 최적제어, 신호처리