
S/H Life Time에 따른 WSix의 특성 변화에 관한 연구

정양희* · 강성준**

A Study on the Characteristics change of WSix Thin Films by S/H Life Time

Yang-Hee Joung* · Seong-jun Kang**

본 논문은 과학기술부 · 한국과학재단 지정 여수대학교 설비 자동화 및 정보시스템 연구개발 센터
연구비 지원에 의한 것임.

요 약

막질의 조성은 공정 개발과 고품질 생산 적용을 위한 반도체 소자의 제조에 있어서 중요한 요소의 하나이다. 막의 표면과 계면의 조성은 기본적으로 AES를 통하여 알 수 있다. 본 연구에서는 온도, DCS post flow, shower head life time 등과 같은 공정조건으로 LPCVD법을 이용한 tungsten silicide 박막을 증착하고 이들의 구조적, 전기적 특성과 조성비를 측정하여 WSix 박막을 해석하였고 이로부터 Si/W의 조성비를 비교하였다.

Si와 W의 조성비는 DCS post flow에 의하여 WSix 박막의 표면에서 증가하였으며, 폴리실리컨과 tungsten silicide 계면에서는 온도의 증가에 따라 조성비가 증가함을 알 수 있었다. 이 결과는 메모리 소자 제조의 WSix 박막 증착의 공정조건 최적화에 적용될 수 있다.

ABSTRACT

Film compositions are needed in semiconductor manufacturing for such diverse application as production tool qualifications and process development. Surface and interface information is generally provided with Auger electron spectroscopy(AES). In this paper, WSix films were analyzed for structural, electrical, and compositional properties of tungsten silicide thin films produced by low pressure chemical vapor deposition as a function of temperature, DCS post flow, shower head life time, and the silicon to tungsten ratios have been investigated.

We find that Si/W composition ratio is increased in the surface and interface of WSix thin films by the DCS post flow process and increasing deposition temperature, respectively. The results obtained in this study are also applicable to process control of WSix deposition for memory device fabrication

키워드

Dichlorosilane, tungsten silicide, AES, LPCVD, DRAM

1. 서론

최근 DRAM 소자의 고집적화, 초소형화의 경향과 더불어 speed 개선, 저저항, 지연시간 감소 등의 이유로 폴리실리콘 게이트가 폴리사이드 게이트로의 전환이 이루어지고 있다[1-2]. 폴리사이드는 폴리실리콘 위에 DCS(SiH_2Cl_2) 베이스 WSix를 형성하고 어닐링 처리를 함으로써 형성되어지는데 공정중의 가스, 압력, 온도 등과 같은 여러 가지 원인에 의하여 Si/W의 조성변화에 민감하게 작용하는 것으로 알려져 있다[3-4]. 또한 이들 조성비는 WSix의 박막 스트레스, 저항 등과 같은 물리적, 전기적 특성변화를 유발시키고 수율에 직접적인 영향을 미치므로 이에 대한 WSix막질 분석을 통하여 불량 발생 원인을 규명하고 조기에 대처할 필요가 있다. 특히 64Mbit DRAM급 이상의 생산라인에서 폴리사이드의 크랙이나 저항불량이 빈번하게 발생되고 있는바 이에 대한 원인을 규명하기 위하여 본 논문에서는 여러 가지의 공정조건중 챔버내 상부전극의 상태, DSC 가스 flow 및 온도 보정 변화에 따른 WSix 박막을 형성시키고 이들 박막의 막질 분석을 통하여 공정조건 변화가 막질 특성에 미치는 영향을 고찰하였다.

II. 시료제작 및 실험방법

본 실험에 사용되어진 시료는 64Mbit DRAM 워드라인의 WSix형성과 동일한 공정조건을 적용한 것으로 bare 웨이퍼위에 1000Å의 HLD 산화막과 500Å의 폴리실리콘을 증착한 후 1:500 HF를 이용하여 WSix증착 전세정을 실시하여 1200Å의 WSix를 증착하여 제작하였다. WSix 증착 공정 조건으로는 WF6와 DCS(SiH_2Cl_2)를 각각 3.8sccm, 150sccm으로 하고 압력과 온도를 0.7Torr, 575°C로 하였고 폴리사이드 형성을 위한 어닐링 온도는 680°C로 하였다. 증착 챔버내의 대략적인 구조는 그림 1과 같고 WSix를 이용한 64Mbit DRAM의 셀 단면도는 그림 2와 같다. 실험방법으로는 상부전극(shower head, S/H)의 사용 상태, DSC가스 flow 및 어닐링 처리 유,무에 따른 증착공정 분류를 통하여 WSix의 막질 특성을 고찰하였다. 실험 조건에서 S/H의 사용정도에 따

른 막질특성 분석은 그림 1에서 보는바와 같이 챔버내 온도는 시료하단의 고주파가열기에 의하여 온도를 유지하도록 되어 있어 가스가 유입되는 S/H의 상태에 따라 챔버내 온도에 영향을 미칠 수 있으며, 이는 DCS가스의 열분해능에 직접적으로 관여하므로 챔버내 parts의 경시변화가 WSix막의 Si/W 조성비 변화를 초래할 것으로 기대된다. 따라서 S/H의 사용정도에 따른 시료제작을 통한 특성분석을 실시하고 또한 WSix 증착공정중 DCS가스의 post flowing 유, 무와 온도 오프셋값 그리고 WSix증착 후 어닐링처리에 따른 박막 조성 및 전기적 특성을 평가하였다. 막질 분석 방법으로는 상기의 조건별 각각의 시료에 대하여 4 포인트 프라브를 이용한 Rs, SEM을 이용한 두께변화, 스트레스 게이지를 이용하여 스트레스를 측정함으로써 기초막질 평가를 실시하였다. 또한 막질형성의 조건에 따른 결정구조와 결정방향 변화를 고찰하기 위하여 XRD를 이용하였고, AES를 이용하여 WSix막의 깊이에 따른 Si와 W의 조성비 변화를 조사하였다. 또한 S/H의 상태에 따른 스트레스 변화를 조사, 해석함으로써 공정조건들이 WSix막질에 미치는 영향을 평가하였다.

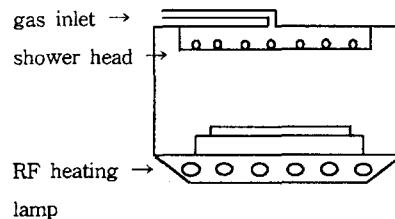


그림 1. WSix 증착 장치 개략도
Fig. 1 Schematic diagram of WSix deposition system

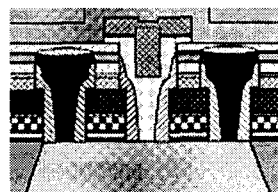


그림 2. WSix를 이용한 64Mbit DRAM 셀 단면도
Fig. 2 The cross section of 64Mbit DRAM cell using WSix

III. 결과 및 고찰

1. 기초막질 평가

실험 조건에 의해 제작된 시료에 대한 기초막질 평가 결과를 표 1에 나타내었다.

표 1. 기초막질 평가 결과
Table. 1 Experimental results with contents of process condition

DCS P/F	S/H	temp. offset	Rs (Ω/\square)	TKS (Å)	ρ ($\mu\Omega\text{-cm}$)	stress (E10dyne/cm ²)
적용	new	-15	65.4	1113	728	1.40
		0	69.6	1174	817	1.33
		15	73.2	1253	917	1.28
	old	-15	60.8	1027	624	1.56
		0	65.5	1140	747	1.52
		15	69.8	1140	796	1.48
미적용	new	-15	62.4	1133	707	1.67
		0	65.5	1174	769	1.68
		15	69.0	1219	841	1.68
	old	-15	57.1	1013	579	1.73
		0	61.7	1100	679	1.69
		15	64.9	1134	737	1.71

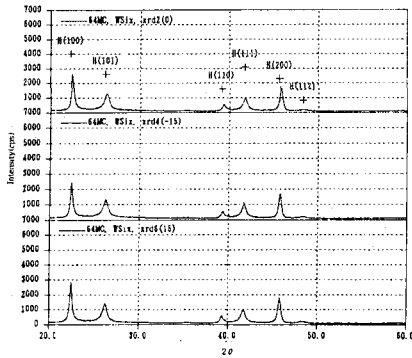
표 1에서 보는 바와 같이 정상 S/H와 노화 S/H에 따른 WSix 박막의 Rs, 두께(TKS), 비저항, 박막 스트레스를 비교한 결과 노화 S/H에서 증착한 WSix 박막의 Rs, TKS, 비저항은 낮게 나타났으나 스트레스는 높은 경향을 보였다. 이는 노화된 S/H를 사용함으로써 S/H의 표면이상 및 이물질에 의하여 챔버 내의 온도를 흡수하여 온도의 저하를 초래하고 이들이 DCS 가스의 열분해능을 떨어트려 과잉 W의 WSix박막을 형성하기 때문인 것으로 해석된다[6-7]. 이와 관련하여 WSix 증착의 main step 후 DCS가스를 흘려 WSix박막의 표면에 Si를 보상하기 위하여 DCS post flow 유, 무에 따른 WSix 박막의 스트레스 변화를 비교한 결과 DCS post flow 적용의 경우가 DCS P/F를 적용하지 않은 시료의 경우보다 전체적으로 스트레스가 작게 나타났으며 온도의 증가와 함께 감소하는 경향을 나타내었다. 따라서 WSix박막의 스트레스 측면에서 DCS post flow의 공정을 추가함으로써 S/H의 사용시간과 관계없이 스트레스 측면에서 유리한 공정조건임을 확인할 수 있고, 이는

WSix박막의 후속 열처리에 따른 크랙발생 등에 의한 접착저항 불안정과 같은 문제에 유효할 것으로 사료된다[8]. 또한 온도 보정치 변화에 따른 WSix 박막의 Rs, TKS, 비저항, 스트레스트 변화는 온도 보정치가 증가할수록 Rs와 비저항이 증가하였다. 이는 온도 보정치 증가에 따른 DCS 가스 분해 반응이 촉진되어 Si의 공급원이 많아지므로 Si/W의 조성비가 증가하기 때문인 것으로 추정할 수 있다. 또한 WSix 막의 어닐링 전, 후의 두께 변화에 대해서는 정상 S/H를 사용한 경우에는 어떤 공정 조건에서나 두께 변화가 크게 나타나지 않았으나 노화 S/H를 적용한 경우에는 DCS post flow 여부와 관계없이 약 90Å의 두께 변화를 나타냈다.

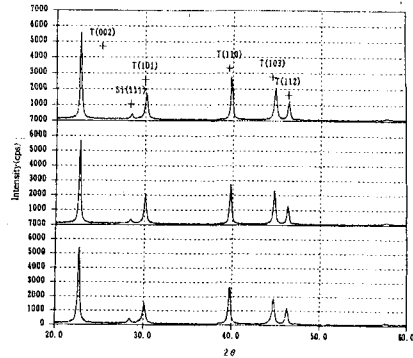
2. 공정조건에 따른 WSix의 결정구조

상기 WSix 박막의 공정 조건별 결정구조와 방향의 변화를 고찰하기 위하여 XRD 분석을 실시한 결과를 그림 3에 나타내었다.

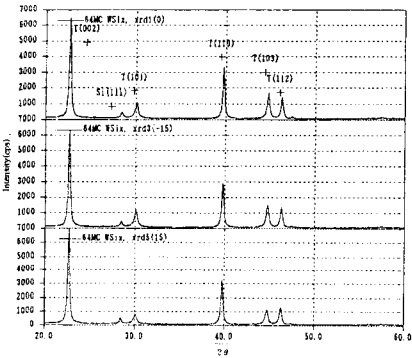
그림 3에서 보는 바와 같이 증착 직후 WSix의 결정구조는 hexagonal structure를 가지며, 680°C의 온도에서 어닐링을 한 후의 WSix 결정구조는 tetragonal 구조로 상변화하였다. 또한 열처리 전의 WSix 박막에 대하여 DCS post flow 유, 무와 온도 보정치 변화에 따른 결정구조와 방향 및 intensity값은 유의차가 나타나지 않았으나 열처리 후 약 2.0k에서 6.0k로 증가하였는데 이는 동일한 두께에서 WSix 박막 증착 직후 보다 열처리 후 Tetragonal-WSix 막의 grain이 잘 발달되어 있음을 의미한다. 또한 그림 (c), (d)에서 보는바와 같이 노화 S/H의 경우 증착 직후 hexagonal-(100) 방향의 intensity와 어닐링 후 tetragonal-(002) 방향의 intensity 값이 정상 S/H 대비 낮게 나타남을 볼 수 있는데 이는 S/H에 의한 챔버내 온도변화에 따른 Si/W의 조성변화에 의한 grain 재결정 성장에 기인된 것으로 사료된다.



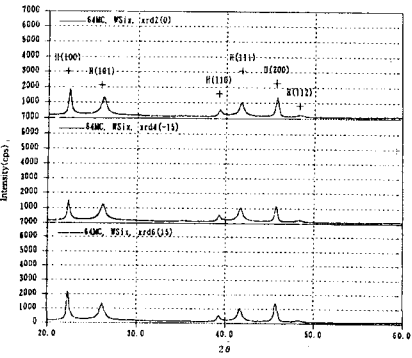
(a) After as deposition with DCS post flow(normal S/H)



(d) After annealing without DCS post flow(abnormal S/H)



(b) After annealing with DCS post flow(normal S/H)



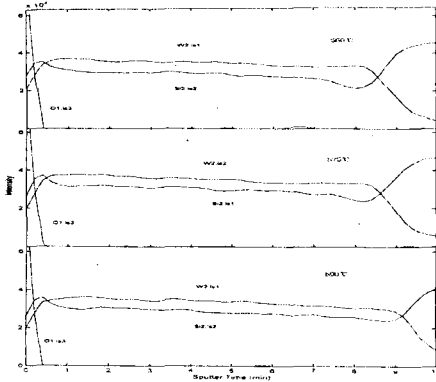
(c) After as deposition without DCS post flow(abnormal S/H)

그림 3. 온도 및 DCS flow 유, 무에 따른 결정 구조 변화

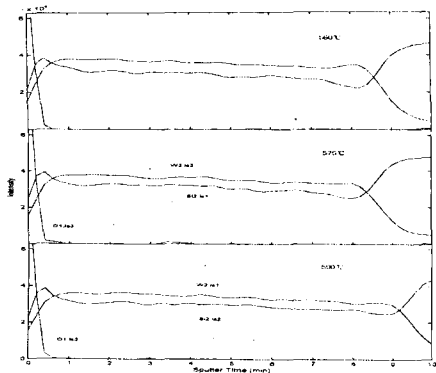
Fig. 3 Crystal structure variation as a function of temperature and DCS flow

3. WSix막의 조성비 분석

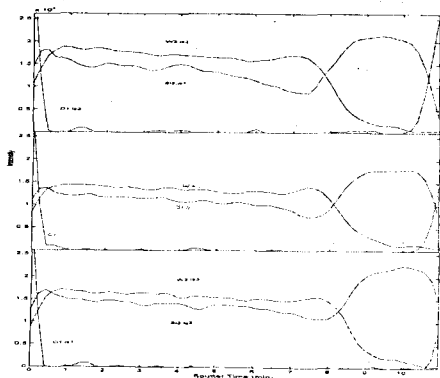
실험조건에 따른 WSix막내의 Si/W의 조성비 변화를 확인하기 위하여 AES분석을 실시한 결과를 그림 4에 나타내었다. 그림 4에서 보는바와 같이 DCS post flow 유, 무에 대한 결과로 DCS post flow적용 시에 S/H에 관계없이 WSix 막의 표면에 Si이 많이 나타났으며, WSix막의 중간과 폴리실리콘 사이의 유의차 없이 거의 일정한 상태가 유지되었다. 또한 온도 보정치 변화에 따라서는 온도 보정치가 증가 할수록 폴리실리콘과 WSix 계면에서 Si의 양이 증가하는 경향을 보이고 있다. 이는 앞서 언급한 바와 같이 온도 보정치의 증가와 함께 DCS가스의 분해능이 촉진되었음을 확인할 수 있다. 그러나 정상 S/H와 노화 S/H의 비교에서는 노화 S/H에서 증착된 WSix막의 계면에서 텅스텐 과잉한 경향을 나타내었는데 이로서 S/H의 사용시간에 따라 표면 거칠기 혹은 이물질 등에 의해 챔버내 온도를 저하시킴으로 DCS가스로부터 Si의 생성을 둔화시킨 것이 기인된 것으로 해석할 수 있다.



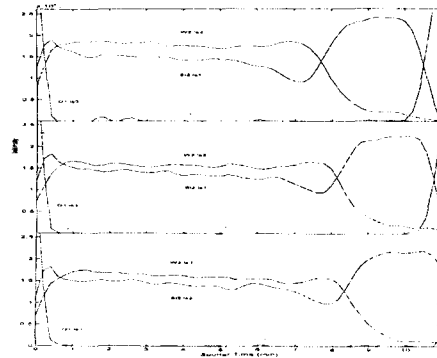
(a) Si/W composition ratios without DCS post flow(normal S/H)



(b) Si/W composition ratios with DCS post flow(normal S/H)



(c) Si/W composition ratios without DCS post flow(abnormal S/H)



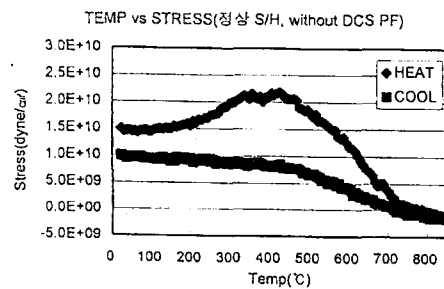
(d) Si/W composition ratios with DCS post flow(abnormal S/H)

그림 4. 온도 및 DCS flow 유, 무에 따른 Si/W 조성비 변화
Fig. 4 Si/W ratios variation as a function of temperature and DCS flow

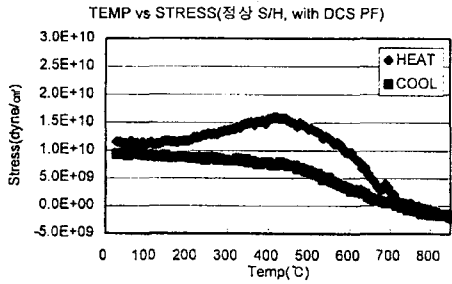
따라서 폴리실리콘과 WSix 계면에서 Si/W의 조성비는 공정 파라미터중 온도의 영향이 크게 나타났고, 스트레스 혹은 마이크로 크랙과 관련된 표면에서의 조성비는 DCS post flow가 주요함을 확인 할 수 있었다.

4. WSix막의 stress 변화

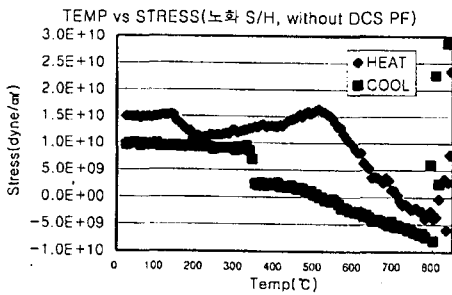
온도변화에 따른 WSix 막의 스트레스 변화를 확인하기 위하여 정상 S/H와 노화 S/H에서 증착한 WSix 박막을 850°C 온도변화에 따른 스트레스 히스테리시스를 측정된 결과를 그림 5에 나타내었다.



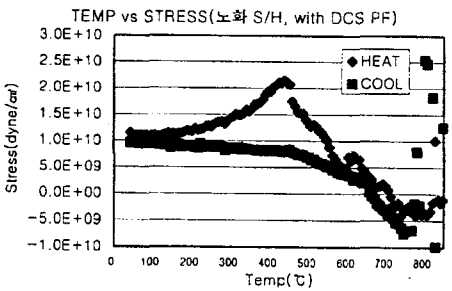
(a) Stress of normal S/H without DCS post flow



(b) Stress of normal S/H with DCS post flow



(c) Stress of abnormal S/H without DCS post flow



(d) Stress of abnormal S/H with DCS post flow

그림 5. 온도 변화에 따른 WSix 스트레스
Fig. 5 WSix films stress with contents of temperature

그림 5에서 보는 바와 같이 정상 S/H의 경우 WSix막의 체적 변화와 결정구조의 변화에 의해 스트레스가 증가하다가 감소하는 전형적인 히스테리시스 곡선을 나타내었고 DCS post flow 유, 무에 대한 스트레스 변화량을 비교한 결과는 그림에서와 같이 DCS post flow를 적용한 시료의 경우가 스트레스

변화폭이 작게 나타남을 볼 수 있다. 이는 DCS가스의 post flow에 의해 Si의 발생을 증가시킬 수 있고 AES분석의 결과에서와 같이 WSix표면에 Si/W의 조성비를 증가시킴으로서 스트레스 변화를 작게하여 후속 열처리에서의 크랙을 제어할 수 있음을 확인할 수 있었다. 또한 노화 S/H의 경우 온도에 따른 스트레스 히스테리시스 곡선이 정상 S/H에 비해 불안정하였으며 특히 완전한 상변이가 일어나는 800°C 근처에서 스트레스 변화 폭이 매우 불안정하게 나타나 AES의 결과에서 본 것처럼 W-과잉한 WSix막은 스트레스 변화와 함께 크랙 등의 원인이 될 수 있음을 알 수 있다.

IV. 결론

본 논문에서는 64Mbit DRAM 소자의 게이트로 사용되어지고 있는 WSix막의 크랙발생에 대한 원인을 규명하고 그 메커니즘을 고찰하기 위하여 온도 변화에 민감하게 영향을 미치는 S/H의 사용시간 및 공정조건의 변화에 대한 WSix막을 형성시키고 이들 시료에 대한 물성분석 및 전기적특성을 통하여 다음과 같은 결론을 얻었다.

1. S/H의 노화는 DCS가스의 열분해능을 저하시켜 폴리실리콘과 WSix계면에 W-과잉한 WSix를 형성시킨다.
2. W-과잉한 WSix막의 경우 온도에 따른 스트레스 변화가 매우 불안정하여 단차부에서 크랙을 유발시킬 수 있다.
3. 이들 불량을 제어하기 위한 공정조건으로는 온도 보정값을 -10~10°C로 하여 온도저하를 방지함으로써 DCS가스의 분해능을 향상시킬 수 있다.
4. DCS가스의 post flow를 통하여 WSix막의 표면에 Si의 양을 증대시킴으로 스트레스 변화를 최소화 할 수 있다.
5. 이상의 실험 결과로부터 전극 관리의 적정성과 공정조건의 개선으로 WSix막막 성장시 발생할 수 있는 크랙 및 후속 공정에 의한 접촉저항의 개선으로 고집적 디바이스의 안정성과 신뢰성에 기여할 수 있을 것으로 사료된다.

감사의 글

본 연구는 과학기술부, 한국과학재단지정 여수대학교 설비자동화 및 정보시스템 연구개발 센터에 의해 지원되었으며 이에 감사드립니다.

참고 문헌

[1] S. Santucci, L. Lozzi, M. Passacantando, and P. Picozzi "Studies on structural, electrical, compositional, and mechanical properties of WSix thin films produced by low-pressure chemical vapor deposition" J. Vac. Sci. Technol. A 16(3), pp. 1207-1212, 1998

[2] K. M. Chang, I. C. Deng "Barrier characteristics of chemical vapor deposition amorphous-like tungsten silicide with in situ nitrogen plasma treatment" J. of the electrochem Soc. 146(7) pp. 2533-2539, 1999

[3] C. A. Bradbury and D. K. Fillmore "Tungsten silicide composition analysis by Rutherford backscattering spectroscopy, Auger electron spectroscopy, and x-ray photoelectron spectroscopy" J. Vac. Sci. Technol. A 16(3), pp. 1103-1105, 1998

[4] K. Roh, S. Youn, and Y. Roh "Tungsten silicide for the alternate gate metal in metal-oxide-semiconductor devices" J. Vac. Sci. Technol. A 19(4), pp. 1562-1565, 2001

[5] S. F. Lin, C. H. On, S. Lee, Y. C. Tien, and C. F. Hsu "Investigation of the time-delay effect on the critical dimension of tungsten silicide/polysilicon gate after reactive ion etching" Proceedings of the international symp. plasma etching processes for sub-quarter micron devices, pp. 186-192, 1999

[6] J. S. Byun, B. H. Lee, J. S. Park, D. K. Sohn, J. G. Hong, W. J. Cho, S. J. Choi, and J. J. Kim "Reduction of Dichlorosilane-Based Tungsten Silicide Resistivity by Amorphization and its Applicability as an

Electrode" J. of the Electrochem. Soc. Vol. 146, No. 6., pp. 2261-2269, 1999

[7] J. S. Byun, B. H. Lee, J. S. Park, D. K. Sohn, S. J. Choi, and J. J. Kim "Formation of high Conductivity WSix Layer and its Characterization as a gate Electrode" J. Electrochem. Soc., Vol. 145, No. 9, pp. 3228-3235, 1998

[8] J. G. Lee, S. H. Oh, J. M. Lee, E. G. Lee, I. G. Lim, W. K. Park, and G. H. Kim "High temperature cracking of tungsten polycide films on quartz substrate " Thin solid films, vol. 370, No. 1-2., pp. 307-310, 2000

저자 소개



정양희(Ynag-Hee Joung)

1983년 2월 단국대 응용물리학과 졸업 (공학사)

1985년 8월 인하대 응용물리학과 졸업 (공학석사)

1993년 8월 인하대 전자재료공학과 졸업(공학박사)

1988~1995년 LG반도체 선임연구원

1995~현재 여수대학교 전지공학과 조교수

※관심분야 : VLSI공정 및 반도체물성

강성준(Seong-Jun Kang)

1989년 2월 인하대 응용물리학과 졸업(공학사)

1994년 8월 인하대 전자재료공학과 졸업(공학석사)

1999년 2월 인하대 전자재료공학과 졸업(공학박사)

현재 여수대학교 반도체, 응용물리학과 전임강사

※관심분야 : VLSI materials, 강유전체박막