

---

# 나노채널 MOSFET의 문턱전압분석

정정수\* · 김재홍\* · 고석웅\*\* · 이종인\*\*\* · 정학기\*\*\*

Analysis on the Threshold Voltage of Nano-Channel MOSFET

Jhung-Soo Jhung\* · Jae-Hong Kim\* · Suk-Woong Ko\*\* · Jong-In Lee\*\*\* · Hak-Kee Jung\*\*\*

---

이 논문은 2001년도 군산대학교 두뇌한국21사업 연구비를 지원받았음

---

## 요약

본 논문에서는 나노규모의 채널길이를 가지는 Si 기반 MOSFET의 문턱전압을 시뮬레이션하여 그 결과를 나타내었다. 180nm의 게이트 길이를 가지는 소자를 기본소자로 하여 정전압 스켈링과 평면 스켈링을 적용하여 소자를 축소하고 시뮬레이션 하였다. 이러한 MOSFET은 LDD(lightly doped drain)구조를 가지고 있으며, 이 구조는 드레인 영역에서의 전계의 크기와 단채널 효과를 줄여준다. 이 영역에서의 고전계현상은 축소에 기인한다. 이러한 소자들의 문턱전압을 조사하고 분석하였다. 이러한 분석은 IC의 응용한계 및 VLSI의 기본자료로 사용될 수 있을 것이다.

## ABSTRACT

In this paper, we have presented the simulation results about threshold voltage for Si-based MOSFETs with channel length of nano scale. We simulated the Si-based n-channel MOSFETs with gate lengths from 180 to 30 nm in accordance to the constant voltage scaling theory and the lateral scaling. These MOSFETs had the lightly doped drain(LDD) structure, which is used for the reduction of electric field magnitude and short channel effects at the drain region. The stronger electric field at this region is due to scaling down. We investigated and analyzed the threshold voltage of these devices. This analysis will provide insight into some applicable limitations at the ICs and used for basis data at VLSI.

## 키워드

MOSFET, LDD, short channel effects, threshold voltage, VLSI

---

\* 군산대학교 전자정보공학부 석사과정

\*\* 군산대학교 전자정보공학부 박사과정

\*\*\* 군산대학교 전자정보공학부 교수

접수일자: 2002. 2. 18

## 1. 서 론

MOS 소자의 가장 큰 특징은 채널 길이와 폭을 축소하기가 용이하다는 것이다. 최근, 다양한 소자들이 나노차원으로 줄어들고 있으므로 스켈링 이론(scaling theory)에 대한 연구가 중요해지고 있다[1].

스켈링 이론은 채널 길이와 폭을 줄이면서 소자의 동작특성을 유지시키는 것이다. 소자의 물리적인 크기를 줄임으로서 단위면적당 집적도를 높일 수 있고 소자를 연결하는 도선의 커패시턴스를 줄여서 소자의 동작속도 향상에 기여할 수 있다[2].

소자의 크기가 축소되면 원하지 않는 기생현상이 발생하게 된다. 이러한 단채널 효과는 정전 및 동전(electro-dynamic)효과로 구분된다.

정전효과는 주로 전계효과에 의해서 발생하는 문턱전압(Threshold Voltage :  $V_T$ ) 감소가 있고, 동전효과에는 전계에 따른 캐리어 에너지 증가에 의한 속도 포화현상과 드레인 항복전압감소를 들 수 있다[3].

## 2. 시뮬레이션 및 고찰

### 2.1 스켈링

MOSFET의 모든 차원이 줄어들 때 스켈링 이론은 트랜지스터의 특성과 관련된다. 스켈링 이론은 VLSI를 설계하는데 요구되는 칩 구조에 대한 첫 단계로 볼 수 있다. 이것은 매우 이상적이어서 실제 공학 환경에 적용되었을 때는 제한되어진다. 그러나 스켈링 이론은 소자의 크기 축소를 시험하는데 더욱 자세한 해석에 대한 기초로 제공되어진다[4].

서브미크론(submicron) 소자의 스켈링은 더욱 얇은 산화층과 더욱 높게 도핑된 채널이 요구된다. 그러나 얇은 산화층과 높은 도핑은 실리콘/산화층 인터페이스에서 역전층을 야기하며, 이것은 인터페이스에 수직 방향으로 전자운동을 양자화 시키기에 충분한 에너지를 공급한다.

Van Dort 양자수정모델(Van Dort Quantum Correction Model; VDQC 모델)[5]은 역전층에서의 소수반송자의 제한 때문에 넓어지는 유효대역간극을 고려할 수 있다.

사용된 시뮬레이션 프로그램은 ISE-TCAD이다. 180nm의 채널길이를 가지는 n채널 MOSFET을 기본 소자로 하여 10nm씩 채널길이를 감소시키면서 문턱전압의 변이를 시뮬레이션하였다. MOSFET의 기하학적 구조는 LDD구조를 사용하였다.

표 1 게이트 길이 ( $L_g$ , nm)에 따른 각 영역별 최대(MAX) 및 최소(MIN) 도핑농도  $N_d$ ,  $N_a$ ,  $N_{LDD}$  ( $cm^{-3}$ )와 게이트 산화층 두께 ( $T_{ox}$ , nm)

$L_g$ (nm)	$N_d(cm^{-3})$		$N_{LDD}(cm^{-3})$		$N_a$ ( $cm^{-3}$ )	$T_{ox}$ (nm)
	MAX	MIN	MAX	MIN		
180	$5.00 \times 10^{20}$	$3.00 \times 10^{17}$	$8.00 \times 10^{19}$	$5.00 \times 10^{17}$	$3.00 \times 10^{17}$	4.00
140	$8.27 \times 10^{20}$	$4.96 \times 10^{17}$	$1.32 \times 10^{20}$	$8.27 \times 10^{17}$	$4.96 \times 10^{17}$	3.11
100	$1.62 \times 10^{21}$	$9.72 \times 10^{17}$	$2.59 \times 10^{20}$	$1.62 \times 10^{18}$	$9.72 \times 10^{17}$	2.22
60	$4.50 \times 10^{21}$	$2.70 \times 10^{18}$	$7.20 \times 10^{20}$	$4.50 \times 10^{18}$	$2.70 \times 10^{18}$	1.33
30	$1.25 \times 10^{22}$	$7.50 \times 10^{18}$	$2.88 \times 10^{21}$	$1.80 \times 10^{19}$	$1.08 \times 10^{19}$	0.67

### 2.2 정전압 스켈링과 문턱전압

첫 번째 시뮬레이션은 정전압 스켈링 이론을 적용하여 소자의 크기를 줄였을 때의 문턱전압변이를 고찰하였다.

각 영역의 깊이에 따른 도핑농도는 GAUSSIAN 함수에 따라 도핑하였으며 대략적으로 표 1에 나타내었다.

소스와 드레인 도핑에는 접합깊이의 0.5배, LDD 영역의 도핑에는 접합깊이의 0.6배의 평면확산(lateral diffusion)을 적용하였다.

정전압 스켈링을 수행하여도 이론적으로는 문턱전압에 변화가 없으나 나노수준의 채널길이에서는 여러 가지 이차 효과에 의하여 문턱전압이 증가하는 것을 볼 수 있다. 이것을 DIBL, 양자수정모델 및 몸체효과 등을 통하여 고찰하였다.

그림 2(a)는 몸체효과를 고려하여 각각 0.1 V의 드레인 전압에서 시뮬레이션한 결과이다.그림에서 보듯이, 기판전압이 0 V일 때와 -2 V일 때를 비교하면 -2 V에서 0.2 V 가량 상승되어있음을 볼 수 있다. 채널길이의 변화에 대하여 DIBL 효과에 의한 문턱전압 변이 그래프를 그림 1(a)에 도시하였다.

그림에서 보듯이 드레인 전압이 각각 0.1 V, 1.0 V 그리고 2.0 V일 때를 채널길이 별로 도시하였다. 게이트 길이가 감소함에 따라서 문턱전압이 증가함을 알 수

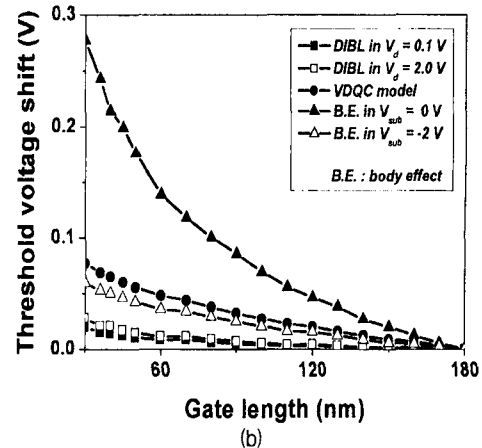
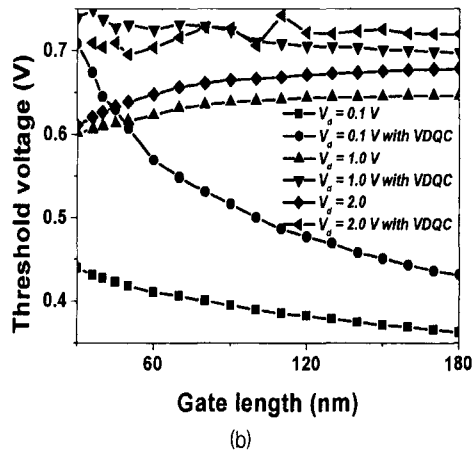
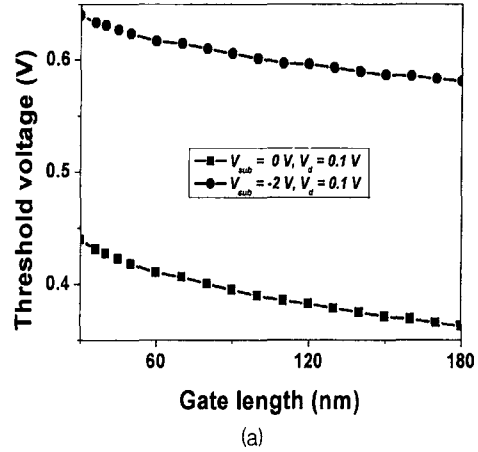
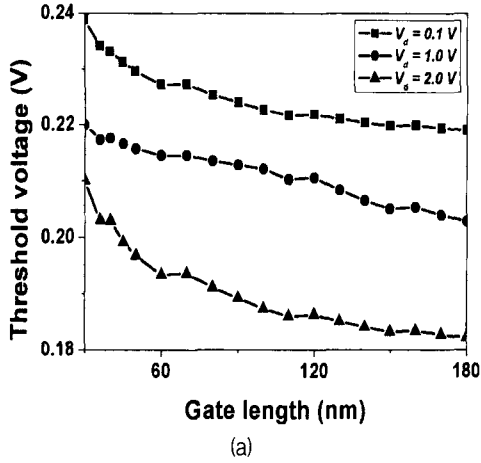


그림 1 (a) DIBL(drain induced barrier lowering)효과와 (b) Van Dort 양자수정모델의 적용유무에 의한 문턱전압 변이율

그림 2 (a) 몸체효과에 의한 문턱전압변이율 (b) 각각의 효과에 의한 문턱전압변이율

있으며 또한 문턱전압이 드레인 전압에 의해 변이가 있음을 관찰할 수 있었다. 그림 1(b)는 VDQC 모델을 고려하여 소자를 시뮬레이션한 결과이다. 그림에서 보듯이 이 모델을 사용한 것과 사용하지 않은 것에 약간의 차이가 발생한다. 즉, 드레인 전압이 1 V와 2 V일 때는 QC 모델을 고려한 것과 그렇지 않은 것의 차이가 게이트 길이에 따라 거의 일정하지만 드레인 전압이 0.1 V일 때는 그 차이가 확실히 드러남을 볼 수 있다.

문턱전압의 변화가 거의 없으나 극히 미소하게 증가함을 알 수 있다. 그림 2(b)는 정전압 스켈링을 적용하였을 때의 문턱전압 변이율이다. 180~30nm까지 각 효과에 따른 문턱전압 변이율을 살펴보면 DIBL 효과

에 의해서는 대략 0.03, VDQC 모델에 의해서는 0.28이다. 그리고 몸체 효과에 의한 문턱전압 변이율은 0.08이다. 가장 두드러지게 나타나는 변이효과는 VDQC 모델이다. 따라서 정전압 스켈링을 적용하였을 경우 채널의 도핑증가에 따른 VDQC 모델의 영향을 무시할 수가 없다.

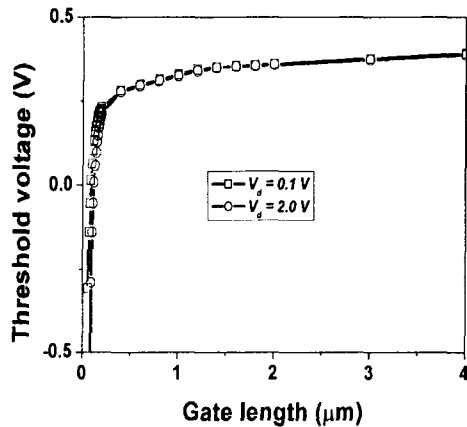
### 2.3 평면 스켈링과 문턱전압

두 번째 시뮬레이션에서는 기본소자에 평면 스켈링(lateral scaling)을 적용하였다. 평면 스켈링은 게이트 길이만을 축소하므로 기존의 마스크 데이터베이스에 쉽게 적용된다. 따라서 게이트 축소(gate shrink)라고도 불린다. 모든 소자길이에 대하여 소스/드레인,

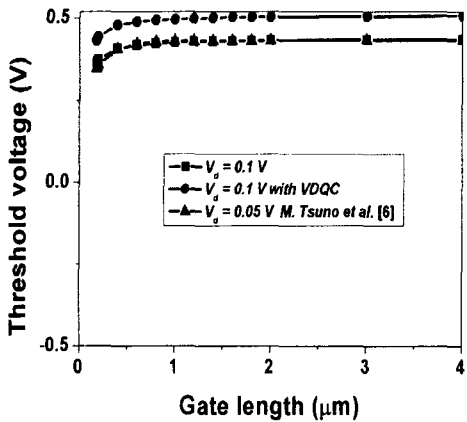
LDD, 채널 및 기판 도핑은 아래의 표 2 같이 하였으며 마찬가지로 도핑농도는 GAUSSIAN 함수에 따라 도핑하였다. 표 2에서  $L_g$ 와 NLDD는 각각 게이트 길이와 LDD 영역의 도핑농도이다.

표 2 평면 스�কে링 시뮬레이션 조건

스케링 변수	상한 ~ 하한 (MAX ~ MIN)
$L_g(\mu\text{m})$	4 ~ 0.06
$N_d(\text{cm}^{-3})$	$2 \times 10^{17} \sim 1 \times 10^{17}$
$N_a(\text{cm}^{-3})$	$5 \times 10^{20} \sim 3 \times 10^{17}$
$N_{LDD}(\text{cm}^{-3})$	$8 \times 10^{19} \sim 5 \times 10^{17}$
$T_{ox}(\text{nm})$	4



(a)



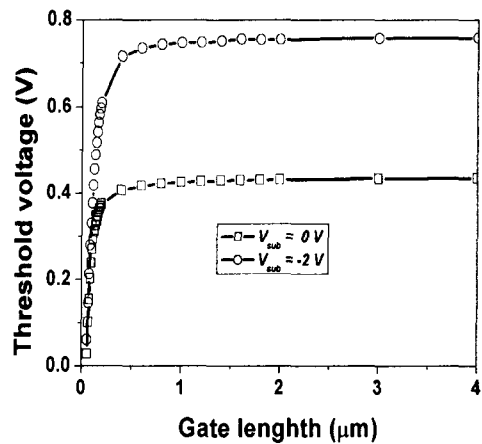
(b)

그림 3 (a) DIBL 효과와 (b) Van Dort 양자수정 모델의 적용 유무에 의한 문턱전압 변이율

그림 3(a)는 DIBL 효과에 의한 문턱전압변화를 나타낸 그래프이다. 평면 스�কে링의 경우에 50nm이하의 게이트 길이까지의 소자에서는 DIBL 효과에 의한 문턱전압변이율이 거의 생기지 않았으나 그 이하의 게이트 길이에서는 DIBL 효과가 두드러지게 나타남을 볼 수가 있었다. 그러나 평면 스�কে링의 경우에 정전압 스�কে링을 하였던 시뮬레이션보다는 그 차이가 심하지 않음을 볼 수 있다. 0.2 $\mu\text{m}$ 이상의 게이트 길이에서는 문턱전압이 0.1V와 2.0V에서 모두 일치하고 있음을 관찰할 수 있었다. 그림 3(b)는 VDQC 모델을 적용하지 않은 것과 적용한 시뮬레이션 그래프를 보여주고 있다. 평면 스�কে링의 경우, 1 $\mu\text{m}$ 이상의 장채널 길이에서는 Van Dort 양자수정 모델에 의한 문턱전압 추출법이나 이 모델을 적용하지 않은 문턱전압 추출법이나 문턱전압의 크기에만 차이가 있을 뿐 문턱전압의 변이율에는 거의 차이가 없다.

그러나 1 $\mu\text{m}$ 이하의 서브 마이크론 이하에서는 문턱전압의 변이율이 급격히 증가함을 볼 수 있다. 시뮬레이션된 결과가 다른 논문 결과[6]와 거의 일치하고 있고 VDQC 모델을 적용한 결과도 비슷한 경향으로 진행됨을 볼 수 있다.

그림 4(a)는 평면 스�কে링을 하였을 경우, 기판 전압에 따른 문턱전압추출을 보여주고 있다. 이 시뮬레이션은 기판전압이  $V_d = 0.1 \text{ V}$ 일 때,  $V_{sub} = 0 \text{ V}$ 와  $-2 \text{ V}$ 의 경우를 시뮬레이션여 몸체효과에 의한 문턱전압 변화를 보여주는 그래프이다. n채널 MOSFET



(a)

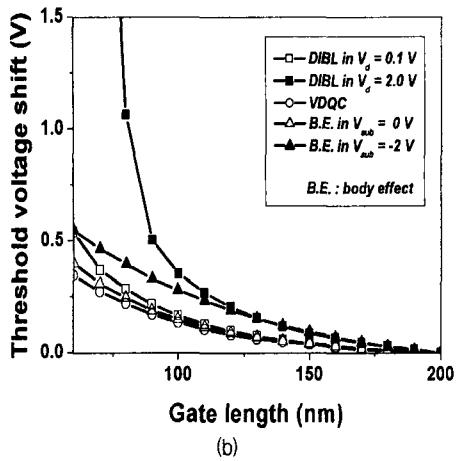


그림 4 (a) 몸체효과와 (b) 각각의 효과에 의한 문턱전압변이율

의 기판에 음의 전압을 인가하면 몸체효과에 의하여 문턱전압이 상승함을 간접적으로 보여주고 있는 그래프임을 알 수 있다.

그림 4(b)는 평면 스�কে링을 적용하였을 경우에 각 효과에 따른 문턱전압 변이율을 보여주고 있다. 정전압 스�কে링을 하였을 경우와는 결과가 약간 변화되었음을 알 수 있다. 정전압 스�কে링보다 양자수정모델의 영향이 줄어들어 있음을 볼 수 있고 상대적으로 몸체효과에 의한 문턱전압에 대한 영향이 줄어들어 있음을 볼 수 있다. 그러나 전체적으로 문턱전압변화율이 정전압 스�কে링보다 크다.

### 3. 결 론

본 논문에서는 나노길이의 채널을 가진 MOSFET의 문턱전압 변이현상에 대해서 고찰하였다. 시뮬레이션 결과는 소자 크기에 따라 문턱전압의 변이가 그리 크지 않음을 볼 180 nm 수 있었다. 정전압 스�কে링에서 각각의 소자가 의 기본소자와 비교하여 DIBL 효과, QC 모델, 그리고 몸체효과를 적용하여 시뮬레이션 하였을 때 각각의 차이는 대략 0.03 V, 0.28 V, 0.08 V이다. 변이율에 있어서 가장 큰 요인은 QC 모델이었다. 몸체 효과와 DIBL 현상에 의한 문턱전압 감소는 그리 크지 않음을 볼 수 있었다. 그러나 평면 스

케링의 경우는 DIBL, QC 모델 그리고 몸체 효과를 적용한 각각의 효과에 의한 문턱전압 변이는 0.3~0.5V 정도로 거의 비슷하였으나 몸체 효과에 의한 문턱전압 변이율이 줄었음을 관찰할 수 있었다. 평면 스�কে링의 경우 정전압 스�কে링의 경우보다 대체적으로 문턱전압 상승률이 높으므로 실제적인 응용에 있어서 그 사용이 제한적임을 알 수 있었다.

단채널을 가진 소자에서 나타나는 특성들에는 협폭 효과(narrow width effect), DIBL 현상, 문턱이하(subthreshold) 특성, 펀치스루(punch through) 현상, 그리고 전자, 정공 증배효과 등 이들 효과에 대해서도 조사·연구하여 초단채널현상에 대하여 좀더 연구되어야 하겠다.

#### 감사의 글

본 연구는 2001년도 군산대학교 두뇌한국 BK21 사업단의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

#### 참고문헌

- [1] Dale L. Critchlow, MOSFET Scaling -The Driver of VLSI Technology, Proceedings of the IEEE, Vol. 87, No. 4, April 1999, pp. 659-667.
- [2] C. K. You, S.W. Ko, H.K. Jung, and K. Taniguchi, A Study on Temperature- and Field-dependent Impact Ionization Coefficient for Silicon using Monte Carlo Simulation, Proc. 25th Int. Conf. Phys. Semicond., Osaka, 2000, pp. 164-165.
- [3] Sheng-Lyang Jang, Shau-Shen Liu and Chong-Jye Sheu, A Compact LDD MOS-FET I-V Model Based on Nonpinned Surface Potential, IEEE Trans. Electron Devices, Vol. 45, No. 12, December 1998, pp. 2489-2498.
- [4] F. J. García Sánchez, A. Ortiz-Conde, G. De Mercato, J.A. Salcedo, J. J. Liou, Y. Yue, New

simple procedure to determine the threshold voltage of MOSFETs, Solid-State Electronics, Vol. 44, 2000, pp. 673-675.

- [5] M. J. Van Dort, P. H. woerlee and A. J. Walker, A Simple Model for Quantisation Effects in Heavily-Doped Silicon MOSFETs at Inversion Conditions, Solid-State Electronics Vol. 37, No. 3, 1994, pp. 411-414.
- [6] Morikazu Tsuno, Masato Suga, Masayasu Tanaka, Kentaro Shibahara, Mitiko Miura Mattausch, and Masataka Hirose, Physically Based Threshold Voltage Determination for MOSFETs of All Gate Lengths, IEEE Trans. Electron Devices, Vol. 46, No. 7, July 1999, pp. 1429-1434.

**저자소개**



**정정수(Jhung-Soo Jhung)**  
 1998년 2월 군산대학교 전자공학과 졸업(공학사)  
 2000년 3월 ~ 군산대학교 대학원 전자정보공학부 석사과정  
 ※ 관심분야 : 반도체 및 통신소자



**김재홍(Jae-Hong Kim)**  
 2001년 2월 군산대학교 전자공학과 졸업(공학사)  
 2001년 3월 ~ 군산대학교 대학원 전자정보공학부 석사과정  
 ※ 관심분야 : 반도체 및 통신소자



**고석웅(Suk-Woong Ko)**  
 1999년 2월 군산대학교 전자공학과 졸업(공학사)  
 2001년 2월 군산대학교 대학원 전기전자제어공학부 졸업(공학석사)  
 2001년 3월 ~ 군산대학교 대학원 전자정보공학부 박사과정

※ 관심 분야 : 반도체 및 통신소자



**이종인(Jong-In Lee)**  
 1979년 2월 울산대학교 전기공학과 졸업(공학사)  
 1983년 2월 전북대학교 대학원 전기공학과 졸업(공학석사)  
 1987년 2월 전북대학교 대학원 전기공학과 졸업(공학박사)

2002년 2월 ~ 군산대학교 전자정보공학부 교수  
 ※ 관심분야 : 반도체 및 통신소자



**정학기(Hak-Kee Jung)**  
 1983. 2 아주대학교 전자공학과 졸업(BS)  
 1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)  
 1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph. D.)

1994년 7월 ~ 1995년 7월 일본 오사카대학 객원연구원  
 2001년 6월 현재 군산대학교 전자정보공학부 교수  
 ※ 관심분야 : 반도체 및 통신소자