
나노 구조 소자 시뮬레이션을 위한 상용 시뮬레이터의 비교 분석 - ISE-TCAD와 Micro-tec을 중심으로 -

심성택* · 임규성** · 정학기***

Comparison on commercial simulators
for nano-structure device simulation
- For ISE-TCAD and Micro-tec -

Sung-Taik Shim* · Gyu-Sung Lim** · Hak-kee Jung***

이 논문은 2001년도 군산대학교 두뇌한국(BK21)의 연구비를 지원받았음

요 약

MOSFET는 전력감소, 도핑농도 증가, 캐리어 속도 증가를 위해서 많은 변화를 가져왔다. 이러한 변화를 받아들이기 위해서, 채널의 길이와 공급전압이 감소해야만하며, 그것으로 인해 소자가 더욱 작아지게 되었다. 현존하고 있는 시뮬레이션 프로그램은 많은 기술자와 과학자들에 의해 개발되어졌다. 본 논문에서는 상용화되어지고 있는 두 가지 시뮬레이터인 Micro-tec과 ISE-TCAD를 사용하여 나노 구조 소자를 시뮬레이션하여 비교하였다. 소자의 게이트 길이(Lg)는 180nm를 사용하였다. 두 시뮬레이터를 사용하여 MOSFET의 특성과 I-V 곡선 및 전계에 대해서 비교 분석하였다.

ABSTRACT

The metal-oxide-semiconductor field-effect transistor(MOSFET) has undergone many changes in the last decade in response to the constant demand for increased speed, decreased power, and increased packing density. The state-of-the-art simulation programs are developed by engineers and scientists. This paper has compared commercial programs of Micro-tec and ISE-TCAD in device simulation. This paper investigates LDD MOSFET using two simulators. Bias condition is applied to the devices with gate lengths(Lg) 180nm. We have presented MOSFET's characteristics such as I-V characteristic and electric field, and compared Micro-tec with ISE-TCAD.

* 군산대학교 전자정보공학부 석사과정

** 군산대학교 전자정보공학부 박사과정

*** 군산대학교 전자정보공학부 교수

접수일자: 2002. 2. 16

키워드

MOSFET, Micro-tec, ISE-TCAD, LDD, electric field

1. 서 론

반도체 물성 연구에 대해서 많은 세월 동안 연구되어 왔으며, 그에 따른 물성 분야 연구를 위한 시뮬레이터도 오랜 기간동안 개 발되어왔다. 소자가 점점 축소되어지고, 그에 따라 다바이스가 변화하여, 알맞은 시뮬레이터를 개발해야만했다.

최근 소자의 집적도 증가로 인하여 소자의 크기가 감소하여, 현재 130nm까지 감소하였으며, 향후 35nm까지 감소할 것이라 예측되고 있다[1]. 이러한 동향에 의해서 더욱 미세한 소자들의 특성에 대하여 연구하게 되었으며, 그 소자를 실험하기 위해서 여러 가지 시뮬레이터가 등장하게 되었다.

소자 시뮬레이터에는 현재 가장 많이 사용되고 있는 TCAD 계열이 있으며, 다른 계열의 대표적인 시뮬레이터로 Micro-tec을 들 수 있다.

소스와 드레인 접합깊이가 얇을 경우, 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 되고, 또한 얇은 접합에서 드레인 영역이 고농도가 되므로 드레인 접합부근에서 전계가 높아지게 되어 고온 캐리어 효과(hot carrier effect)가 일어나게 된다[2][3].

이를 해결하기 위해서 드레인 영역의 전계를 낮추기 위해 드레인과 채널이 만나는 지점의 도핑 농도를 줄이고, 접점부위의 드레인 도전율의 감소를 방지하기 위해 기존의 보다 높은 도핑 농도를 유지하는, 저도핑 드레인 (Lightly Doped Drain : LDD)를 추가한 MOSFET를 사용하여 구조에서 발생하는 전계를 비교 분석하였다. 소자의 구조를 줄이기 위해 정전압 스켈링 이론(constant voltage scaling)을 사용하였다 [4][5][6].

II. 스켈링 이론 및 소자 구조

집적회로에서 VLSI의 칩 속에 많은 트랜지스터를 집적화하기 위해서 소자의 크기를 축소하였다. 동일한

면적의 반도체에 많은 소자를 집적시키므로 현대의 시스템에 저가격과 대량 생산이 되는 근본적인 원인을 제공하고 있다.

이 원인이 트랜지스터 크기를 줄여야 하는 가장 큰 이유이다. 소자가 줄어들면, 여러 가지 특성이 변화하는데, 즉, 소오스와 드레인 간의 거리가 줄어든다는 것은, 캐리어가 통과하는 거리의 감소로 인해 통과 시간이 줄어들고, 기생 저항과 기생 용량 또한 줄어들어 동일한 전류 수준에서 회로의 동작이 빨라진다. 이러한 변화와 더불어 여러 물리적인 현상이 발생하게 된다.

소오스와 드레인간의 거리 감소로 펀치스투(punch-through) 현상이 일어 날 수 있는데, 이를 방지하기 위해 도핑 농도를 높이게 된다. 일정한 비율로 감소한 산화막의 두께가 너무 얇아지면 항복(breakdown)이 일어나게 된다.

1970년대 초에 스켈링 이론이 정립되었으며, 이러한 스켈링 이론의 주된 목적은 소자가 일정한 값으로 줄어들어도 그 소자 내의 전계의 모양과 크기를 일정하게 유지하도록 하여 I_d/V_d 특성 곡선이 일정하게 유지되도록 하는데 있다.

정전계 스켈링(constant field scaling or full scaling)은 산화막의 항복(breakdown)이나 펀치스투(punch-through)현상을 방지하도록 소자 내의 전계를 일정하게 유지하는 이론이며, 소자의 모든 기하학적 크기와 전압을 $1/\lambda$ 로 선형적으로 축소시킨 이론이다. 이때 $E=V/L$ 에서 이 전계가 일정한 값을 유지되도록 스켈링하였으나, 트랜지스터의 채널을 통과하는 시간은 채널의 길이가 $1/\lambda$ 로 감소하였으므로, 지연시간은 $1/\lambda$ 로 감소하게 된다.

그러나, 트랜지스터의 동작 전압은 회로에서 요구되는 조건에 의하여 정해지는 크기이므로, 소자의 크기만을 $1/\lambda$ 배로 줄일 때, 동작전압의 크기는 그대로 유지해야하는데 이를 정전압 스켈링(constant voltage scaling)이라 한다.

전압을 제외한 기하학적 구조만이 $1/\lambda$ 배로 줄어, 채널의 길이가 $1/\lambda$ 로 줄어든 반면, 캐리어 속도는 $v = \mu E = \mu V/L$ 에서 λ 배로 늘어나므로 지연 시

간은 $1/\lambda^2$ 배로 줄어들게 된다.

III. 시뮬레이션 및 결과 고찰

본 논문은 두 개의 시뮬레이터인 Micro-tec과 ISE-TCAD를 사용하여 LDD MOSFET를 분석하였다. 핀치오프(pinch-off) 현상을 방지하기 위해서 LDD 영역을 삽입시켰다. 이러한 구조에 대한 소자 파라미터를 표 1에 나타내었다.

표 1 시뮬레이션 소자를 위한 도즈 이온 주입과 게이트 산화막 두께
Table 1 Dose implantation and gate oxide thickness for simulated devices

| Gate Length (nm) | | 300 | 150 | 75 |
|---------------------------------------|-----------|----------------------|----------------------|-----------------------|
| Dose Implantation (/cm ²) | Source | 2.5×10^{15} | 1.0×10^{16} | 4.0×10^{16} |
| | Drain | 2.5×10^{15} | 1.0×10^{16} | 4.0×10^{16} |
| | Gate | 6.0×10^{11} | 2.4×10^{12} | 9.6×10^{12} |
| | LDD | 1.0×10^{11} | 4.0×10^{11} | 1.6×10^{15} |
| Doping (/cm ²) | Substrate | 8.0×10^{16} | 3.2×10^{17} | 1.28×10^{18} |
| Gate oxide thickness (nm) | | 9.9 | 7.0 | 5.0 |

인가 전압은 소스 $V_s=0V$, 기판 $V_b=0V$, 드레인 $V_d=3V$, 게이트 $V_g=3V$ 를 사용하였다.

먼저, 본 논문은 두 개의 시뮬레이터를 사용하여 MOSFET의 I-V 특성 곡선을 조사 분석하였으며, 사용한 이동도 모델은 Lombardi 모델과 Constant 모델이며, 이 두 모델을 실제 데이터와 비교하여 그림 1에 나타내었다. Constant 모델 결과는 표면에 의한 캐리어의 산란이 발생함을 볼 수 있으며, 이런 원인은 표면 캐리어의 증가 때문이다. 반면에 Lombardi 모델은 그렇지 않음을 볼 수가 있다[7][8][9].

결과적으로 Lombardi 모델의 결과는 Constant 모델에 비해 낮은 전류가 흐르며, ISE-TCAD의 결과값이 Micro-tec에 비해 실험 데이터에 더욱 근사함을 볼

수 있다[10].

본 논문에서는 두 개의 시뮬레이터를 사용하여 출력한 결과값과 실험 데이터와 비교하였으며, I-V 특성 곡선과 전계의 MOSFET 특성을 비교하여 나타내었다.

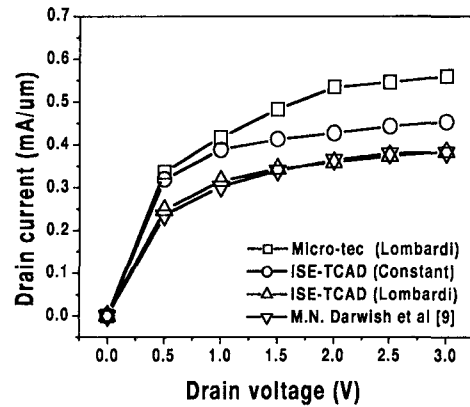


그림 1 Micro-tec과 ISE-TCAD에서의 I-V 관계 비교
Fig. 1 Comparison of I-V relation for Micro-tec with ISE-TCAD

ISE-TCAD로 얻은 I_d 는 그림 2에서 볼 수 있듯이, 게이트 길이가 150nm보다 짧을 때 실험 데이터와 다른 값을 알 수 있으며, Micro-tec으로부터 얻은 I_d 는 게이트 길이가 600nm보다 짧을 때 실험 데이터와 다른 데이터를 나타낸다. 소자가 스케일되어 1.2 μ m에서 75nm로 될 때, Micro-tec은 점차적으로 결과 데이터가 실험값과 차이가 남을 알 수 있으며, ISE-TCAD는 실험 데이터와 비슷한 데이터를 보임을 알 수 있다.

그림 3은 채널 길이가 감소할 때 전계의 변화를 보여주고 있으며, Micro-tec의 전계 데이터가 ISE-TCAD보다 높게 나타남을 알 수 있다. 게이트 길이의 감소는 드레인 전류를 증가시키는 원인이 된다. 그 이유는 그림 2와 3에서 볼 수 있듯이 전계가 증가할수록 드레인 전류는 비례하여 증가하기 때문이다.

그림 4는 I_d-V_d 특성 곡선을 보이고 있으며, 각각의 입력 바이어스 즉, V_g 를 변화시킬 때의 변화를 보이고 있다. Micro-tec으로부터 얻은 전류 데이터가 각각의 시뮬레이션 결과 ISE-TCAD보다 높게 나타남을 볼 수 있다.

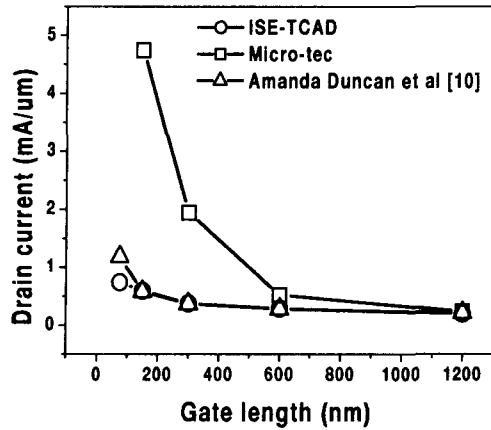


그림 2 게이트 길이 변화에 따른 I_d
Fig. 2. I_d according to change of gate length

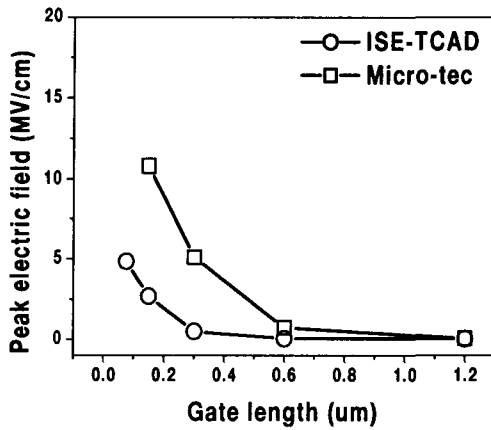


그림 3 게이트 길이의 변화에 따른 피크 전계
Fig. 3 Peak electric field to change of gate length

그림 4는 Micro-tec과 ISE-TCAD 데이터가 많은 차이를 보이고 있어, Micro-tec 결과 데이터에 0.1배를 하여 나타내었다.

그림 5는 드레인 전압의 변화에 따른 전계를 나타내고 있다. 드레인 전압의 변화에 따라 Micro-tec에 의한 전계가 ISE-TCAD에 의한 전계보다 높은 데이터를 보이고 있다.

일반적으로, 전계는 드레인의 측면 확산 영역 안쪽

에서 최고치를 갖는다. 그리고 높은 전계는 게이트와 LDD 사이에서 발생한다

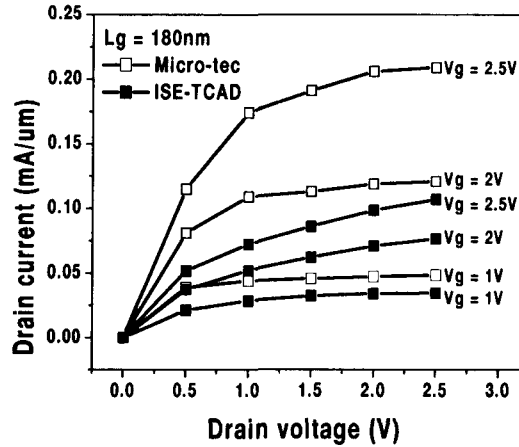


그림 4 $L_g=180\text{nm}$ 에서 ISE-TCAD와 Micro-tec의 I_d-V_d 관계 비교
Fig. 4 Comparison of current-voltage relation for Micro-tec with ISE-TCAD in $L_g=180\text{nm}$

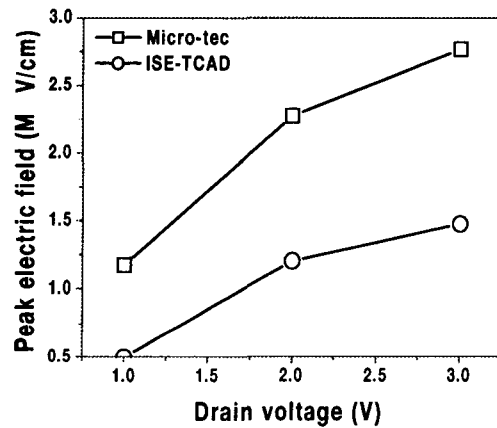


그림 5 $L_g=180\text{nm}$ 에서 드레인 전압 변화에 따른 전계 관계
Fig. 5 Electric field relation according to change of V_d in $L_g=180\text{nm}$

그림 6은 ISE-TCAD에서 나타낸 전계이며, 그림 7은 Micro-tec에서 나타낸 전계 그림이다. 이 두 그림으로부터 고전계가 게이트와 LDD 사이에서 발생함을

볼 수 있다.

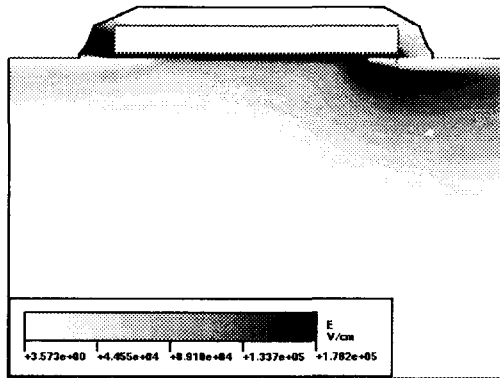


그림 6 ISE-TCAD를 이용한 전계 분포
Fig. 6 Electric field distribution using ISE-TCAD

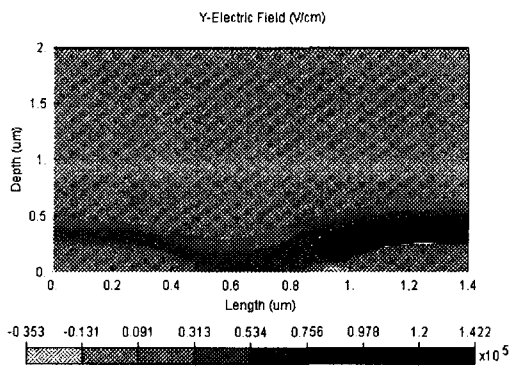


그림 7 Micro-tec을 이용한 전계 분포
Fig. 7 Electric field distribution using Micro-tec

도, 재결합 등을 분석 할 수 있다.

스켈링 이론 중 정전압 스켈링을 사용하여 소자의 구조를 $\lambda=2$ 로 게이트 길이를 300, 150, 75nm로 줄여 시뮬레이션 하였다. 스켈링 이론에 따라 구조의 감소에 따른 출력 값이 일정한 변화를 보여야하는데 구조가 작아질수록 Micro-tec은 더욱 큰 오차를 보이게 되었다. 최근 나노 구조로 가면서 기존의 스켈링 이론의 문제점이 드러나게 되었으며, 양자역학적 스켈링 이론이 개발되어지고 있다. 양자 산란과 표면 산란의 문제점을 극복하기 위한 Lombardi 이동도 모델을 사용하여 시뮬레이션 하였으며, ISE-TCAD의 결과가 실험 값과 거의 일치함을 볼 수 있었다. 두 시뮬레이터를 사용하여 전계와 Id-Vd 특성 곡선을 분석하였으며, ISE-TCAD에 의한 출력 데이터가 게이트 길이 150nm 보다 작을 때 실험 데이터와 오차를 보이고 있으며, 150nm보다 클 경우에는 비슷한 결과가 나타났다. Micro-tec은 동일한 소자 구조에서 동일한 바이어스를 인가한 상태에서 ISE-TCAD의 데이터와 실험 데이터보다 높은 전계와 전류가 나타났다. 즉, 각각 사용되어진 모델은 동일하지만, 그 모델의 식들의 차이와 그 식의 파라미터의 차이에 따라 약간의 출력 데이터가 다를 수 있다. 두 시뮬레이터 각각의 장단점이 있으므로, 어떤 시뮬레이터가 더 좋고 나쁘다고 말할 수 없으며, 단지 본 논문에서 사용된 실험 데이터와의 비교에 의해 ISE-TCAD가 실험 데이터에 더 적합함을 알 수 있었다. 향후 더 많은 시뮬레이터와 비교하여 더욱 적합한 시뮬레이터와 그에 따른 알맞은 모델식을 구하여 더 나은 소자 구조를 만들 수 있도록 노력해야 할 것이다.

V. 결 론

본 논문은 Micro-tec과 ISE-TCAD를 사용하여 LDD MOSFET의 전계와 Id-Vd 특성에 대해서 조사 분석하였다. 이 두 시뮬레이터에는 각각의 장단점이 있다. Micro-tec은 처음 접하는 사람이 쉽게 접할 수 있으며, 사용방법 또한 간단하다. ISE-TCAD는 많은 틀들로 인해 복잡하며, 사용하기 또한 어렵다. 그러나 많은 소자 구조에 대해서 실험을 할 수 있으며, 전계, 이동

감사의 글

본 연구는 2001년도 군산대학교 두뇌 한국(BK21) 사업단의 지원으로 이루어진 연구로서, 관계부처에 감사 드립니다.

참고문헌

- [1] Takayasu Sakurai, "VLSIs in the year 2010 and beyond From a designer's point of view", JSAP International No.3, January 2001.
- [2] J. Y. Tang and K. Hess. "Theory of hot electron emission from silicon into silicon dioxide." J. Appl. Phys. vol. 54. 1983. pp.5145-5151.
- [3] T. H. Ning and H, N. Yu. "Optically induced injection of hot electrons into SiO₂." J. Appl. Phys. vol. 45, 1978. pp.5373-5378.
- [4] John P. Uyemura, Fundamentals of MOS Digital Integrated Circuits, p.49-57, 1988.
- [5] Dale L. Critchlow, "MOSFET Scaling The Driver of VLSI Technology", IEEE, Vol 87, No 4, 1999. pp.659-667.
- [6] Sima Dimitrijevic, Understanding Semiconductor Devices pp.471-478, Oxford University Press, 2000.
- [7] K. Yamaguchi, "A mobility model for carriers in the MOS inversion layer", IEEE Trans. Electron Devices, vol. 30, 1983. pp.658-663.
- [8] C. Lombardi, S. Manzini, A. Saporito, and M. Vanzi, "A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices", IEEE Trans. on CAD, vol. 7, No. 11, 1988, pp.1164-1171.
- [9] M.N.Darwish, J.L.Lentz, M.R.Pinoto, P.M.Zeitoff, T.J.Krutsick, and H.H.Vuong, "An Improved Electron and Hole Mobility Model for General Purpose Device Simulation", IEEE Trans. on Electron Devices, vol. 44, No. 9, 1997, pp.1529-1538.
- [10] Amanda Duncan, Umberto Ravaioli, and Jurgen Jakumeit, "Full-Band Monte Carlo Investigation of Hot Carrier Trends in the Scaling of Metal-Oxide-Semiconductor Field-Effect Transistors", IEEE Transactions on Electron Devices, vol. 45, No. 4, April, 1998, pp.867-874.

저자소개

심성택(Sung-Taik Shim)

2000년 2월 군산대학교 전자공학과 졸업(공학사)
2002년 3월 ~ 군산대학교 대학원 전기전자제어공학부 석사과정
※ 관심분야 : 반도체 및 통신소자



임규성(Gyu-Sung Lim)

1997년 2월 건양대학교 전산학과 졸업(이학사)
2000년 8월 한밭대학교 대학원 전자공학과 졸업(공학석사)
2001년 3월 군산대학교 대학원 전자정보공학부 박사과정
현재 논산 백제병원 방사선과 과장
※ 관심분야 : 방사선, 반도체 및 통신소자



정학기(Hak-Kee Jung)

1983년 2월 아주대학교 전자공학과 졸업(공학사)
1985년 2월 연세대학교 대학원 전자공학과 졸업(공학석사)
1990년 8월 연세대학교 대학원 전자공학과 졸업(공학박사)
1994년 7월 ~ 1995년 7월 일본 오사카대학 객원 연구원
2002년 2월 현재 군산대학교 전자정보공학부 교수
※ 관심분야 : 반도체 및 통신소자