

# 플라즈마 에칭 후 게이트 산화막의 파괴

최영식\*

Pinholes on Oxide under Polysilicon Layer after Plasma Etching

Young-Shig Choi\*

요 약

다결정 실리콘층 아래의, 게이트 산화막이라고 불리는 높은 온도에서 형성된 산화막에서 핀홀이 관찰되었으며 그 메커니즘이 분석되었다. 다결정 실리콘층 아래의 산화막은 다른 다결정 실리콘층의 플라즈마 에칭 과정 동안에 파괴되어진다. 두 개의 다결정 실리콘층은 CVD증착에 의해 만들어진 0.8 $\mu$ m의 두꺼운 산화막에 의해 분리되어 있다. 파괴된 산화막들이 아크가 발생한 부분을 중심으로 흩어져 있으며 아크가 발생한 부분에서 생성된 극도로 강한 전계가 게이트 산화막을 파괴 시켰다고 가정된다. 아크가 발생한 부분은 Alignment key에서 관찰되었고 그리고 이것이 발견된 웨이퍼는 낮은 수율을 보여주었다. 아크가 발생한 부분이 칩의 내부가 아니더라도 게이트 산화막의 파괴에 의해 칩이 정상적으로 동작하지 않았다.

ABSTRACT

Pinholes on the thermally grown oxide, which is called gate oxide, on silicon substrate under polysilicon layer are found and its mechanism is analyzed in this paper. The oxide under a polysilicon layer is broken during the plasma etching process of other polysilicon layer. Both polysilicon layers are separated with 0.8  $\mu$ m thick oxide deposited by CVD (Chemical Vapor Deposition). Since broken oxide points are found scattered around an arc occurrence point, it is assumed that an extremely high electric field generated near the arc occurrence point makes the gate oxide broken. The arc occurrence point has been observed on the alignment key and is the mark of low yield. It is found that any arc occurrence can cause chips to fail by breaking the gate oxide, even if arc occurrence points are found on scribeline.

키워드

Plasma Etching, Gate Oxide, CVD, Alignment Key

## 1. 서 론

어떤 웨이퍼의 수율이 낮을 때, 파괴된 Alignment key가 칩 외곽에서 종종 발견되었다. 고주파 플라즈마

에서 과도하게 큰 전류가 흐르는 아크현상은 Alignment key를 파괴한다. 이러한 현상은 고주파 플라즈마 에칭 과정에서 빈번히 관찰되었다. 아크현상은 에칭이 진행되는 과정에서 형성된 플라즈마의 불안정

\* 동의대학교

접수일자: 2002. 2. 31

한 상태와 관계가 있으며 또한 웨이퍼 표면에서의 어떤 기하학적인 형태에 의해 야기될 수 있다. 아크현상이 발생했을 때, 고주파플라즈마의 구성요소인 이온들이 Alignment key로 집중되어 Alignment key가 파괴된다. 또한 아크현상이 에칭이 진행된 층보다 훨씬 아래쪽에 있고 산화막으로 격리되어진 게이트 산화막에도 심각한 결함을 일으킬 수 있다는 것이다. 낮은 수율을 보이는 웨이퍼에서 제대로 동작하지 않는 칩들을 분석하는 동안, 아크현상이 발생했을 때 게이트 산화막들이 파괴되어 질 수 있다는 것을 알았다.

아크현상은 Poly4 플라즈마 에칭 과정에서 발생한다는 것을 관찰하였다. 그리고 또한 파괴된 Alignment key들 가까이 있는 게이트 산화막들에 핀홀들이 존재한다는 것이 발견되었다. Poly1은 트랜지스터 게이트층으로 사용되어지며 Poly2는 전도층으로 사용된다. Poly3 과 Poly4는 커패시터 양극으로 사용된다. Poly1은 CVD에 의해 증착된  $0.8\mu\text{m}$ 의 두꺼운 격리층에 의해 Poly4층과 분리되어져 있다. 웨이퍼상의 Alignment key와 칩들의 위치가 그림 1에 표시되어 있다.

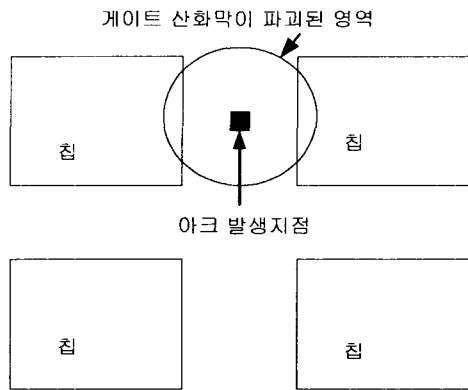


그림 1. 웨이퍼상의 Alignment key의 위치.  
Fig. 1. The location of alignment key on the wafer

비록 칩 내부영역에서 외관상 파괴된 흔적이 발견되지 않고 칩 외부인 칩과 칩 사이의 공간에서 파괴된 Alignment key가 발견되더라도 그 주위의 칩 내부에서 파괴된 게이트 산화막들이 발견되었다. 이 현상을 분석한 후, 아크현상이 발생할 때 생성되는 과도하게 높은 전계가 게이트 산화막을 파괴한다는 결론을 얻었

다. 게이트 산화막이 파괴된 형태는 산화막에 핀홀 모양으로 나타난다. 정상적인 Alignment key와 아크현상 때 파괴된 Alignment key가 그림2에 나타나 있다. 이 논문에서는 관찰되어진 현상 사이의 관계, 즉 어떻게 아크현상이 발생하는지 그리고 어떻게 그것이 게이트 산화막을 파괴하는지를 설명한다.

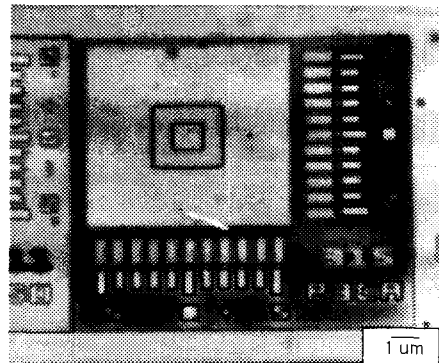


그림 2. (a) 정상적인 Alignment key.  
Fig. 2. (a) Normal Alignment key.

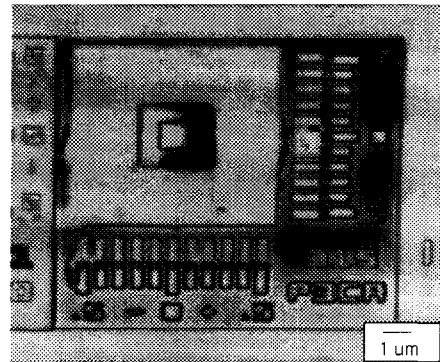


그림 2. (b) 아크현상으로 파괴된 Alignment key.  
Fig. 2. (b) Deteriorated alignment key when arc phenomenon happens.

## II. 기하학적 레이아웃 현상

Poly4 에칭과정 동안 발생하는 아크현상은 웨이퍼의 표면 기하학적인 구조에 매우 밀접한 관계를 가진다. Poly3로 구성된 Alignment key는 웨이퍼의 기판과 연결되어 있다. 그것은 Poly4 에칭 과정이 진행될 때 고주

파 플라즈마 쪽으로 노출되고 돌출된다. Alignment key는 웨이퍼의 표면에 이러한 구조를 가지는 유일한 것이다. 그림3은 포토-리소그래피 (Photo-Lithography) 공정을 마쳤을 때 웨이퍼의 간략화 된 가로단면을 보여준다. Poly3와 Poly4 사이의 얇은 유전체층은 그림 3에서 보이지 않는다.

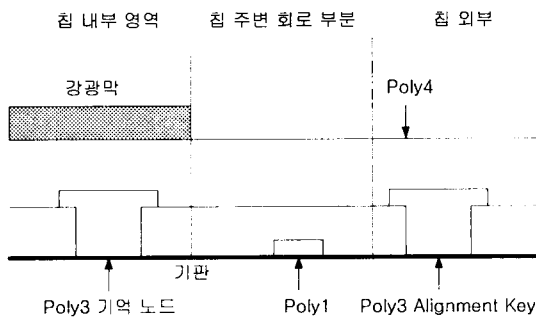


그림 3. Poly4 에칭전 웨이퍼의 간략화한 단면도.  
Fig. 3. A simplified cross sectional view of the wafer before poly4 etching.

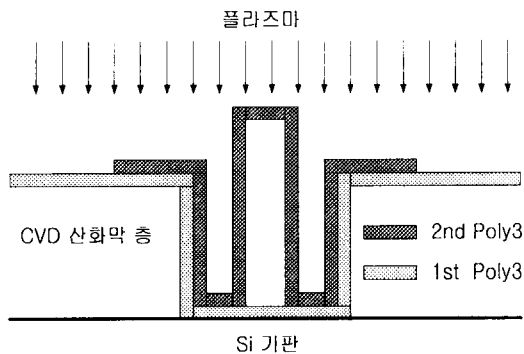


그림 4. Alignment Key의 단면도.  
Fig. 4. A cross section of the alignment key.

Poly4 에칭후의 정확한 Alignment key의 가로단면이 그림4에 나타나 있다. Poly4와 Poly3 사이의 얇은 유전체층은 Poly4 플라즈마 에칭과정에서 제거된다. 이 유전체 산화막은 매우 얇아 Poly4 에칭 과정 동안에 쉽게 에칭되어 제거된다. 이 유전체층이 제거됨에 따라 기판에 연결된 Poly3 층이 고주파 플라즈마에 노출된다. 칩과 칩 사이에 있는 Alignment key는 고주파 플라즈마의 양전하를 끌어들이는 안테나처럼 행동한다.

다. 안테나 같은 행동은 Alignment key에 과도하게 큰 전류를 흐르게 하고, 과도한 전류는 Alignment key를 파괴시킨다. 그러므로, Poly3가 고주파 플라즈마에 노출되고 돌출 될 때 아크현상이 빈번하게 발생하는 것은 고주파 플라즈마의 특성으로부터 이해 될 수 있다. 고주파 플라즈마 특성은 0 전계를 가지는 거의 중립적인 영역과 전극들 가까이에서 높은 전계를 가지는 두 개의 얇은 영역으로 구분된다. 얇은 영역은 전자와 양이온의 무게 차이에 의해 형성된다. 고주파 플라즈마 내 웨이퍼 표면은 이온들로 충전되어 있다. 만약 고주파 플라즈마가 평형상태라면, 웨이퍼 표면에 축적된 전하량은 고주파 교류전기장에 따른 충전과 방전에 거의 일정하게 유지된다[1].

Poly4와 유전체 산화막이 제거되면 Poly3은 고주파 플라즈마에 노출된다. 이것은 플라즈마 얇은 영역을 웨이퍼 기판과 바로 연결하는 것이고 얇은 영역의 양이온을 웨이퍼 기판으로 끌어 당기는 것이다. 이 현상이 고주파 플라즈마와 기판 사이에 큰 전류 흐름을 일으킨다. 많은 양이온들이 돌출 된 Poly3로 몰려 Poly3가 심하게 에칭되어 버린다. 이때 Alignment key는 파괴된다. Alignment key가 감광막으로 덮여져 있으면 Poly3를 에칭하는 과정에서 아크현상이 일어나지 않는 것이 확인되었다. 그것은 아크현상이 웨이퍼 표면의 기하학적인 레이아웃과 밀접한 관련이 있다는 것의 의미한다.

### III. 파괴된 게이트 산화막의 메카니즘

파괴된 게이트 산화막은 파괴된 Alignment key 영역 주위의 넓은 지역에서 게이트 산화막 핀홀들 형태로 관찰 되었다. 게이트 산화막 핀홀은 그림 5에 나와 있다. 아무곳에도 연결되지 않은 플로팅게이트에만 핀홀이 나타난다는 사실에서 판단하면 과도하게 높은 전계가 게이트 산화막을 파괴한다는 것을 알 수 있다. 그림 6에서 보여지는 것과 같이 Poly2 전도층에 의해 웨이퍼 기판으로 연결된 게이트의 산화막에는 핀홀이 발견되지 않았다. 그러므로 게이트들이 기판에 연결되어 있으면 게이트 산화막은 외부 전계로부터 보호된다. 에칭 장비의 음극에 연결된 기판은 충전된 이온을 웨이퍼 외부로 흘려주는 역할을 한다. 게이트 산화막 핀

홀이 플로팅게이트에서만 발견되는 것은 아크현상에 의해 야기되는 과도한 높은 전계에 의해 게이트 산화막이 파괴되는 것을 설명할 수 있다.

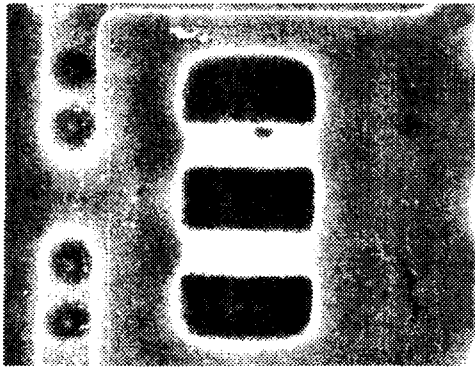


그림 5. 게이트 산화막 핀홀의 전자 현미경 사진.  
Fig. 5. A SEM micrograph of gate oxide pinhole.

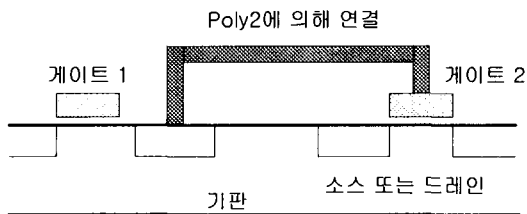


그림 6. 기판과 게이트 2가 Poly2 층으로 연결되어 있어 게이트 2 산화막에는 핀홀이 발견되지 않는다.

Fig. 6. No pinholes are found under the gate 2 that is connected to the substrate via poly2 interconnection layer.

과도하게 높은 전계가 생성되는 메카니즘은 웨이퍼 표면의 음전하 때문이다. 전계는 웨이퍼 표면과 기판 사이에서 생성된다. 전계강도는 표면전하량에 비례해서 나타난다. 만약 극단적으로 많은 전하량이 표면에 축적되면 과도하게 높은 전계가 생성된다. 이것은 게이트 산화막의 항복을 초래한다. 평형상태에서 축전과 방전의 주기는 표면에서의 전하량을 거의 일정하게 유지시키고, 방전은 웨이퍼 전 표면에 균등하게 전달되는 양이온의 의해 발생된다.

그러므로 아크현상은 불가능해진다. 그러나 만약 웨이퍼에 Alignment key와 같은 것이 있으면 치명적인 아크현상이 발생한다. 아크현상이 발생할 때, 양이온

은 Alignment key에 몰리게 된다. 결과적으로, 많은 양이온이 Alignment key에 집중되어 방전된다. 짧은 시간 동안에 Alignment key와 같은 좁은 곳에 양전하들이 많이 모이기 때문에 게이트 산화막에 걸리는 전계는 매우 높다.

이 현상은 플로팅게이트의 산화막을 파괴할 가능성을 증가시킨다.

#### IV. 결론

이 논문은 아크현상이 다결정 실리콘층 아래에 있는 게이트 산화막을 어떻게 파괴하는지를 설명하였다. 아크현상은 플라즈마 에칭이 진행되는 동안 빈번히 나타난다. 이것은 칩의 오동작과 낮은 수율의 원인이 된다. 칩과 칩 사이에 어떤 형태의 레이아웃을 할 때도 매우 조심해야 한다. 사실, 치명적인 아크 현상을 감광막으로 Alignment key를 덮음으로서 보호할 수 있다는 것은 레이아웃의 연결과 형성 방법의 중요성을 설명해 준다. 아크현상은 저전력 에칭 방법을 사용하여 피할 수도 있다. 그러나 사려 깊은 레이아웃은 칩의 동작이 에칭 조건에 무관하게 될 수 있도록 해주며, 그리고 더욱더 다양한 공정 조건을 개발 할 수 있도록 해준다.

#### 참고문헌

- [1] S. WOLF and R. N. TAUBER, in Silicon Processing for the VLSI Era, vol. 1, Lattice Press, p.335-359, 542-547, 1986.

#### 저자약력

최영식(Young-Shig Choi)

- 1982년 2월 경북대학교 전자공학과 (공학사)  
1986년 12월 Texas A&M Univ. 전기공학과(공학석사)  
1993년 5월 아리조나 주립대 전기공학과 (공학박사)  
1987년 2월 ~ 1999년 2월 현대전자 시스템 IC 연구소  
1993년 3월 ~ 현재 동의대학교 전자공학과 조교수