

---

# 고속신호처리를 위한 고주파용 Op-Amp 설계

신건순\*

A High Frequency Op-amp for High Speed Signal Processing

Gun-Soon Shin\*

---

이 논문은 2001년도 금오공과대학교 학술연구비와 IDEC의 CAD TOOL을 지원받았음

---

## 요 약

High speed 신호처리는 통신분야, SC circuit, HDTV, ISDN 등에서 관심이 더욱 증가하고 있으며, high speed 신호처리를 위한 많은 방법들이 있다. 본 논문에서는 CMOS 공정에서 고주파 Op-amp의 실현을 위한 설계를 기술하였다. 아날로그 집적회로를 기초로 하는 high speed op-amp의 기능을 제한하는 요소 중 한가지는 유효 주파수 범위이다. 본 논문에서는  $C_L=2pF$ 에서 단위이득 주파수가 170MHz인 향상된 대역폭을 가지는 CMOS op-amp 구조를 개발한다. 공정은  $1.2\mu$  디자인 룰을 따른다. 본 논문에서 제시한 CMOS op-amp는 고주파 SC filter에서 요구하는 큰 커패시터 부하에서의 넓고 안정된 폐루프 대역폭을 얻기에 매우 적합하다.

## ABSTRACT

There is an increasing interest in high-speed signal processing in modern telecommunication and SC circuit, HDTV, ISDN. There are many methods of high-speed signal processing. This paper describes a design approach for the realization of high-frequency Op-amp in CMOS technology. A limiting factor in Op-amp based analog integrated circuits is the limited useful frequency range. this thesis will develop a CMOS op-amp architecture with improved gainband width product with this technique an op-amp will achieve up to 170MHz ( $C_L=2pF$ ) unity-gain frequency with a 1.2-micron design rule. This CMOS op-amp is particularly suitable for achieving wide and stable closed-loop band widths, such as required in high-frequency SC filters, high-speed analog circuits.

## 1. 서론

대부분의 SC filter와 non-filtering application에서 일반적으로 2단 op-amp가 사용되어져 왔다.[1-7]

그러나 High frequency filter와 높은 정밀도와 속도를 요구하는 D/A, A/D converter와 같은 일부 회로에서는 2단 op-amp의 이득과 settling rate는 적절치가 못하다. 보다 정확하고 높은 주파수 범위를 요

\* 금오공과대학교 전자공학과

접수일자: 2002. 1. 15



합성 부하 회로의 문제점은 추가된 소자들로 인해 출력의 노이즈에 많은 영향을 끼치는 것이다. 또한 소자의 부정합은 op-amp에 임의의 offset 전압을 가져온다. 합성 캐스코드 부하를 가지는 높은 이득의 또 다른 차동증폭기가 그림 3에 나타나있다.

이 회로에서 공통 게이트 소자 Q<sub>6</sub>, Q<sub>7</sub>이 R<sub>0</sub>를 높이고 또한 입력단의 Q<sub>1</sub>, Q<sub>2</sub>의 밀러효과를 줄인다. Q<sub>10</sub>, Q<sub>11</sub>은 전류미러를 형성하며, Q<sub>9</sub>은 출력임피던스 R<sub>0</sub>를 증가시킨다.

$$R_0 = \frac{1}{g_{d10}/g_{m9}r_{d9} + g_{d2}/g_{m7}r_{d7}}$$

전압이득은  $-g_{m1}R_0$ 이므로 더 큰 전압이득을 얻을 수 있다. 보통 그림 2나 그림 3에서의 차동 영역은 level shifter(보통 source follower)에 연결되거나 출력단에 연결된다. 또한 이 회로는 pole-splitting 커패시터, 저항, source follower에 의해 보상되어지는 것이 필요하다. 결과적으로 회로는 level shifter와 부하 커패시터 C<sub>L</sub>로 인해서 몇 개의 nondominant pole을 가진다. 그러나 큰 부하 커패시터로 인해 bandwidth는 제한을 받게되고, 또한 C<sub>C</sub>=C<sub>L</sub>일 때 slew rate  $g_{m1}/C_C$ 는 C<sub>L</sub>의 크기에 따라 제한을 받는다. 마지막으로 고주파 PSRR은 특별한 회로가 사용되어지지 않는다면, pole-splitting 커패시터에 의해서 줄어들 것이다. 자연스럽게 이들 부하 회로는 본 회로를 상당히 복잡하게 한다.

그러나, 모든 복잡한 요소들은 제거될 수 있다. folded cascode 구조를 사용하여 회로는 단순화되고, 더 빨라진다. 그림 2의 회로에서 Q<sub>3</sub>-Q<sub>8</sub>의 합성 부하의 윗단을 V<sub>DD</sub>에서 분리시키고 아래로 접어 대신 V<sub>SS</sub>에 연결한 후 적당한 dc bias 전류를 얻기 위해 모든 PMOS 소자를 NMOS로 변환시켜야만 한다. 또한, 이들 입력소자에 bias 전류를 제공하기 위해 두 개의 전류원(Q<sub>10</sub>, Q<sub>11</sub>)을 V<sub>DD</sub>와 Q<sub>1</sub>, Q<sub>2</sub> 드레인 사이에 추가해야만 한다. 최종적인 op-amp는 그림 4에 나타내었다. 전류원 Q<sub>9</sub>의 dc 전류 I<sub>0</sub>'는 Q<sub>1</sub>, Q<sub>2</sub>에 같은 크기로 분배되고, Q<sub>10</sub>, Q<sub>11</sub>의 전류원은 노드 A, B에 동일한 bias 전류를 제공한다. 그래서 Q<sub>7</sub>과 Q<sub>8</sub>에는 동일한 dc bias 전류  $I = I_0' - I_0/2$ 가 흐르게 된다. Q<sub>1</sub>, Q<sub>2</sub>의 게이트에 인가된 차동 입력 전압  $V_{in} = V_{in}/2$ ,  $V_{in} = -V_{in}/2$ 은 드레인 전류를

$I_0 = g_{m1}V_{in}$ 만큼 상쇄시킬 것이며, Q<sub>10</sub>, Q<sub>11</sub>의 전류 I<sub>0</sub>'가 일정하게 유지되어지는 동안 Q<sub>7</sub>, Q<sub>8</sub>의 전류 I는 I<sub>0</sub>로 바뀔 것이다.

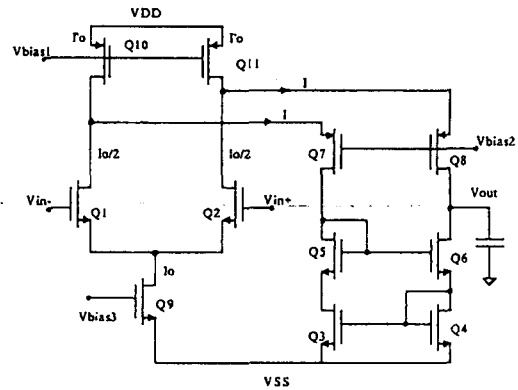


그림 4. Folded 캐스코드 op-amp  
Fig 4. Folded-cascode op-amp

Q<sub>3</sub>-Q<sub>6</sub>의 전류미러는 Q<sub>3</sub>, Q<sub>5</sub>의 변화된 전류 Q<sub>1</sub>, Q<sub>6</sub>로 전달한다. 따라서 출력전압의 증가는  $g_{m1}R_0V_{in}$ 이다. 여기서 R<sub>0</sub>는 노드 D의 출력 임피던스이다.

$$r_o = \frac{1}{g_{d3}/g_{m6}r_{d6} + (g_{d2} + g_{d11})/g_{m8}r_{d8}}$$

전압이득은  $-g_{m1}R_0$ 이며 출력 임피던스 R<sub>0</sub>와 병렬 연결된 부하 커패시터 C<sub>L</sub>에 의해 dominant pole이 나타난다.

$$s_{pl} = -\frac{1}{R_0C_L}$$

고주파 nondominant pole은 노드 A, B, C에 낮은 임피던스를 인가하는 커패시터들에 의해 나타나는데, 노드 A에서의 임피던스는 대략  $1/g_{m7}$ 이며, 노드 B에서는  $1/g_{m8}$ , 노드 C에서는  $1/g_{m6} + 1/g_{m1}$ 이다. 실제적인 Sp1과 dc gain A<sub>0</sub>의 값에 따라 op-amp는 페루프 단위이득에서 안정하거나 불안정할 수 있다.

그림 5는 다른 두 개의 C<sub>L</sub>에 따른 전압이득과 위상 응답을 나타낸 것이다. 그림에서 보면 C<sub>L</sub>이 커질수록 op-amp의 위상마진이 커지는 것을 알 수 있다. 이것은 2단이나 3단 op-amp에서 C<sub>L</sub>이 nondominant pole을 발생시키는 것과 반대이다. 2단이나 3단 op-amp에서는 증가된 C<sub>L</sub>이 dominant와 nondominant pole의 간격을 줄이고 따라서 위상마진을 줄인다. 결국 그림

4에서 보여지는 folded cascode op-amp는 고주파 SC filter에서 요구하는 큰 커패시터 부하에서의 넓고 안정된 페루프 대역폭을 얻기에 매우 적합하다.

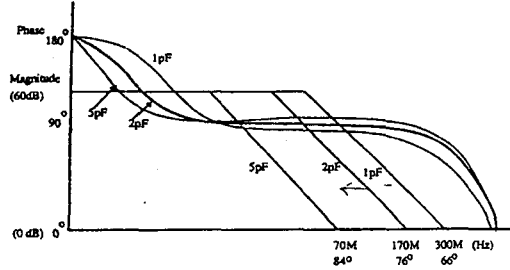


그림 5. CL에 따른 이득과 위상응답  
Fig 5. The gain and phase responses of the op-amp for different values of CL

설계된 op-amp 구조는 그림 6에 나타내었고, 각각의 MOS 크기와 op-amp의 특성은 표 1과 표 2에 나타내었다.

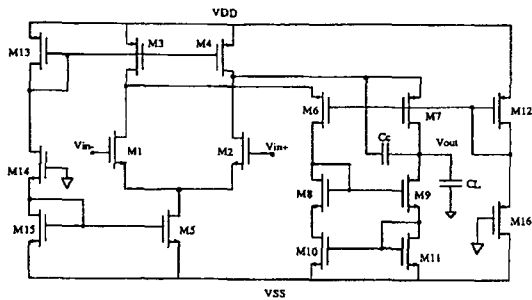


그림 6. 설계된 op-amp 구조  
Fig 6. The architecture of the designed op-amp

표 1. op-amp의 MOS 크기  
Table 1. The op-amp MOS size

	MOS	L(μm)	W(μm)
M1	NMOS	2	350
M2	NMOS	2	350
M3	PMOS	2	53
M4	PMOS	2	53
M5	NMOS	2	14
M6	PMOS	2	60
M7	PMOS	2	60

	MOS	L(μm)	W(μm)
M8	NMOS	2	5
M9	NMOS	2	5
M10	NMOS	2	5
M11	NMOS	2	5
M12	PMOS	2	5
M13	PMOS	2	65
M14	NMOS	2	14
M15	NMOS	2	14
M16	PMOS	2	14

표 2. 설계된 Op-amp의 특성  
Table 2. The characteristic of the designed op-amp

Open Loop Gain	60dB
Phase Margin	66° (1pF) 76° (2pF) 84° (5pF)
Unity Gain Frequency (C <sub>L</sub> )	300MHz(1pF) 170MHz(2pF) 70MHz(5pF)
CMRR	71dB
PSRR V <sub>DD</sub>	74dB
PSRR V <sub>SS</sub>	77dB
Noise Spectral Density	38nV/Hz at 300MHz
Slew Rate	270V/μm with 1pF(C <sub>L</sub> )
Power Dissipation	26mW
Offset Voltage	-5mV
Power Supply	V <sub>DD</sub> (+5V) V <sub>SS</sub> (-5V)

### III. 결론

고속신호처리를 위한 많은 방법중에서 본 논문에서는 시스템내의 소자특성을 개선하는 방법으로써 모든 아날로그 및 아날로그-디지털회로에서 필수적인 능동소자로 사용되고 있는 Op-amp의 특성을 개선하였다. 특히 Op-amp의 여러 동작특성중 고속도

동작과 직접관련이 있는 주파수대역을 확장하였으며 이를 위하여 기존의 1단 Op-amp에 설계한 복합 부하구조를 첨가하여 새로운 구조를 설계하였다. 설계된 CMOS 1단 광대역 Op-amp는 단위이득대역폭이 170MHz ( $C_i=2pF$ )이며, 이 구조는 광대역 및 고속신호처리를 요구하는 고주파용 필터 및 고속 아날로그회로에 응용될 수 있으리라 기대된다.

### 참고문헌

- [1] K. Martin and A. S. Sedra, "Effects of the opamp finite gain and bandwidth on the performance of switched capacitor filters" IEEE Trans. Circuits Syst., vol.CAS-28, pp.822-829, Aug. 1991.
- [2] B. S. Song, "A 10.7-MHz switched-capacitor bandpass filter" IEEE J. Solid-state Circuits, vol.SC-24, pp.320-324, Apr. 1989.
- [3] B. Y. Kamath, R. G. Meyer, and P. R. Gray "Relationship between frequency response and settling time of operational amplifiers" IEEE J. Solid-state Circuits, vol.SC-9, pp.347-352, Dec. 1974.
- [4] K. Bult and G. Geelen, "A Fast Settling CMOS Op-Amp for SC-Circuits with 90dB DC-Gain and 116MHz Unity-Gain Frequency"
- [5] D. B. Riber and M. A. Copeland, "Biquad Alternative for High-Frequency Switched-Capacitor Filters" IEEE J. Solid-state Circuits, vol.SC-20, pp.1085-1095, Dec. 1985.
- [6] Carlos A. Laber and P. R. Gray, "A Positive-Feedback Transconductance Amplifier with Application to High Frequency, High-Q CMOS Switched-Capacitor Filters" IEEE J. Solid-state Circuits, vol. SC-23, pp.1370-1378, Dec. 1988
- [7] P. R. Gray and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits" New York: Wiley, 1984.

### 저자소개



신건순 (Gun-Soon Shin)

1972년 한양대학교 전기공학과 졸업.

1983년 전북대학교 대학원 전기공학과 졸업(공학석사).

1989년 전북대학교 대학원 전기공학과 졸업(공학박사).

1993년 미국 Ohio State University 전기공학과, Solid-State Microelectronic Lab. 객원교수

현재 금오공과대학교 전자 공학부 교수.

※ 주관심분야 : ASIC 및 아날로그 IC 설계 등 .