
펄스폭변조 기법을 이용한 신경망회로 설계

전응련* · 전홍우** · 송성해** · 정금섭***

A Neural Network Design using Pulsewidth-Modulation(PWM) Technique

Eoung-Lyun Jeon* · Hung-Woo Jeon** · Sung-Hae Song** · Gum-Sub Jung***

본연구는 2000년도 금오공과대학교 학술연구비 지원과 IDEC의 CAD Tool 지원에 의하여 연구된 논문임

요 약

본 논문에서는 학습과 정정 기능을 갖는 PWM 뉴럴네트워크를 설계하였다. 설계된 PWM 뉴럴시스템에서, 네트워크의 입력과 출력 신호들은 PWM 신호에 의해서 표현되어진다. 뉴럴네트워크에서 곱셈은 가장 많이 사용하는 동작이다. 승산과 합산의 기능은 PWM 기술과 간단한 혼합모드 회로기술에 의해서 실현된다. 그러므로 설계된 뉴럴네트워크는 단지 소규모의 칩상에서 구현될 수가 있다. 하나의 뉴런과 세 개의 시냅스, 연관된 학습회로로 설계된 네트워크회로는 양호한 선형성과 넓은 범위의 동작범위를 가지고 있다. PWM을 이용한 신경망회로의 학습능력을 검증하기 위해, 델타 학습 규칙을 적용하였다. AND 기능과 OR 기능 학습 예를 HSPICE 시뮬레이션을 통해서 설계한 신경망회로의 기능이 성공적임을 증명하였다.

ABSTRACT

In this paper, a design of the pulsewidth-modulation(PWM) neural network with both retrieving and learning function is proposed. In the designed PWM neural system, the input and output signals of the neural network are represented by PWM signals. In neural network, the multiplication is one of the most commonly used operations. The multiplication and summation functions are realized by using the PWM technique and simple mixed-mode circuits. Thus, the designed neural network only occupies the small chip area. By applying some circuit design techniques to reduce the nonideal effects, the designed circuits have good linearity and large dynamic range. Moreover, the delta learning rule can easily be realized. To demonstrate the learning capability of the realized PWM neural network, the delta learning rule is realized. The circuit with one neuron, three synapses, and the associated learning circuits has been designed. The HSPICE simulation results on the two learning examples on AND function and OR function have successfully verified the function correctness and performance of the designed neural network.

* 김천직업전문학교

** 금오공과대학교

*** 구미기능대학교

접수일자: 2002. 2. 19

I. 서론

VLSI구현에는 디지털과 아날로그 기술을 이용한 여러 가지 구현방법들이 있다. 기본적으로 아날로그 VLSI 신경체계의 장점은 간단한 구조, 효과적인 비동기 동작, 비양자화 효과등이나, 신호는 잡음과 간섭에 강하지 못하다. 반면에 디지털 VLSI 신경체계는 잡음과 간섭에 강하고, 쉽게 전송과 재생을 할 수 있으며 처리속도는 빠르나, 구현할 때에 면적과 전력을 많이 소모하는 단점을 갖고 있다. 아날로그와 디지털 VLSI 신경체계 양쪽의 장점을 결합하기 위해서 펄스흐름 기술이 제안되었으며, 펄스흐름 기술에서 디지털 신호는 정보를 운반하고 아날로그 회로를 제어하는데 사용된다[1]. 펄스흐름 신경망 응용력을 향상시키기 위해서 학습은 VLSI 신경체계 안에서 구현되는 것이 효과적이다. 칩에 학습기능이 내장된 신경망의 구현은 [1]에서 일부 제안되었으며, 신경망은 디지털 회로와 자외선 프로그램 게이트 메모리(EPROM)로 구현되었다.

본 논문에서는 칩에 학습 기능내장과 정정기능을 갖는 펄스 폭변조를 이용한 신경망회로를 설계하였으며, 설계한 회로에서 사용된 펄스흐름 기술은 펄스 폭변조(PWM)이다. 기본적으로 PWM의 코딩 방법은 PWM신호에 의한 양(positive)의 아날로그 값으로 나타나며, PWM신호는 크기에 비례하는 펄스 폭을 갖는 파형이다. 두 가지 겹치지 않는 기준 클럭이 PWM 신호를 동기화하기 위해 사용되었으며, PWM신호는 이들 두 위상 동안만 '1'로 설정 될 수 있다. 신호에 아날로그 값이 포함되어 있지 않으므로 신호는 명료하고 디지털 기술의 주요 이점을 얻을 수 있다. 몇 가지 회로설계기술과 PWM 기술을 적용함으로써 PWM 입·출력신호를 갖는 신경망은 단순한 구조와 우수한 선형성을 가지므로 칩에 학습기능이 내장된 보다 큰 신경망의 구현가능성이 가능하게 되었다. 신경망에서는 곱산이 가장 보편적으로 이용되는 동작방식 중 하나이다. PWM 신호로 전류의 적분시간을 제어함으로써, 곱산을 실행하는 것이 쉽게 이루어지고, 적분 전압은 전류와 PWM신호의 펄스 폭의 곱에 비례하므로 곱산은 단순 혼합모드 회로에 의해 쉽게 구현된다. 따라서, PWM을 이용한 신경망은 작은 칩면적에서 구현될 수 있고, 더욱이 스위치의 비 이상적인 효과를 보상하면

설계된 회로는 좋은 선형성과 큰 동작영역을 갖는다. 이것은 또한 학습동작을 쉽게 한다.

PWM을 이용한 신경망회로의 학습능력을 검증하기 위해, 델타 학습 규칙을 적용하며, AND 기능과 OR 기능의 학습을통해서 설계한 신경망회로의 기능이 성공적임을 증명하였다.

II. 신경회로망 설계

다층 퍼셉트론과 같은 피드포워드 인공신경망에서 N+1개 시냅스를 가진 뉴런을 고려하면, i 번째 시냅스의 동작은 식(2-1)과 같이 표현할 수 있다[2].

$$s_i = w_i x_i \quad (2-1)$$

여기서 s_i 는 i 번째 시냅스 출력, w_i 는 시냅스의 가중치값, x_i 는 부(負)가 아닌 입력, 그리고 $0 \leq i \leq N$ 이다. 또한, 뉴런 출력은 식(2-2)으로 나타낼 수 있다[2].

$$y = f(z) = f\left(\sum_{i=0}^N s_i\right) \quad (2-2)$$

여기서 z 는 모든 시냅스 출력의 합, 그리고 $f(\cdot)$ 는 합쳐진 입력 z 에서 출력 y 로의 뉴런 전달함수이다. 위의 식으로부터 시냅스가 신경망에서 주요 구성요소이고, 또한 신경망의 많은 부분은 시냅스 사이의 상호연결에 의한 형태로 되어 있다. 그러므로, 큰 신경망회로를 구현하기 위해서 시냅스회로는 전체 칩 면적을 타당성 있게 유지하도록 가능하면 작게 구성해야 한다. 이를 위해 본 논문에서는 PWM기술을 시냅스와 뉴런의 설계에 적용하였다. 이 기술에서는 식(2-1)과 (2-2)에서의 신호 x_i 및 신호 y 가 PWM신호로 표현되며, 이들의 펄스 폭은 신호 값에 비례한다. w_i 의 값은 아날로그 전압이므로 간단한 시냅스회로가 얻어진다.

2.1 시냅스(Synapse)

전류의 흐름시간을 제어하기 위해서 PWM 신호를 사용하므로써 총 출력전하는 펄스 폭과 전류의 곱으로 나타낼 수 있다[3-8].

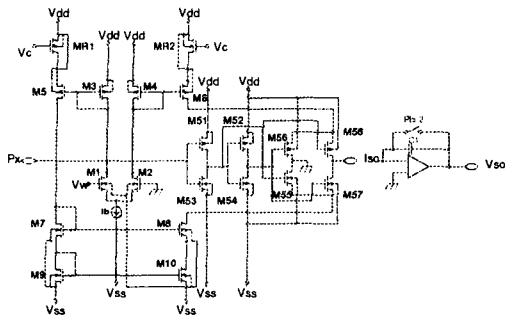


그림 2-1 시냅스 회로
Fig 2-1. Synapse circuit

이 개념에 기초하여 시냅스 회로를 설계하고 그림 2-1에 나타냈다. 그림2-1 시냅스 회로는 전압전류 변환기, 인버터, 스위치로 구성하였다.

전압전류 변환기(VIC; voltage to current converter)는 OTA회로를 이용하여 설계하였으며 가중치 전압 V_w 을 전류 I_{SO} 로 선형적으로 변환한다. OTA회로에서 선형성과 조절성을 동시에 활용하는 적절한 방법은 프로그래머블 전류미러를 이용하는 것이다[9]. 이 방법은 선형성과 조절성을 모두 만족하며, 입력 쌍의 바이어스 전류보다는 전류미러의 이득을 조정하도록 구성하였다. 이것은 간단한 구조를 가지면서 성능 또한 양호하다. OTA의 회로 구조는 그림2-2에 나타냈다.

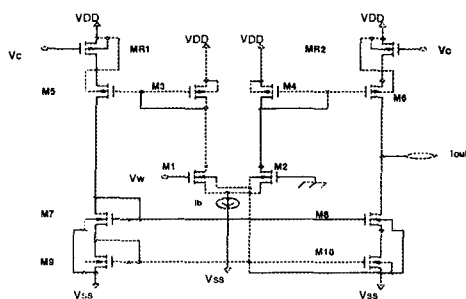


그림 2-2 프로그래머블 전류미러를 이용한 OTA
Fig 2-2. OTA using programmable current mirror

프로그래머블 전류미러를 사용하는 다른 장점은 OTA의 이득대역폭이 컨덕턴스 조절에 대하여 많은

변화를 가지지 않는다는 점이다. 설계된 OTA의 Hspice 시뮬레이션 결과는 그림2-3과 같다.

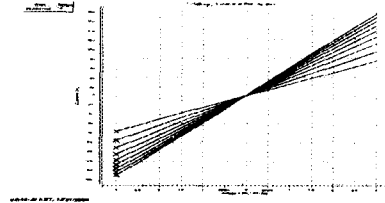


그림 2-3 OTA의 Hspice 시뮬레이션 결과
Fig2-3 Simulation result for OTA

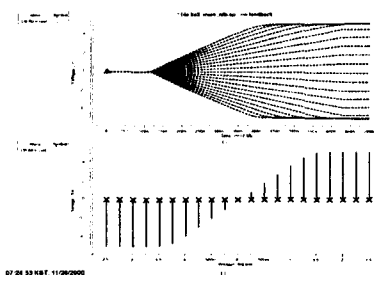
차동 입력전압($V_{in}^+ - V_{in}^-$)의 [-3V, +3V] 입력범위와 제어전압 V_c 의 [-2V, +2V] 범위에서 출력전류는 [-16 μ A, +16 μ A]범위에서 선형성을 갖는다. 따라서, 컨덕턴스 조절 범위는[2 μ S, 5 μ S]이다. 위에서 기술된 시냅스회로의 동작에 따라 2-사분면 곱은 총 전하량 Q_{SO} 을 얻기 위하여 출력 전류 I_{SO} 를 P_x 의 펄스 폭 T_x 까지 적분하여 구할 수 있으며 식(2-3)으로 표현할 수 있다.

$$Q = \int_{I_x}^{T_x} I_{so} dt = T_x \cdot I_{so} = k V_x V_w \quad (2-3)$$

원거리 전송과 칩내 통신에 기인한 P_x 의 증가된 상승시간과 하강시간을 줄이기 위해서는 두개의 인버터를 추가하였다. 전류(I_{SO})의 적분은 캐패시터를 이용하여 수행될 수 있고, 그러나 이것은 시냅스기능의 선형성을 저하시키고 시냅스 출력 점에서의 전압 변동의 원인이 될 것이다. 그래서 연산증폭기(op-amp)가 추가되었다. 전체 적분회로는 그림2-1에 나타나 있고 전류 I_{SO} 를 적분하기 위해 캐패시터 C_1 이 구성되고 매 적분단계전에 캐패시터에 충전된 전하를 리셋하기위하여 스위치는 ϕ_2 에 의해 제어된다, 그리고 연산증폭기는 시냅스 회로의 출력 전압을 가상접지(virtual ground)로 유지시킨다.

연산증폭기는 뉴런에 한 개씩 사용하고 있고, 또한 δ (오차)계산블록에 한 개씩 사용된다. 여기서, 사용한 연산증폭기는 미러된 캐스코드 연산증폭기이며, 1단 연산증폭기를 사용하는 이점은 2단 연산증폭기보다

더 안정하다는 것이며, 부하 커패시턴스가 연산증폭기의 안정성에 영향을 미치지 않는다는 것이다. 1단 연산증폭기의 이득은 그렇게 높진 않지만 적분기에 사용하기에는 충분하다. 적분회로를 통하여 전류 I_{SO} 는 전압 V_{SO} 로 변환된다. 모든 시냅스 출력이 뉴런에 합쳐져야 하는 이 적분회로는 동일 뉴런에 연결된 모든 시냅스가 공유된다. 그래서 뉴런회로에 포함되며 적분작용이 거기서 이루어진다. P_X 의 펄스 폭 T_X 가 500ns를 갖는 시냅스회로에 대한 적분전압 V_{SO} 의 HSPICE 시뮬레이션 결과를 그림2-4에 나타냈다. 그림에서 V_W 의 선형영역은 약-1.25에서 1.25임을 알 수 있다. 이 영역 바깥에서는 전압전류 변환기의 선형성이 떨어진다. V_W 는 신경망의 검색단계에서 변화가 없다. 이 선형영역은 오직 학습 작동에 영향을 미친다. 대부분의 경우, 선형영역은 신경망 변환을 요구된 상태로 수렴시키기(converge)에 충분하다. 시냅스회로에서 여러 V_W 값에 대한 V_{SO} 의 HSPICE 시뮬레이션 결과를 그림2-6에 나타냈다. 하고는, 선형성은 우수하고, 선형성은 신경망의 요구사항도 충족시켜준다. 시냅스회로에 전달지연이 있기 때문에 이것은, 특히 펄스 폭이 작을 때에, 펄스 폭의 정확도에 영향을 준다. 선형성은 T_X 가 매우 적을 때 저하된다.



(a) 펄스폭 500ns일 때 V_{SO} . (b) V_W 변화에 따른 V_{SO} .
그림 2-4 시냅스 회로의 시뮬레이션 결과.
Fig 2-4. Simulation results for synapse circuit

2.2. 뉴런(Neuron)

뉴런의 동작은 시냅스 출력으로부터 신호를 합하고, 비선형 전달함수를 통해 결과를 출력에 보낸다. 설계된 뉴런회로는 그림2-5에 나타냈다. 그림2-5는 적분회로, 소스폴로워, 전압펄스 변환기로 구성하였다.

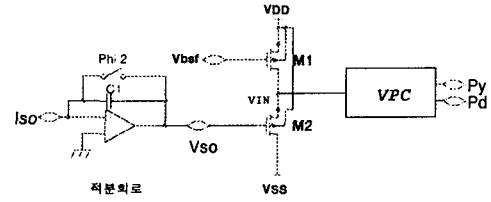


그림 2-5 뉴런 회로
Fig 2-5. Neuron circuit

적분회로의 기능은 시냅스의 출력전류를 적분하고 합하는 것이다. 시냅스끼리 출력점에 연결함으로써 적분 점에서 시냅스 출력전류를 합하는 것은 쉽다. 그림 2-5 에서 나타낸 적분회로는 합해진 전류를 적분하도록 하는데 사용되었고, 전압 V_{SO} 로 변환된다. 모든 시냅스 출력의 합은 구현할 수 있고, V_{SO} 는 뉴런의 합쳐진 입력(z)으로 표현된다. M1과 M2로 구성된 소스폴로워는 DC레벨 천이기(shifters)로 동작하고, 이득은 약 0.5이다. 그래서 소스폴로워의 출력전압의 범위는 0에서 V_{DD} 까지로 설정된다. 전압펄스 변환기의 회로 개략도가 그림2-6에 나타내었고, 그림2-8에서 입력 동작범위는 양의 전압으로 제한된다. 이 회로에서는 클럭 ϕ_1 과 ϕ_2 는 서로 겹치지 않도록 동작한다. ϕ_1 상에서 입력전압 V_{IN} 이 샘플 되고, 캐패시터 C_{dc} 에 저장된다. ϕ_2 상에서 M_3 은 턴오프되며 전압 V_{DC} 는 M_4 에 의해 방전된다. 방전 전류는 상수이고 바이어스 전압 V_{BD} 변화에 의해 조정된다. 인버터1과 인버터2는 비교기로 동작한다. 인버터의 천이 전압은 0V에 조정되며, NAND 게이트는 오직 ϕ_2 상에서 펄스 P_y 활성화하는데 사용된다. P_y 의 펄스 폭이 $V_{DC} > 0$ V일 때 방전시간과 같다.

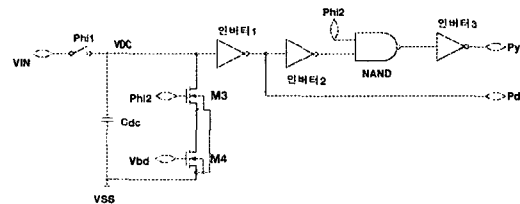
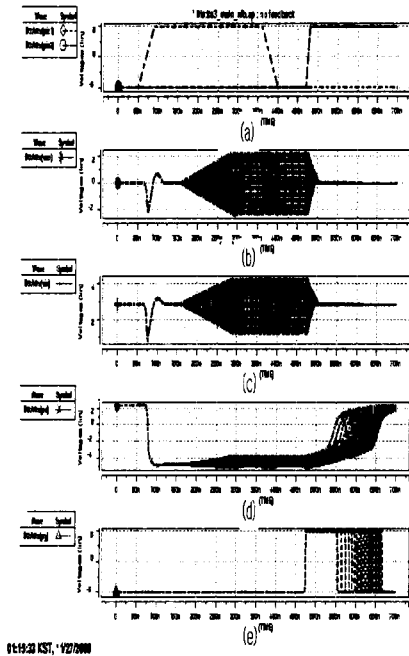


그림 2-6 전압펄스 변환기 회로
Fig2-6. Voltage to pulse converter circuit

원거리 전송 혹은 출력패드를 위한 큰 부하를 구동하기 위해서 인버터3이 추가되었다. 뉴런의 출력신호 V_{SO} 와 P_d 는 학습회로에 사용되고, 그 기능은 III장에서 기술한다.

전압펄스 변환기의 시뮬레이션 결과는 그림2-7에 나타냈으며, P_d , P_y 펄스 폭은 입력 V_{IN} 에 비례하고, 선형성은 매우 우수하며, 뉴런회로의 출력전압의 시뮬레이션 결과는 그림2-7에 나타나 있다. 출력 P_y 는 입력 V_{SO} 에 선형적으로 비례하는 PWM 펄스 폭이 출력된다. 비록 뉴런 전달 함수가 거의 비대칭일지라도, 학습 동작에서는 거의 차이가 없으므로 신경망의 기능에 영향을 미치지 못함을 알 수 있다.



(a) 기본클럭 $\phi 1, \phi 2$ (b) 시냅스회로 출력 V_{SO}
 (c) 뉴런의 DC 레벨천이출력 (d) 뉴런 출력 P_d
 (e) 뉴런 출력 P_y
 그림 2-7 전압펄스 변환기와 뉴런회로의 시뮬레이션 결과

Fig2-7 Simulation results for Voltage to pulse converter and Neuron circuit

III. 학습 회로의 설계

3.1 학습 회로 구조

본 논문에서 설계한 학습회로는 두 개의 함수 블록으로 나눌 수 있다. δ (오차)계산 블록과 가중치 갱신(update)블록이다. 설계된 학습 회로는 세 개의 입력을 가진 한 개의 뉴런으로 구성되므로, 총 시냅스의 수는 세 개가 된다.

3.2 δ (오차)계산 블록

δ 계산 블록은 세 가지 계산동작, 즉 미분, 뺄셈, 곱셈이 요구된다. 미분은 가장 구현하기 복잡한 과정을 필요로 한다. 순방향 구현방법은 해석 가능한 형태를 발견하고 그것을 구현하는 것이다. 그러나 설계된 뉴런의 뉴런 전달함수는 정확한 Sigmoid함수가 아니므로, 완벽하게 해석 가능한 형태로 그 미분을 얻는 것이 어렵다.

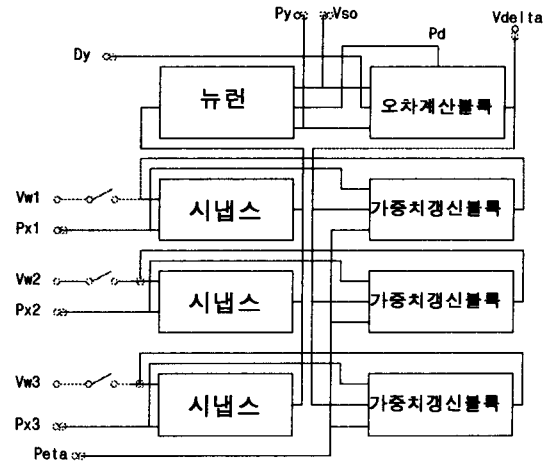


그림 3-1 설계된 학습회로의 전체 블록
 Fig3-1 Total block of designed learning circuit

그러므로 여기에서는 다른 설계 접근방법인 그림 2-5의 소스폴로워 및 전압펄스 변환기(Vpc)에 의해 구현하였다. 그림3-2회로는 항상된 선형성을 가진 folded Gilbert 아날로그 곱셈기[10]을 사용하였으며, 그림에서 PMOS 트랜지스터 M1과 M2는 입력쌍 M5와 M6에 바이어스 전류를 공급하는 전류미러 쌍이다.

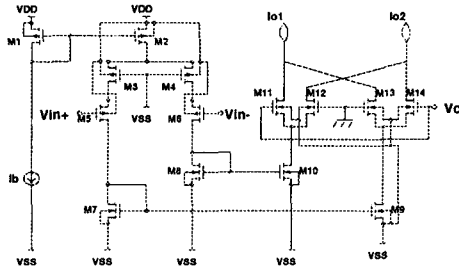


그림 3-2 folded Gilbert 아날로그 곱셈기 회로
Fig3-2. Folded Gilbert analog multiplier circuit

따라서, $I_5 = I_6 = I_b/2$ 이다. M3과 M4는 선형 영역에서 바이어스 되어 선형 저항으로 동작하며, 입력쌍 M5와 M6의 선형성을 확장하는 기능을 한다. V_C 는 제어전압이다. 식(3-1)은 편의상 M3과 M4를 무시하고 수학적으로 분석한 것으로 아날로그 곱셈기의 출력차 전류에 관한 식이다.

$$\begin{aligned}
 I_{o1} - I_{o2} &= k' V_C (\sqrt{2 I_9 / k} - \sqrt{2 I_{10} / k}) \\
 &= k' V_C \sqrt{2k / k} (V_{gs5} - V_{gs6}) \\
 &= \sqrt{2k k} (V_{in+} - V_{in-}) V_C \quad (3-1)
 \end{aligned}$$

식(3-1)은 차동 입력전압 $V_{in+} - V_{in-}$ 과 제어전압 V_C 를 가지는 사사분면 아날로그 곱셈을 수행하기 위한 기본식이다. 회로의 선형성은 long channel 트랜지스터를 사용하거나 큰 바이어스 전류를 공급함으로써 향상시킬 수 있다.

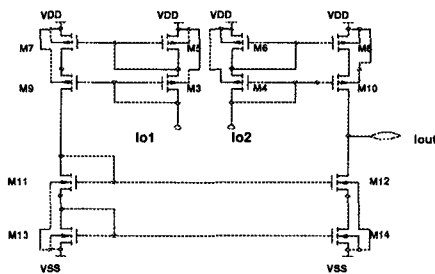


그림 3-3 출력전류 합산 미러 회로
Fig 3-3. Mirror circuit for summing of output current

그림3-3은 캐스코드 전류미러 회로를 곱셈기 출력전류 합산 미러 회로로 사용하였다. 그림3-2의 출력전류 I_{o1} 과 I_{o2} 의 차전류를 구하기 위해서, 그림3-3의

출력전류 I_{o1} 과 I_{o2} 을 그림3-3회로의 입력 I_{o1} 과 I_{o2} 으로 각각 인가하고, 그림3-3의 회로에서 두 전류의 차전류를 최종 출력으로 구하였다. 아날로그 곱셈기의 Hspice 시뮬레이션 결과는 그림3-4에 나타났다. x축은 차동 입력전압 $V_{in+} - V_{in-}$ 의 $[-1.2V, +1.2V]$ 범위와 제어전압 V_C 의 $[-1.2V, +1.2V]$ 범위에서 y축의 출력전류는 약 $[-16\mu A, +16\mu A]$ 범위의 값을 가지며, 선형성을 갖는다.

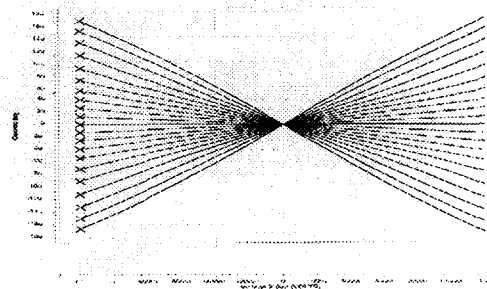


그림3-4 아날로그 곱셈기의 Hspice 시뮬레이션 결과
Fig 3-4. Simulation result of analog multiplier

그림3-2와 그림3-3의 회로를 이용하고, 식(3-9)를 이용하여 구성한 오차계산 블록 회로는 그림3-5과 같다.

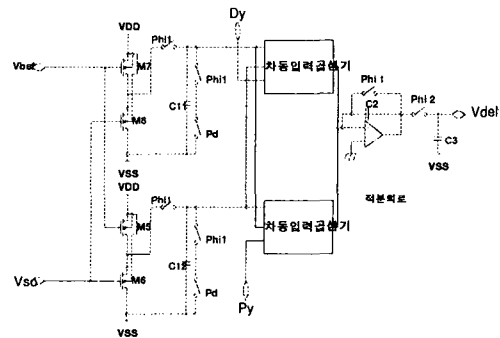


그림 3-5 δ (오차)계산 블록 전체 회로
Fig3-5. Circuit block for δ oprating

그림3-5에서 D_y 와 P_y 는 PWM신호이고, 그리고 식(3-9)에서 d 와 y 로 각각 나타낸다. 연산증폭기와 캐패시터 C_2 는 전류 적분을 수행하는데 이용되고, 결과전압은 샘플되어 C_3 에 저장된다. 비록 δ 와

V_{δ} 사이에 상수계수가 존재할지라도, 이 효과는 η 를 조절함으로써 제거된다.

3.3 가중치 갱신(update) 블록

이 블록의 기능은 식(3-1)에 따라 시냅스 가중치를 새롭게 갱신하는 것이다. 설계된 신경망회로에서 x_i 는 PWM신호로 표시됨에 따라 그림 2-1의 시냅스는 블록에서 곱셈을 수행하는데 사용된다. δ 계산 블록에서 사용된 적분회로가 이 블록에 응용될 수 있지만, 연산증폭기의 칩면적은 시냅스의 면적보다 수배 크다. 이것은 학습회로 총 칩 면적을 아주 크게 만든다. 이는 가중치 갱신(update)블록이 매 시냅스 가중치에 대해 필요하기 때문이다. 그래서 연산증폭기는 인버터 이득 단으로 대체 하였다. 블록의 전체회로는 그림3-6에 나타냈고, 여기서 P_{η} 는 식(3-1)에서 η 의 기능을 수행하는데 사용된 PWM신호이다.

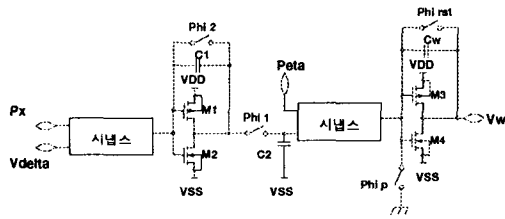


그림 3-6 가중치 갱신 블록
Fig3-6. Weight update block

P_{η} 이 활성화 될 때, 학습과정이 시작되고, 이 신호의 펄스 폭은 가중치 갱신 속도를 제어하는데 사용된다. 만약 펄스 폭이 커지면, 가중치 변화도 커진다. 이상적으로 신경망회로는 재빨리 수렴하게 될 것이다. 그러나 에너지함수 E에서 지역적 최소치와 쌍안정상태(bistable states)가 존재하기 때문에 원하지 않는 출력에 수렴할 수도 있다. 이 신호의 다른 펄스 폭은 다른 응용을 위해서 적합하게 선택되어질 수 있다. 일반적으로, 펄스 폭은 신경망회로 수렴의 보증치 보다 작다. 설계된 신경망회로에서 가중치 저장은 캐패시터가 한다. 가중치 갱신 량을 더할 필요가 있을 때, 인버터는 적분기 형태로 사용되고, 가중치 갱신 동작의 결과 선형성은 여전히 유효하다. 가중치 저장회로는 그림 3-8에 나타냈고, ϕ_{RST} 에 의해 제어되는 스위치는

학습과정 전에 가중치를 리셋하는데 사용된다. ϕ_P 에 의해 제어된 스위치에 관하여 그 기능은 프로그램 동작에서 적분기를 무력화할 수 있다. 그러므로 프로그램된 가중치는 V_W 점으로부터 C_W 에 미리 설정할 수 있다.

3.4 학습 동작 순서

학습 알고리즘을 만들기 위해 위의 회로들을 이용하면 학습 사이클타임은 두 개의 ϕ_1 과 두 개의 ϕ_2 단계가 필요하다. 이들 클럭단계에서 학습동작은 아래와 같이 동작한다. 1)첫째 ϕ_1 단계: 이 클럭단계에서는 입력 패턴 Px가 설계된 신경망회로에 공급되고 시냅스 출력은 합해지고 그림2-7의 캐패시터 C1에 저장된다. 또한 뉴런의 미분이 계산되고, 저장된다. 2)첫째 ϕ_2 단계: 이 클럭단계에서는 뉴런 출력 Py가 전압펄스 변환기에 의해 발생한다. 또 희망출력 Dy가 δ 계산 블록에 공급되어, V_{δ} 가 구해진다. 3)둘째 ϕ_1 단계: 이 클럭 단계에서는 첫째 ϕ_1 단계에서 동일 입력패턴 Px가 V_{δ} 를 가진 곱셈용으로 가중치 갱신(update) 블록에 공급된다. 4)둘째 ϕ_2 단계: 이 클럭 단계에서는 가중치 갱신(update)치가 시냅스의 가중치 V_y 에 더하여 지고 그 양은 P_{η} 에 의해 제어된다.

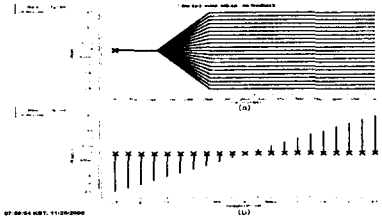
N. 설계된 신경망회로 시뮬레이션 결과

본 논문에서 설계한 회로는 그림3-1과 같으며, 이 회로는 세 개의 입력을 가진 한 개의 뉴런으로 구성되었으며, 총 시냅스의 수는 세 개이다. 또한 각각 시냅스의 가중치에 대한 학습회로가 포함되어 있다. 첫째 뉴런에서 시냅스의 가중치 저장회로는 그림3-6에 나타낸 회로와 같으며, 프로그램 될 수 있다. 클럭 주기는 $3\mu s$ 이다. 순·역방향 전달시간은 각각 $3\mu s, 6\mu s$ 이다. 본 논문의 설계된 신경망회로는 적용된 학습 규칙이 단순한 것을 제외하고 연산속도가 빠르다.

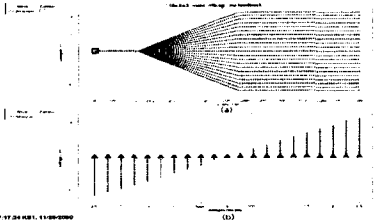
4.1 피드포워드 신경망의 시뮬레이션 결과

하나의 시냅스에 입력을 인가하고 그 관련 시냅스

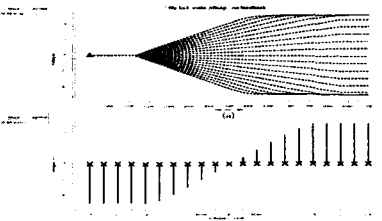
의 가중치를 프로그램하여, 그 시냅스의 입·출력 특성은 뉴런회로의 V_{s0} 분기점으로부터 측정 가능하다. P_X 의 다른 펄스 폭 T_X (125, 250, 500ns)에 대한 설계된 시냅스 회로의 전압 V_{s0} 대 가중치 전압 V_W 시뮬레이션 결과는 그림4-1에 각각 표시했다.



(a) 펄스 폭 125ns일 때 V_{s0} (b) V_w 변화에 따른 V_{s0}
 그림 4-1-1 P_X 의 펄스 폭(125NS) T_X 에 대한 시냅스 회로의 시뮬레이션 결과.
 Fig4-1-1. Simulation results of synapse circuit for $P_X=125NS$



(a) 펄스 폭 250ns일 때 V_{s0} (b) V_w 변화에 따른 V_{s0}
 그림 4-1-2. P_X 의 펄스 폭(250NS) T_X 에 대한 시냅스 회로의 시뮬레이션 결과
 Fig4-1-2. Simulation results of synapse circuit for $P_X=250NS$



(a) 펄스 폭 500ns일 때 V_{s0} (b) V_w 변화에 따른 V_{s0}
 그림 4-1-3. P_X 의 펄스 폭(500NS) T_X 에 대한 시냅스 회로의 시뮬레이션 결과
 Fig4-1-3. Simulation results of synapse circuit for $P_X=500NS$

그림4-1에 따르면 선형성은 범위 -1.25에서 1.25V 사이에서 유지될 수 있다. 이 범위 밖에서는 연산증폭기가 포화되거나, MOS소자가 선형 영역에 들어간다. 그래서 선형성은 저하된다. 설계 시뮬레이션 결과와 모순되지 않는다.

다른 V_W 값을 가진 시냅스 회로의 V_{s0} 대 입력 펄스 폭 T_X 의 시뮬레이션 결과를 그림4-2에 나타냈다.

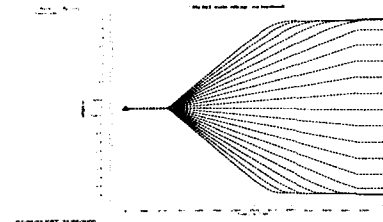
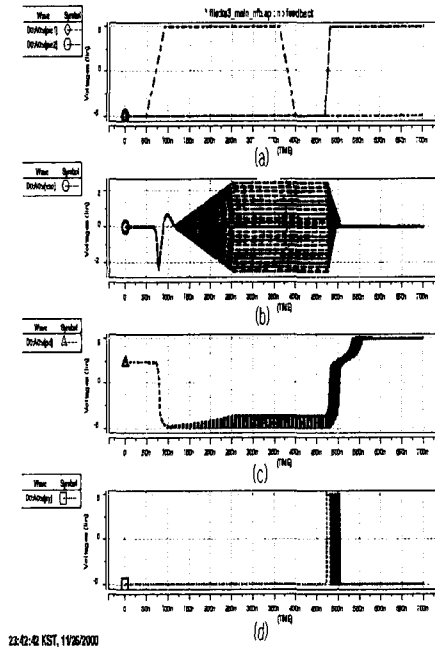


그림 4-2 V_w 전압에 대한 시냅스 시뮬레이션 결과
 Fig4-2. Synapse simulation result for V_w voltage



(a) 기본클럭 φ_1, φ_2 (b) 시냅스회로 출력 V_{s0}
 (c)뉴런 출력 P_d (d)뉴런 출력 P_y
 그림 4-3. 뉴런의 전달함수의 시뮬레이션 결과
 Fig4-3. Simulation results for transfer function of neuron

그림 4-2에서 선형성은 매우 우수하다. P_X 의 펄스 폭이 작은 범위에서는 회로의 RC효과에 의한 오차가 중요시되고, 그래서 선형성은 저하된다. V_W 의 크기가 -1.25V 그리고 P_X 의 펄스 폭이 500ns 근처인 경우 연산증폭기는 포화되고, 그러므로 선형성 또한 저하된다.

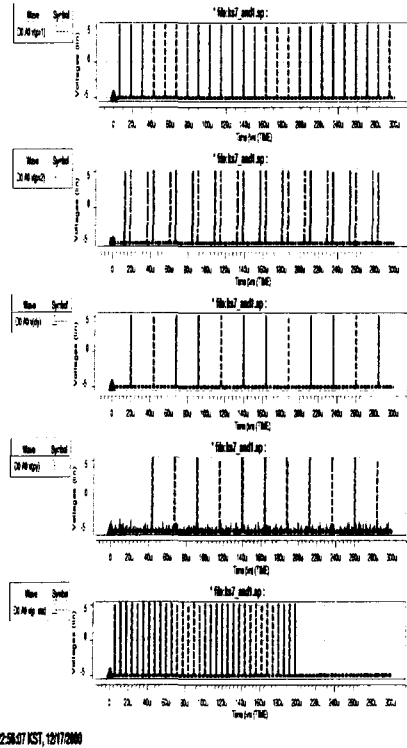
모든 시냅스 입력을 무력화하고 그림2-7에서 연산증폭기의 양의 입력 노드에 입력 전압을 연결하면 설계된 뉴런의 전달함수는 P_y 분기점으로부터 시뮬레이션 가능하다. 전압 V_{BD} 는 P_y 의 최대펄스폭이 대략 1000ns 되도록 조정되었다. 뉴런회로의 시뮬레이션된 P_y 대 V_{so} 는 그림4-3에 나왔다. 그림2-9의 시뮬레이션 결과와 비교하면 그 형상이 매우 비슷하다.

4.2 학습 예

설계된 회로는 인공 신경망회로를 구축하는데 사용되었고, 이들 회로의 비이상적 효과는 학습 동작의 수렴에 영향을 끼칠 수 없어야 한다. 단순 학습 예가 설계된 회로의 기능을 증명하기 위해서 적용되었다. 이들 예는 2입력 AND와 OR기능을 학습하는데 적용되었다.

첫 번째 예로, AND기능을 학습하기 위해, 적용된 신경망은 첫 번째 뉴런과 관련된 세 입력을 포함하고 있다. 세 입력 중 하나는 일정(constant)입력이고, 그 기능은 뉴런 전달함수의 문턱전압(threshold)을 조절하는 것이다. 입·출력 신호의 최대 펄스 폭은 약 1μs이고, ϕ_1 과 ϕ_2 클럭 주기는 3μs이다. AND기능 학습과정에서 파형은 그림4-4에 나타났다.

동작 순서는 초기화모드, 학습모드, 시험모드로 구성하였다. 초기화 모드에서 ϕ_{RST} 는 활성(active) P_y 의 펄스 폭은 0이다. 그리고 모든 시냅스의 가중치는 0으로 재 설정한다. 모든 가중치를 재 설정한 후에 회로는 학습 모드로 바뀌고 P_y 값은 주어지고, ϕ_{RST} 는 비활성된다. 이 학습 모드동안 4입력 패턴이 회로에 순차적으로 인가된다. 각 패턴에 대한 학습 사이클 입력들과 관련된 신호가 있고 3.4장에 기술된 순서를 따른다. 희망하는 출력과 실제 출력사이의 오차가 충분히 작을 때 P_y 는 비활성이고, 회로는 시험모드로 넘어간다. 시험모드에서는 시험 패턴이 학습



(a)입력파형 Px1 (b)입력파형 Px2 (c)희망출력 값 (d)실제출력 값 (e)학습활성화(p-eta)신호

그림 4-4 AND기능 학습 결과
Fig4-4. Learning results for AND function

결과를 검증하기 위해 회로에 인가된다. 그림4-4에서와 같이 회로는 시험 모드에서 적당한 답을 출력한다. 이는 학습동작이 성공적임을 나타낸다. 희망하는 출력을 바꿈으로 동일한 회로는 논리적OR기능을 학습하는데 사용할 수 있다.

OR기능 학습과정에서 파형은 그림 4-5에 나타났다. 동작과 순서는 이전 예와 똑 같다. 이 그림으로부터 회로출력은 테스트모드에서 적절함을 볼 수 있다. 고로 학습 동작은 성공적이다.

참 고 문 헌

[1] R. Woodburn, H. M. Reekie, and A. F. Murray, "Pulse-stream circuits for on-chip learning in analogue VLSI neural networks," in Proc. 1994 IEEE Int. Symp. Circuits Systems, vol. 4, pp.103-106.

[2] R. P. Lippmann, "An introduction to computing with neural nets." IEEE Acoust.,Speech, Signal Processing Mag., pp. 4-22, Apr. 1987.

[3] A. F. Murray and A. V. W. Smith, "Asynchronous VLSI neural networks using pulse stream arithmetic." , IEEE J. Solid-State Circuits, vol. 23, pp.688-697, June 1988.

[4] J. E. Tomberg and K. Kaski, "Pulse-density modulation technique in VLSI implementations of neural network algorithms," IEEE J. Solid-State Circuits, vol. 25, pp.1277-1286, Oct. 1990.

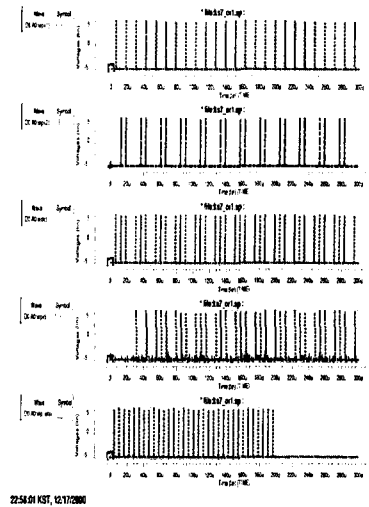
[5] A. F. Murray, D. Del Corso, and L. Tarassenko, "Pulse-stream VLSI neural networks mixing analog and digital techniques," IEEE Trans. Neural Networks, vol 2, pp. 193-204, Mar. 1991.

[6] J. Meador, A. Wu, C. Cole, N. Nintunze, and P. Chintrakulchai, "Programmable impulse neural circuits," IEEE Trans. Neural Networks, vol 2, pp. 101-109, Jan. 1991.

[7] A. Hamilton, A. F. Murray, D. J. Baxter, S. Churcher, H. M. Reekie, and L. Tarassenko, "Integrated pulse stream neural networks: Results, issues, and pointers," IEEE Trans. Neural Networks, vol 3, pp. 404-413, May. 1992.

[8] B. A. De Cock, D. Maurissens, and J. Cornelis, "A CMOS pulse-width modulator/pulse-amplitude modulator for four-quadrant analog multipliers," IEEE J. Solid-State Circuits, vol. 27, pp.151-154, Sept. 1992.

[9] J. Ramirez-Angulo and I. Grau, "Wide gm adjustment range, highly linear OTA with linear programmable current mirrors", Proc. IEEE Int. Symp. Circuit & System, vol. 3, pp. 1372-1375,



(a)입력파형 Px1 (b)입력파형 Px2 (c)희망출력 값
(d)실제출력 값 (e)학습활성화(p-eta)신호
그림 4-5 OR기능 학습 결과
Fig4-5. Learning results for OR function

V. 결 론

PWM기술을 이용하여 학습기능이 내장된 피드포워드 신경망회로를 설계하고 분석했다. PWM신호를 전류의 흐름 폭을 제어하는데 사용하고, 곱산은 매우 단순혼합모드회로에 의해 구현할 수 있었다. 뉴런당 MOS 트랜지스터 344개, poly capacitor 15개 정도 소요되므로 설계된 신경망회로는 작고 간단하게 구현할 수 있었다. 그러므로 아날로그 기술에서 구조상의 간편성의 잇점은 지니고 있다. 비이상적인 효과를 감소시키기 위해서 몇 가지 회로설계 기술을 적용함으로써 설계된 회로는 우수한 선형성과 커다란 동작영역을 갖는다. 더욱이 델타 학습 규칙이 쉽게 구현됐고 그래서 디지털기술의 정확한 장점이 성취됐다. 시뮬레이션 결과 신경망회로의 성능과 능력을 증명했다. 또한 숫자 발음 인식 등의 학습기능을 필요로 하는 대규모 신경망의 구현을 요구하는 분야에 적용할 수 있을 것이다.

1992.
[10] B. Gilbert, "A precise four quadrant multiplier with subnanosecond response", IEEE J. Solid-State Circuits, vol. SC3, pp. 365-373, Dec. 1968.

소
1989년 : 현재 금오공과대학교 전자공학부 부교수.
※관심분야 : 반도체 공정 및 소자

저자소개

전응련(Eoung-Lyun Jeon)

1980년 2월 : 경북대학교 전자공학과 졸업(공학사)
2001년 2월 : 금오공과대학교 (공학석사)
1984년 ~ 1997년 : 대우전자 산전연구소 선임연구원
1997년 3월 - 현재 : 김천직업전문학교
※관심분야 : 전자통신, 산업전자



정금섭(Gum-Sub Jung)

1990년 2월 : 금오공과대학교
1992년 2월 : 금오공과대학 전자공학과(공학석사)
1999년 8월 : 금오공과대학 (박사 과정 수료)
1996년 2월 ~ 현재 : 구미기능대학 부교수

※관심분야 : 신경망, ASIC, 영상처리, 자동화



전홍우(Hung-Woo Jeon)

1980년 2월 한국항공대학 전자공학과(공학사)
1982년 2월 고려대학교 전자공학과(공학석사)
1988년 8월 고려대학교 전자공학과(공학박사)

1989년 3월 - 현재 금오공과대학교 전자공학부 교수.
※관심분야 : 신경망 ASIC 설계



송성해(Sung-Hae Song)

1975년 : 광운대학교(공학사)
1978년 : 경운의숙대학교(공학석사)
1981년 : 경운의숙대학교(공학박사)
1981년 : ETRI (반도체분부)
1984년 : 삼성전자(주) 반도체 연구