

FPGA를 이용한 CDMA 디지털 트랜시버의 구현

이창희* 이영훈**

Implementation of CDMA Digital Transceiver using the FPGA

Chang-heui Lee* Young-hun Lee**

요약

본 논문은 Field Programmable Gate Array (FPGA)와 디지털 신호처리 소자를 이용한 IS-95 CDMA 신호 처리기, FPGA와 고속의 ADC/DAC를 이용한 기저대역과 중간주파수(IF)의 디지털 변환기 그리고 주파수 상·하향 변환기를 구현하였다. IS-95 CDMA 채널 처리기는 짧은 PN 코드 발생기와 Walsh 코드 발생기로 파일럿 채널의 신호를 발생시킨다. 디지털 IF는 FPGA, 디지털 송·수신 신호처리 소자와 고속의 ADC/DAC로 구성하였다. 주파수 상·하향 변환기는 필터, 믹서, 디지털 감쇠기와 PLL로 구성되어 중간주파수(IF)와 RF 주파수를 변환하였다. 이 구현된 시스템은 IS-95 CDMA 기지국 장비 등에 장착할 수 있다.

Abstract

This paper presents the implementation of IS-95 CDMA signal processor, baseband and Intermediate Frequency(IF) digital converter using Field Programmable Gate Array(FPGA) and ADC/DAC and frequency up/down converter. IS-95 CDMA channel processor is generated the pilot channel signal with short PN code and Walsh-code generator. The digital IF is composed of FPGA, digital transmit/receive signal processor and high speed analog-to-digital converter(ADC) and digital-to-analog converter(DAC). The frequency up/down converter consisted of filter, mixer, digital attenuator and PLL is analog conversion between intermediate frequency(IF) and baseband. This implemented system can be deployed in the IS-95 CDMA base station device etc.

* 한남대학교 대학원 박사과정
** 한남대학교 전자공학과 교수

I. 서론

무선통신 시스템은 1970년대와 1980년대를 거치면서 반도체 분야의 급속한 발전에 힘입어 아날로그 시스템에서 디지털 시스템으로 발전을 이루어 왔다[1].

기저대역에서 디지털 신호 처리를 해주는 대부분의 무선 통신 시스템과는 달리, SDR을 채용한 시스템에서는 보통 중간 주파수(IF)단에서 디지털 신호 처리를 시작한다[2~4]. 최근 ADC, DAC, 범용 디지털 신호처리기(DSP), FPGA와 같은 디지털 소자들의 고속화 및 고성능화로 인해 IF대역과 기저대역 신호들 간에 직접 디지털 변환하여 구현시키는 방법이 연구되고 있다[5].

일반적인 SDR 기술에서는 광대역 아날로그 RF Front-End와 기저대역 신호로 직접 디지털 변환을 하기 위하여 고속 ADC, DAC, 디지털 신호 처리기(DSP)를 이용한 디지털 IF기법을 사용한다. IF와 기저대역 신호는 수십 MHz이상이므로 이들 신호의 디지털 처리를 위한 소자는 동작 속도가 매우 빨라야 한다. 이러한 동작속도와 유연한 재구성 특성을 만족하기 위해서는 범용 DSP를 사용하는 것이 적합하나 오늘날 대부분의 DSP들의 동작속도는 이동 통신 시스템에서 요구하는 동작속도를 만족하기 어렵다. 따라서 현재로서 가장 적합한 고속의 동작속도 및 다중처리를 만족시킬 수 있는 소자로는 ASIC이나 FPGA를 이용하는 것이 현실적이다.

이와같은 현실적인 문제로 본 논문에서는 모든 디지털 처리는 FPGA를 이용하여 구현하였으며, 송신 채널 발생 및 수신 채널 처리로 구성된 채널 처리기, 75Msps 디지털 송신신호 처리기(TSP), 65Msps의 디지털 수신신호 처리기(RSP), 12bit 65Msps의 ADC와 14bit 160Msps의 DAC를 이용하여 디지털 IF를 설계하였다. IF와 800MHz RF의 변환, 디지털 이득 감쇠기, 전력 검출 회로, 주파수 도약 기능으로 구성된 RF 송수신기로서 디지털 트랜시버 시스템을 구현하였다[6~8].

실험 결과, 구현된 시스템은 IS-95 CDMA 규격을 만족하며, 각 부분의 기능이 높은 다중 처리 및 고속 처리를 할 수 있음을 확인하였다.

II. 디지털 트랜시버의 설계

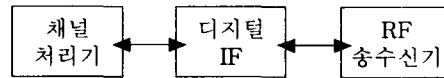


그림 2. 시스템 블록도
Fig. 1 System Block Diagram

그림 1은 본 논문에서 구현한 시스템의 전체 블록도이다. 채널 처리기는 CDMA 코드를 생성하여 I/Q신호를 출력시키고, 수신된 신호를 처리한다. 디지털 IF는 I/Q신호를 디지털 필터, 변조 및 DAC를 통하여 IF신호를 발생시키고, 수신 신호를 ADC, 복조 및 디지털 필터를 통하여 I/Q 신호를 얻어낸다. RF 송·수신기는 IF신호를 공중파로 전송하기 위한 상향변환기와 공중파의 수신을 위한 하향변환기로 구성된다.

1. 채널 처리기의 설계

그림 2는 순방향 링크 시 채널의 발생 순서를 나타낸다. 여기서 짝수 초 발생기는 기저국을 구별할 수 있는 PN Offset을 구하기 위하여 2초마다 펄스를 발생한다. PN 코드 발생기는 2^{15} (32768)의 주기를 갖는 짧은 코드를 발생한다. Walsh 코드 발생기는 전송 채널을 구별하기 위해 사용하며 하다마드 행렬을 이용하였다.

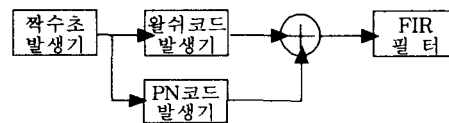


그림 3. 순방향 링크 채널 블록도
Fig 2. Forward Link Channel Block Diagram

PN 코드를 통하여 확산된 신호는 Walsh 코드와 곱해진 후 QPSK 변조를 위한 I와 Q신호를 발생시킨다. 이 신호는 성형필터를 통하여 원하는 대역을 갖는 신호로 변환된다.

또한, 디지털 IF로부터 수신된 I/Q신호는 신호의 품질을 검사하기 위하여 그래프 정보를 제공한다.

2. 디지털 IF의 설계

본 논문에서 설계한 디지털 IF의 송신부는 그림 3과 같다.

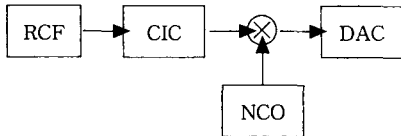


그림 4. 디지털 IF 송신 블록도
Fig. 3 Digital IF Transmitter Block Diagram

그림 3에서와 같이 채널 처리기에서 발생된 I/Q신호는 Ram Coefficient Filter(RCF)를 통하여 FIR 필터링과 Oversampling을 하여 변동하는 회선 특성을 등화(equalize)하고, 항상 최적의 전송로를 제공해 준다. RCF단에서 출력된 I/Q 신호는 Cascaded Integrator Comb (CIC) Filter를 통하여 더욱더 많은 Interpolating을 하게 된다. CIC 필터의 출력 신호는 Numerically Controlled Oscillator (NCO)를 통하여 디지털 IF 신호로 변조된다. 이 IF 신호는 DAC를 통하여 12.9MHz 0dBm 아날로그 신호로 변환되어 RF 송·수신기의 상향 변환기 입력으로 전송된다.

본 논문에서 설계한 디지털 IF의 수신부는 그림 4와 같다.

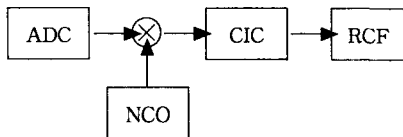


그림 5. 디지털 IF 수신 블록도
Fig. 4 Digital IF Receiver Block Diagram

수신된 69.99MHz의 IF신호는 12bit 65MSPS의 ADC에 의하여 샘플링 되어 NCO를 통하여 I/Q신호로 분리되며, 이 신호는 CIC 필터와 RCF 단에서 Decimating과 FIR 필터링에 의하여 샘플 수를 줄인 I/Q 신호를 채널 처리기로 공급한다.

3. RF 송·수신기의 설계

RF 송·수신기는 크게 주파수 상향 변환기와 하향 변환기의 두 종류로 나눌 수 있다.

그림 5는 주파수 상향 변환기의 블록도를 나타내고 있다.

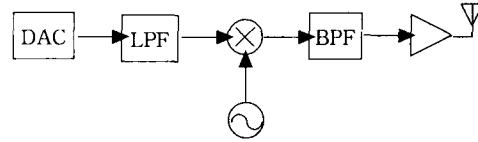


그림 6. 주파수 상향 변환기 블록도
Fig. 5 Frequency Up Converter Block Diagram

상향 변환기는 디지털 IF의 출력신호인 12.9MHz의 IF 출력 신호를 저역 통과 필터를 통하여 고주파 성분을 제거한 후 믹서를 통하여 중간 주파수 114.99MHz로 상향 변환하며, 이 필터를 통한 신호는 송신 전력을 감시하기 위하여 전력 검출기로 일부 신호가 나뉘어 진다. 114.99MHz로 상향 변환된 신호는 RF 주파수로 변환하기 쉽도록 증폭기를 통하여 일정한 레벨로 증폭되고, 두 번째 믹서에 의하여 RF 주파수로 변환된다.

이 RF 주파수는 디지털 감쇠기에 의하여 송신 레벨을 제어하며, RF 전력 검출기에 의하여 송신 신호의 전력을 감시한다.

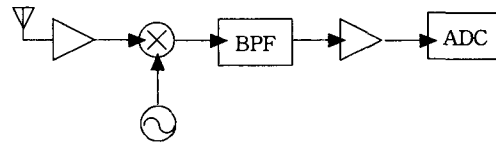


그림 7. 주파수 하향 변환기 블록도
Fig. 6 Frequency Down Converter Block Diagram

그림 6은 주파수 하향 변환기의 블록도를 나타내고 있다. 주파수 하향 변환기는 RF 신호를 받아 IF 주파수로 변환하는 작용을 한다. 수신된 RF 신호는 저 잡음 증폭기를 통하여 증폭된 후 믹서와 대역통과 필터를 거쳐 69.99MHz의 IF 신호로 하향 변환된다. 이 IF 신호는 수신세기를 검출하기 위하여 수신 전력 검출기를 제공하며, IF 레벨은 AGC 회로에 의하여 -40dBm으로 항상 유지된다. 또한, ADC를 통하여 I/Q 레벨을 검출한 후 ADC 입력 레벨이 최적이 되도록 가변 이득 조정기(VGA)를 사용하여 ADC 입력 레벨의 이득을 조정한다.

4. 시스템 동작

그림 7은 구현된 트랜시버의 사진이다.

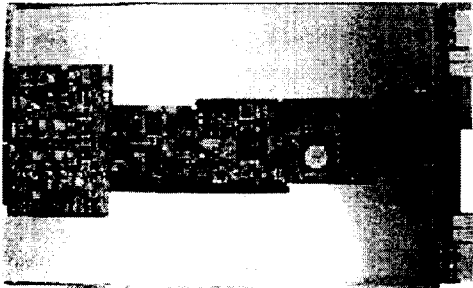


그림 7. 구현된 디지털 트랜시버
Fig. 7 Implemented Digital Transceiver

이상과 같은 모든 부분의 동작은 기지국 GPS로부터 수신되는 Chip×16(19.6608MHz) 구형파 신호를 시스템의 기본 동기 클럭으로 사용하였다. Chip×16 클럭과 동기시켜 발생하는 짝수 초(2, 4, ...[sec]) 펄스 신호에 의하여 I/Q 신호의 동기가 이루어진다. 시스템의 고속 동작이 필요한 소자들을 위하여 Chip×48 클럭을 시스템 자체적으로 발생시켜 고속 동작을 하는 소자들의 클럭으로 사용하였다.

시스템 관리를 효율적으로 운용하기 위하여 본 논문의 트랜시버는 송신 On/Off, 송신 출력 조정, 1024개의 주파수 설정, 각종 전력의 감시, 각 블록의 제어오차를 최소화하기 위한 Calibration, 주파수 도약 및 송신 시간 자동 조정 등 각종 제어기능을 FPGA로 구현하여 프로세서가 필요 없다.

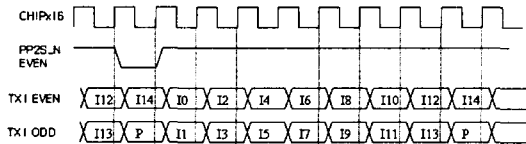


그림 8. 송신 I 신호 인터페이스
Fig. 8 Transmit I Signal Interface

그림 8은 송신 시 채널 처리기에서 트랜시버로 전송되는 I 신호에 대한 동기식 직렬 통신 방법을 설명하고 있으며, Q 신호도 같은 방식으로 직렬 통신을 한다.

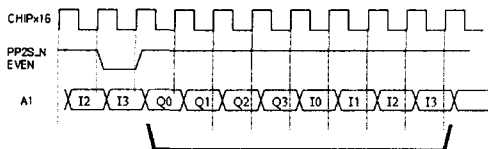


그림 9. 수신 I/Q 신호 인터페이스
Fig. 9 Receive I/Q Signal Interface

그림 9는 수신 시 트랜시버에서 채널 처리기로 공급되는 I/Q 신호의 동기식 직렬 통신 방법을 설명한다.

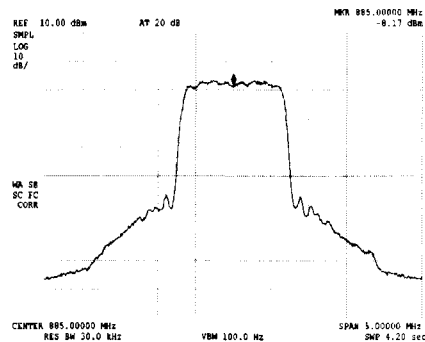
III. 특성 측정

채널 처리기에서 파일럿 채널을 인가한 후 각종 특성을 계측기로 측정된 결과 트랜시버 특성은 다음 표 1과 같았다.

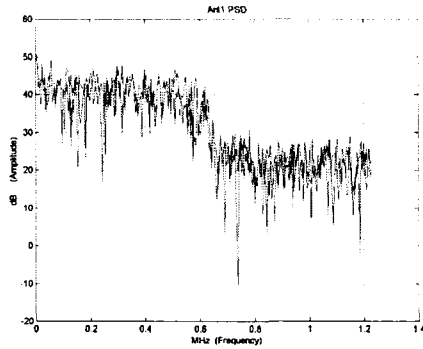
파일럿 채널의 송신단에서 스펙트럼 분석기로 측정된 결과 다음 그림 10 (a)와 같은 송신 스펙트럼을 측정하였다.

표 1. 트랜시버 특성
Table 1. Transceiver Specification

출력전력	+10 ~ -30dBm
이득조정	30dB @0.5dB step
위상오차	0.0025 rad/sec
출력VSWR	1:1.5
Code Domain Noise	-32dB
Dynamic Range	-100 ~ -40dBm
C/N	15dB
AGC 응답시간	150 ~ 250µs
Isolation in Path	30dB



(a) 송신 스펙트럼
(a) Transmit Spectrum



(b) 수신 스펙트럼
(b) Receive Spectrum
그림 10. 송·수신 스펙트럼
Fig. 10 Transmit · Receive Spectrum

수신 스펙트럼은 CDMA 신호 발생기로 835.89MHz, -70dBm 신호를 트랜시버의 RF 수신 단에 인가한 후 채널 처리기에서 디지털 I/Q신호의 데이터를 저장한 후 MATLAB 프로그램의 FFT를 이용하여 수신 스펙트럼을 그래프로 확인한 결과 다음 그림 10 (b)와 같았다.

IV. 결론

본 논문에서는 채널 처리기, 디지털 IF, 주파수 상·하향 변환기를 구현하였다. 채널 처리기 및 디지털 IF의 CDMA 신호 처리 및 각종 전력 제어 및 감시 기능 등을 프로세서 없이 FPGA로 구현하였다. 채널 처리기는 파일럿 채널을 발생시켰으며, 디지털 IF는 디지털 I/Q의 기저대역 신호를 12.9MHz의 IF대역 신호로 변환 및 69.99MHz의 IF 대역 신호를 기저대역 신호로 변환하였다. 주파수 상·하향 변환기는 12.9MHz의 IF 신호를 RF대역 신호로 변환 및 RF대역 신호를 69.99MHz의 IF 신호로 변환하였다.

신호 처리 및 주파수 특성은 IS-95규격에 만족함을 실험 및 현장 시험을 통하여 확인하였다. 주파수 상·하향 변환기의 PLL만 변경하면 원하는 통신 사업자들의 기지국으로 사용 가능하다.

그러나 본 논문의 시스템은 단일채널을 처리할 수 있

으며, 다중 채널을 처리하기 위해서는 보다 Dynamic Range 특성이 향상된 ADC, DAC와 보다 많은 Gate를 갖는 FPGA가 필요하다.

참고문헌

- [1] 신요한, 이원철, "IMT-2000 이후를 위한 소프트웨어 라디오 기술" 대한전자공학회지, pp. 92-110, 2001년
- [2] J. Mitola, "Software Radios," IEEE Comm. Mag. Vol.33, pp.24-38, May 1995.
- [3] R. Baines, "The DSP bottleneck," IEEE Comm. Mag. Vol.33, pp.46-54, May, 1995.
- [4] MMITS Forum Meeting Report, Dec. 1996, San Jose, CA, USA.
- [5] S. Im, W. Lee, C. Kim Y. Shin, S. H.Lee, and J. Chung, "Implementation of SDR-based digital IF channelizer/de-channelizer for multiple CDMA signals", IEICE Trans. Commun. (Special Issue on Software Defined Radio and Its Technologies), Vol. E83-B, no. 6, pp. 1282-1289, June 2000
- [6] 이상근, 방효창, "CDMA 무선 기술", 도서출판 세화
- [7] 김제석, 조용수, 조중휘, "이동통신용 모뎀의 VLSI 설계", 대영사
- [8] 임제탁, 이두수, "디지털 신호 처리", 희중당

저자 소개



이 창 희
1995 한남대학교 전자공학과
(공학석사)
2000 국제전자공업(주) 선임
연구원
현재 복스오라 테크놀로지 선
임연구원
한남대학교 전자정보통
신공학과 (박사과정)



이 영 훈
1980 숭실대학교 일반대학원
전자공학과 (공학석사)
1984 경희대학교 일반대학원
전자공학과 (공학박사)
현재 한남대학교 전자공학과 교수