

IS2000 환경에서 스마트 안테나 Test-bed의 성능분석

Performance Analysis of a Smart Antenna Test-bed Operating in a IS2000 Environment

임 흥 재 · 최 승 원

Heung-Jae Im · Seung-Won Choi

요 약

본 논문은 IS2000 환경에서 기지국의 수신 성능을 증대시키기 위한 스마트 안테나 Test-bed의 성능을 분석하였다. 따라서 본 논문에서는 IS2000 1x의 수신 신호 모델링, 빔형성 알고리즘, 빔형성 모듈 설계 및 테스트 베드를 이용한 성능 분석을 하였다. 수신 성능을 높이는 최적의 빔형성을 위해 빔형성 알고리즘은, Lagrange 공식을 이용한 Generalized Lagrange 알고리즘을 이용하였다. 이를 신호처리 칩을 이용한 보드로 직접 설계, 제작하였다. 빔형성 모듈에 대한 성능시험 결과 정상동작 확인 및 실시간 동작처리가 가능함을 보였다. 따라서 본 논문에서 제시한 스마트 안테나 Test-bed는 IS2000 이동통신 환경에서 우수한 성능을 나타낼 수 있음을 증명하였다.

Abstract

In this paper, we present a performance analysis of the smart antenna test-bed operating in a IS2000 1x through a test-bed that has been implemented on a DSP(TMS320C6711) board. The test-bed consists of a PC (for generating the RX data), beam-former(i.e., a stand-alone PCB for weight computation), and an interfacing module. The performance improvements compared to a normal base station system consisting of a single antenna are shown in terms the BER(bit error rate) in the wide-band CDMA channel.

Key words : Smart Antenna, Array Antenna, Digital Signal Processing, IS2000, Lagrange

I. 서 론

최근 이동통신 시스템에서는 음성신호뿐 아니라, 영상 및 기타 데이터를 높은 신뢰도로 송수신해야 될 필요성이 증가하고 있다. 이와 같이 이동통신 서비스가 다양해짐에 따라 송수신 데이터의 대역폭은 훨씬 넓은 대역을 차지하게 되었다. 하지만 가입자 당 할당 주파수가 한정되어 있어 이러한 광대역 통신에 따른 간섭이 증대되어 통신 용량이 감소하게 되었다. 따라서, 최근 이동통신 시스템의 가장 중요

한 기술적 과제는 한정된 전파자원을 효율적으로 이용하기 위해 가능한 좁은 대역폭을 사용하여 보다 많은 데이터를 신뢰성 있게 전송하는 기술의 제시이다. 그렇지만, 사용 대역폭의 축소와 신뢰도의 증대는 동시에 달성할 수 없으므로 이전까지 제시된 기술로는 새로운 이동통신에서 대두될 용량 및 신뢰도 문제를 해결할 수 없다.

본 논문에서는 이동통신 시스템에서 반드시 필요로 하는 대량의 고속 데이터를 신뢰성 있게 송수신하기 위한 해결책으로서 스마트 안테나 기술을 제

한양대학교 전기전자컴퓨터공학부(Division of Electrical and Computer Engineering, Hanyang University)

· 논문 번호 : 20020905-106

· 수정완료일자 : 2002년 11월 13일

시한다. 스마트 안테나 기술은 간섭신호 및 잡음을 제거하여 통신망 및 신호 포맷 등을 포함한 시스템의 전체적인 구조 변경 없이 신호 상호간 최적의 에어 인터페이스(air interface)를 통하여 통화용량 증대와 통화 신뢰도 향상을 동시에 달성하는 기술이다.

현재 서비스 준비 중인 제 3세대 이동통신의 표준안은 미국의 동기방식인 IS2000과 유럽·일본의 비동기방식인 W-CDMA로 크게 나누어져 있다^{[1],[2]}. 본 논문에서는 IS2000 1x 역방향 링크(reverse link) 환경에서 고속의 데이터를 전송할 때, 스마트 안테나를 이용하여 수신하는 방법에 대하여 연구하였다. 스마트 안테나 시스템은 차세대 이동통신에 반드시 필요한 기술^{[3],[4]}이므로, 본 논문에서는 스마트 안테나 시스템의 핵심 기술인 빔형성 알고리즘과 빔형성 모듈을 개발하였다. 본 논문에서 제시된 빔형성 알고리즘은 Lagrange formula를 근간으로 하는 Generalized Lagrange(이하 G-Lagrange) 알고리즘이다. 기존에 제시된 알고리즘인 Lagrange(이하 O-Lagrange)는 안테나 어레이 출력의 신호 대 잡음비(SNR:Signal to Noise Ratio)를 최대화하기 위해 보편적인 고유치 문제(ordinary eigenvalue problem)의 해, 즉, 역확산(despreading) 후의 신호벡터에 대한 자기 상관행렬(autocorrelation matrix)의 고유치(eigenvalue)에 대한 고유벡터(eigenvector)를 웨이트 벡터로 사용하였다. 본 논문에서는 좀 더 개선된 성능 향상을 위하여 안테나 어레이 출력의 신호 대 간섭 + 잡음비(SINR:Signal to Interference + Noise Ratio)를 최대화하기 위한 일반화된 고유치 문제(generalized eigenvalue problem)의 해, 즉, 웨이트 벡터와 역확산 전 신호벡터의 웨이팅 값에 대한 파워의 비율을 최대화하는 웨이트 벡터 값을 사용하였다.

본 논문에서의 성능분석을 위해 IS2000 1x가 지원하는 파일럿 채널(pilot channel), 기본 채널(fundamental channel)을 이용하였다. 파일럿 채널은 웨이트 생성용으로 사용하였으며, 음성 및 저속 데이터 전송용으로 기본 채널을 사용하였다.

또한, 본 논문에서는 컴퓨터 시뮬레이션을 이용한 빔형성 알고리즘의 성능분석을 완료한 후, 실제

하드웨어로의 적용을 위해 신호처리 칩을 사용하여 테스트 베드(Test-bed)를 구현하였다. 테스트 베드의 하드웨어는 IS2000 1x 데이터 포맷 신호 발생 및 성능분석용 개인 컴퓨터, 개인 컴퓨터와 빔형성 모듈을 연결하는 인터페이스 모듈, 웨이트 벡터를 계산해 주는 빔형성 모듈 등으로 구성된다. 이렇게 통합 구성된 테스트 베드를 통해 최종 성능분석을 수행하였다. 또한, 신호처리 칩을 이용한 테스트 베드가 데이터 처리과정을 실시간 처리할 수 있는지를 검증해 보았다. 따라서, 본 논문은 IS2000 1x 환경에서 최적의 빔형성을 위한 스마트 안테나의 빔형성 모듈을 개발하는 것이다.

II. 스마트 안테나 수신 신호 모델링

본 절에서는 IS2000 1X 시스템의 수신 신호 모델링에 대해서 설명하고자 한다. N개의 안테나가 반파장씩 떨어져 등간격으로 배열되어 있는 선형 배열안테나를 고려한다. 또, 각각의 안테나 소자는 전방향에 대해서 동일한 이득을 주는 등방성 안테나라고 가정한다. 그림 1은 스마트 안테나 시스템의 수신단 구조이다.

다수개의 안테나로부터 수신되는 신호는 각각 $d \sin \theta$ 의 위상차로 수신되게 된다. 위상을 이용한

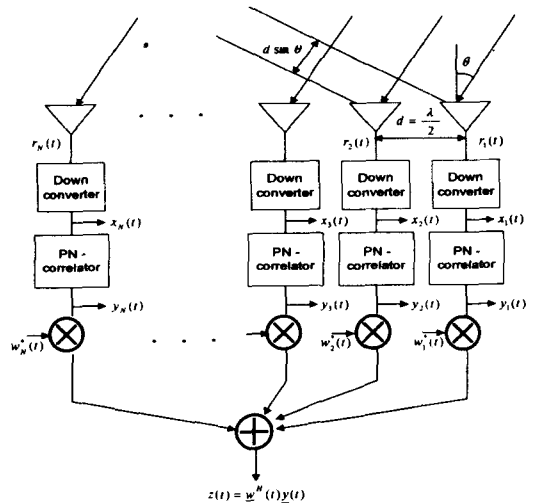


그림 1. 스마트 안테나 시스템의 수신단 구조
Fig. 1. The smart antenna system for the uplink mode.

수신 방식이라면 각 안테나로부터 수신되는 신호를 합치기 위해서는 이 위상 차이를 보상해 주어야 한다. 스마트 안테나 시스템의 기본 개념은 이 위상차를 보상해 주는 최적의 웨이트를 구해서 수신 성능을 높이는 것이다.

다중경로에 의한 페이딩을 고려하면 기준 안테나로부터 m 번째 떨어진 안테나에 수신된 신호에 대한 수식은 다음과 같다.^[5]

$$x_m(t) = \sum_{u=1}^U \sum_{k=1}^{K_u} \left(\sum_{q=1}^{L_k} S_u(t - \tau_{u,k,q}) e^{j2\pi(f_d \cos \varphi_{u,k,q} t - f_c \tau_{u,k,q})} e^{-j(m-m_0)\pi \sin \theta_{u,k,q}} + n_m(t) \right) \quad (1)$$

여기서, K_u 는 u 번째 신호원으로부터 수신 안테나까지의 다중경로 수, L_k 는 산란되는 수를(scattering component), f_d 는 도플러 주파수를, f_c 는 캐리어 주파수를, $\tau_{u,k,q}$ 는 경로의 전파 지연시간을, $\theta_{u,k,q}$ 는 산란된 신호원의 도달각이며 m_0 번째 안테나를 기준안테나로 설정하였다^{[6],[7]}. 신호원 u 의 k 번째 클러스터(cluster)안에 있는 모든 산란된 성분들의 전파지연은 동일하다고 가정하였다 ($\tau_{u,k,q} \cong \tau_{u,k}$).

III. 빔형성 알고리즘

본 논문에서 각 안테나로부터 수신된 신호에 곱해지는 최적의 웨이트를 구하는데 쓰이는 알고리즘은 일반화된 라그랑제 알고리즘이다. 일반화된 라그랑제 알고리즘은 신호 대 간섭과 잡음비를 최대화시키는 웨이트 벡터를 구해준다.^[8] 즉, 고유치 탐색(eigenvalue searching) 방법을 이용하여 최대 고유치를 구하고, 이에 대응하는 고유 벡터(eigenvector)를 구하는 방법이다.

[8]에 따르면 일반화된 라그랑제 알고리즘은 그림 2의 순서도와 같은 절차로 수행된다.

여기서, x 는 배열 안테나에서 수신되는 수신신호 벡터이고, y 는 x 를 각각 안테나별로 역확산(despreading)시킨 역확산 된 수신신호벡터이다. z 는 최적의 웨이트가 곱해진 최종 출력 신호이다. 본 논문에서는 파일럿 신호를 가지고 x, y 벡터를 만들어 웨이트 벡터를 갱신하는 새로운 방법을 사용하였다.

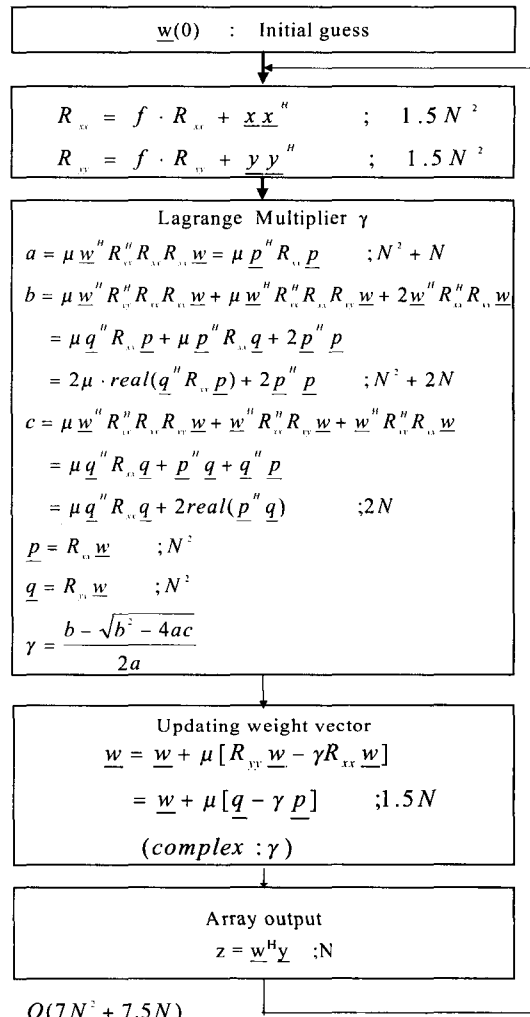


그림 2. 일반화된 라그랑제 알고리즘의 순서도
Fig. 2. Flowchart of the G-Lagrange Algorithm.

기존의 방법은 16 또는 32의 낮은 데이터 채널의 확산율을 이용하였으나, 이 방법은 64, 128등의 파일럿의 높은 확산율을 사용함으로써, 보다 정확한 웨이트 벡터를 생성할 수 있게 한다.

알고리즘의 필요 계산량은 복소수 곱셈의 개수로서 표시하였고, 안테나 개수가 N 개 일 때, 일반화된 라그랑제 알고리즘의 계산량은 $7N^2 + 7.5N$ 이다. 이것은 현재의 DSP로 충분히 수용할 수 있는 연산 요구량이다.

IV. PC를 이용한 시뮬레이션

4-1 시뮬레이션 방법

본 시뮬레이션은 IS2000 1x 환경의 역방향 링크(reverse link)에서 수행하였으며, 단말기에서 기지국까지의 송신과정과 기지국에서의 수신 후 복조과정을 프로그램으로 구현하여 성능분석하였다. 본 시뮬레이션에 사용된 채널은 음성 및 저속의 데이터를 전송하는 기본 채널이다. 성능분석 방법은 파일럿 채널의 확산을 변동에 따라 데이터 전송 채널인 기본 채널에 대해서 비트 에러율(bit error rate)을 측정하였다. 파일럿 채널은 정보가 모두 0으로 채워져 있으며, 웨이트 갱신을 위해 사용할 파일럿 채널의 확산율은 64, 128을 사용하여 성능분석했다. 기본 채널의 데이터율은 RC 3, 4(radio configuration)에서 지원하는 값을 선정하였다. 또한, 수신 신호의 입사각이 일정한 클러스터 영역내에서 퍼져서 들어오는 각도퍼짐(angular spread)이 존재하는 통신환경에 대한 성능분석과 레이크 수신구조에 의한 각각의 평가가 독립적인 채널을 갖는 2-finger MRC (Maximal Ratio Combine) 기법에 의한 수신구조(그림 3)를 적용하여 성능분석했다. 이러한 환경의 변화는 특히 입사각의 채널상황에 대한 변화를 반영한 것으로 입사각 채널상황의 변화에 민감한 G-Lagrange 알고리즘의 성능을 우수성을 입증하는데 적절하다.

4-2 2-finger MRC에 의한 성능분석

이번 절에서는 식 (1)에 의한 다중 경로 페이딩 신호환경에서, 그림 3의 MRC 수신기로 수신한 결과를 분석하였다. 비교 대상은 단일 안테나와 스마트 안테나 시스템이고, 스마트 안테나 시스템에서 사용

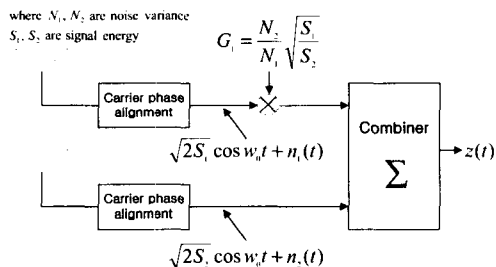


그림 3. MRC 수신구조
 Fig. 3. MRC structure.

된 알고리즘은 G-lagrange 알고리즘이고, LMS 알고리즘과 성능비교를 하였다.

알고리즘의 성능비교를 위하여 x, y 벡터를 생성

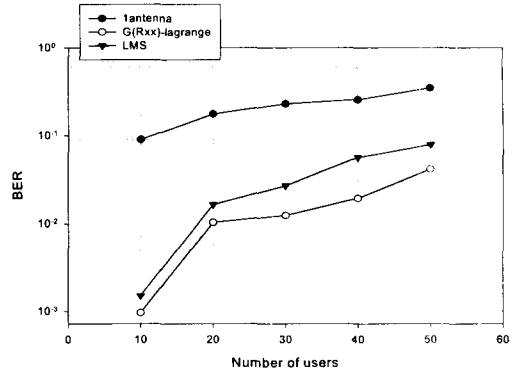


그림 4. Pilot의 PG가 64인 경우 라그랑제 알고리즘의 성능분석(No fading)

Fig. 4. Performance Analysis of the G-Lagrange algorithm at Pilot PG 64(No Fading).

표 1. Pilot의 PG가 64인 경우 라그랑제 알고리즘의 성능분석(No fading)

Table 1. Performance Analysis of the G-Lagrange algorithm at Pilot PG 64(No Fading).

# of Users	10	20	30	40	50
1 antenna	0.0902	0.1767	0.2307	0.2573	0.3498
G(Rxx)-Lag.	0.0009	0.0103	0.0124	0.0195	0.0418
LMS	0.0015	0.0165	0.0270	0.0570	0.0795

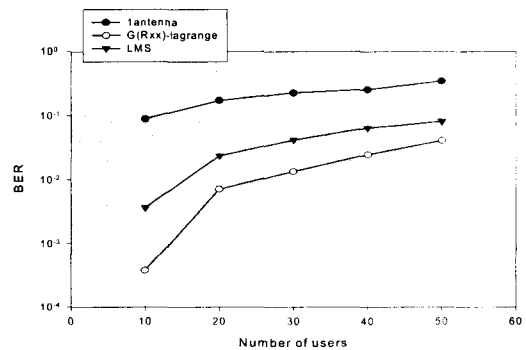


그림 5. Pilot의 PG가 128인 경우 라그랑제 알고리즘의 성능분석(No fading)

Fig. 5. Performance Analysis of the G-Lagrange algorithm at Pilot PG 128(No Fading).

표 2. Pilot의 PG가 128인 경우 라그랑제 알고리즘의 성능분석(No fading)

Table 2. Performance Analysis of the G-Lagrange algorithm at Pilot PG 128(No Fading).

# of Users	10	20	30	40	50
1 antenna	0.0902	0.1767	0.2307	0.2573	0.3498
G(Rxx)-Lag.	0.0003	0.0071	0.0135	0.0250	0.0416
LMS	0.0036	0.0240	0.0425	0.0654	0.0822

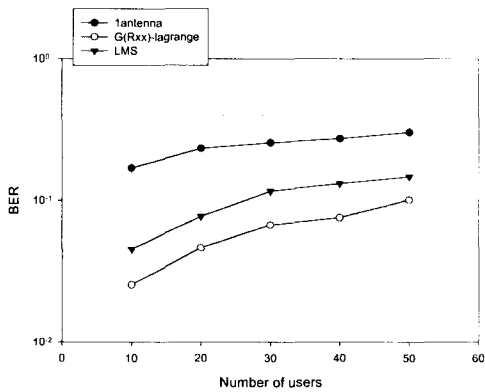


그림 6. Pilot의 PG가 64인 경우 라그랑제 알고리즘의 성능분석(fading)

Fig. 6. Performance Analysis of the G-Lagrange algorithm at Pilot PG 64(Fading).

표 3. Pilot의 PG가 64인 경우 라그랑제 알고리즘의 성능분석(fading)

Table 3. Performance Analysis of the G-Lagrange algorithm at Pilot PG 64(Fading).

# of Users	10	20	30	40	50
1 antenna	0.1694	0.2331	0.2553	0.2725	0.3025
G(Rxx)-Lag.	0.0253	0.0461	0.0669	0.0753	0.1009
LMS	0.0451	0.0766	0.1163	0.1310	0.1475

하기 위한 pilot 확산율이 64와 128 두 가지 경우에서 살펴보고, 페이딩이 존재할 때와 존재하지 않을 때를 비교하였다. 파일럿 채널을 이용하여, x , y , w 벡터를 생성하여, 9.6 kbps의 음성통화채널에 웨이트를 적용하여 BER 성능을 살펴보았다.

그림 4, 5는 파일럿 채널 확산율이 64일 때와 128일 때를 비교하였고, 그림 4, 6은 페이딩 채널일 때의 성능을 비교하였다. 그림 4에서 7까지 모든 경우

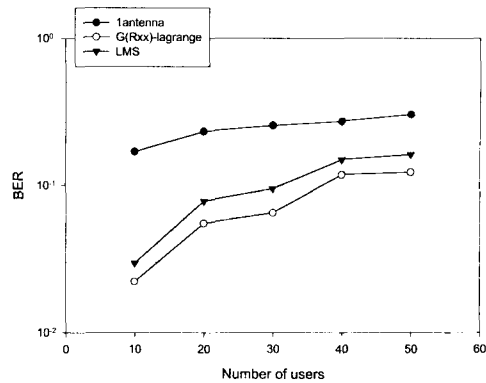


그림 7. Pilot의 PG가 128인 경우 라그랑제 알고리즘의 성능분석(fading)

Fig. 7. Performance Analysis of the G-Lagrange algorithm at Pilot PG 128(Fading).

표 4. Pilot의 PG가 128인 경우 라그랑제 알고리즘의 성능분석(fading)

Table 4. Performance Analysis of the G-Lagrange algorithm at Pilot PG 128(Fading).

# of Users	10	20	30	40	50
1 antenna	0.1594	0.2331	0.2553	0.2725	0.3025
G(Rxx)-Lag.	0.0221	0.0550	0.0647	0.1180	0.1227
LMS	0.0295	0.0780	0.0946	0.1495	0.1620

에서 G-Lagrange 알고리즘의 성능이 LMS보다 우수함을 확인할 수 있었다. 이는 일반화된 고유치 방법에 의한 제한된 Lagrange 알고리즘이 간섭신호원에 대한 필터링(filtering)효과가 우수하기 때문에 일어난 결과이다.

V. 빔형성 모듈

5-1 빔형성 모듈 시스템 구조

그림 8은 빔형성 모듈의 전체 하드웨어적인 구조도^{[11][12]}로 크게 9개의 블록으로 나뉘어진다. 9개의 블록을 보면, 빔형성 모듈의 재동작을 위한 리셋(RESET) 블록, 시스템 클럭을 발생시켜 주는 클럭 블록, 프로그램을 다운 로딩시켜 주는 JTAG 블록, 여러 개의 채널연결을 위한 MCBSP(Multi Channel Buffered Serial Port) 블록, 전원(Power) 블록, 빔

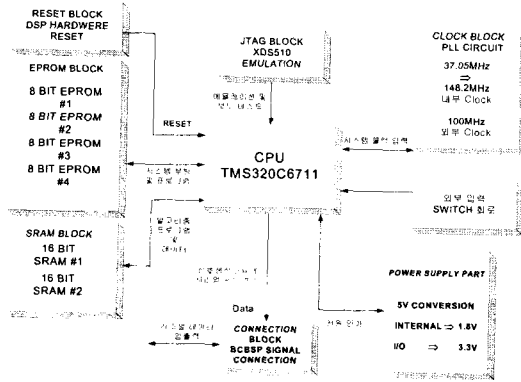


그림 8. 빔형성 모듈의 구조도
Fig. 8. The entire block diagram of the beamforming module.

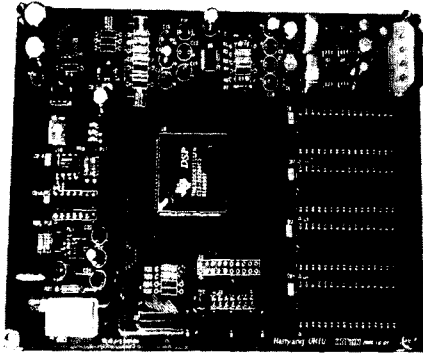


그림 9. TMS320C6711을 이용한 빔형성 모듈
Fig. 9. The Photograph of the beamforming module.

형성 알고리즘이 다운 로드되는 ROM 회로, 알고리즘 프로그램 및 데이터를 저장할 수 있는 외부 SRAM 회로, 빔형성 모듈의 부팅 방법 및 수신 데이터 배열 순서 선택 등을 선정할 수 있는 외부입력 스위치 블록, 신호처리 칩 블록 등이 있다.

5-2 시리얼 포트 통신

빔형성 모듈 시스템의 전체적인 구조는 그림 10과 같다. 즉 PC에서 PCI 버스를 통해서 안테나 수신신호를 평가보드(EVM : EVAluation Module)로 전달한다. EVM에 저장된 수신신호는 시리얼포트를 통해서 빔형성 모듈에 전달하고 빔형성 모듈은 EDMA를 이용하여 수신신호를 저장하게 된다.

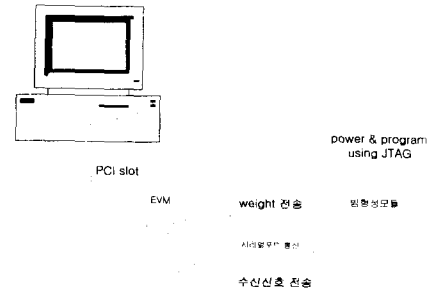


그림 10. 스마트 안테나 Test-bed 시스템의 연결도
Fig. 10. Connection diagram of the Test-bed system.

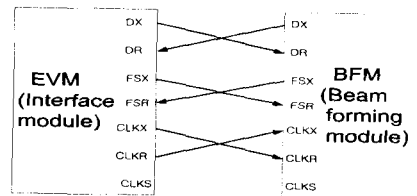


그림 11. 빔형성모듈과 EVM의 연결상태
Fig. 11. Connection between EVM and beamforming module.

빔형성 모듈은 저장된 수신신호를 이용하여 알고리즘을 수행하고 수신신호에 대응이 되는 웨이트를 생성하게 된다.

웨이트는 다시 EVM으로 시리얼포트를 통해서 전달되고 EVM은 EDMA를 사용하여 웨이트를 저장한다. 저장이 된 웨이트는 PCI 버스를 통해서 PC로 전달하고 이 전달된 웨이트를 이용하여 성능분석을 하게 된다. 본 절에서는 정상적으로 시리얼포트통신이 되는 최고속도를 보이고 있다. 아울러 빔형성 모듈과 EVM의 프로그램을 설명하고 이 프로그램의 결과를 그림으로 나타내고 있다.

그림 11은 빔형성 모듈과 EVM의 연결을 나타내고 있다.

즉, 빔형성 모듈의 콘트롤 레지스터에서 클럭 모드(clock mode)를 결정하는 비트를 입력으로 하고 EVM의 콘트롤 레지스터에서 클럭은 출력으로 설정하여서 그림 11과 같이 연결하면 된다.

시리얼포트통신의 테스트방식은 다음과 같다. EVM에서 데이터를 전달하면 빔형성 모듈에서 저장하고 이 데이터를 다시 EVM으로 전달하여 데이

터의 오류율을 계산하고 있다.

5-3 데이터 구조

그림 12는 다중 빔형성 모듈의 수신 신호 데이터 구조이다. 사용자 1명의 신호 플래그 32비트와 수신 신호 896비트로 이루어졌다. 플래그는 상위 24비트는 예비용 비트이고 하위 8비트만 사용한다. 하위 8비트중 4비트는 플래그로 사용되어 전송상태를 나타내 주고 나머지 4비트는 사용자의 코드가 들어간다. 수신 신호 896비트는 그림 12에서와 같이 핑거(finger) 1, 2 448비트로 나뉘고, 핑거는 역확산기 전후의 신호 224비트로 구성된다. 그리고 이 224비트 신호는 I, Q 32비트 신호가 8개가 모여 이루어졌다.

다중 빔형성 모듈은 8명 사용자의 웨이트를 계산하므로 하나의 스냅샷 동안 총 7424비트의 신호가 전송된다. 그리고 스냅샷은 1 ms이므로 약 7.25 Mbit/sec의 데이터 전송률이 된다.

5-4 알고리즘 계산시간

본 논문의 빔형성 모듈이 사용하는 TMS320C-6711 CPU는 클럭 150 MHz로 동작한다. 따라서 1 클럭의 소요시간은 약 6.7 ns가 된다. 이는 기존에 사용하던 TMS320C30계열 CPU의 속도 33 MHz의 4.5배 정도이다. 따라서 하나의 CPU로 장착한 빔형성 모듈로 여러 명의 사용자를 처리할 수 있게 되었다. 아래 표 5는 빔포머(beamformer)로 구현한 적응 알고리즘의 전체 소요 클럭이다. 한 명의 사용자를

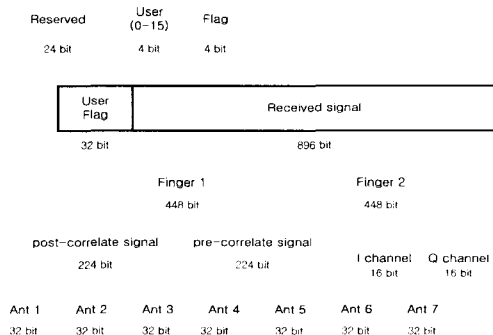


그림 12. 다중 빔형성 모듈의 데이터 구조
Fig. 12. Data Structure of a beamforming module.

표 5. 사용자 1명당 빔형성 모듈의 소요 클럭
Table 5. Required number of clocks in DSP for 1 user.

	Generalized Lagrange Algorithm
Serial port transmission (read signal)	66 clock 396 (ns)
Data fetch & format conversion (fixed → float)	489 clock 2,934 (ns)
Execution of algorithm (G-Lagrange)	15,472 clock 86,832 (ns)
Format conversion (float → fixed) & data write	135 clock 810 (ns)
Serial port transmission (write signal)	42 clock 252 (ns)
Total	15,204 clock 91,224 (ns)

위한 32개의 웨이트를 처리하는데 필요한 계산 시간은 약 109 us이므로 9.6 Ksps의 스냅샷 구간에 처리가 가능하다.

5-5 빔형성 모듈(Beam Forming Module)을 이용한 성능분석

본 절에서는 제작한 빔형성 모듈의 테스트베드를 이용하여 성능을 분석하고자 한다. 스마트 안테나 시스템의 빔포밍 모듈은 디지털 신호 처리칩 (TMS-320C6711)을 이용하여 독립 동작(stand-alone) 형태로 제작한다. 빔포밍 모듈을 위한 H/W는 빔포밍 모듈, PC(IS-2000 기지국 수신 신호 발생 용), 신호발생 PC와 빔포밍 모듈을 연결하는 인터페이스 모듈 등이 모두 통합된 테스트 베드로 구성되어 있다. 빔포밍 모듈을 연결하는 인터페이스 모듈은 서로 시리얼 포트로 연결되어 있다.

수신 데이터는 IS2000의 데이터 포맷에 따라 발생되어 파일로 저장된 데이터를 인터페이스 모듈을 통해 빔형성 모듈로 전송한다. 이 경우 PC에 저장되어 있는 데이터는 PC에서 빔형성 모듈로 전송되어 처리되기 위해서 빔형성 모듈로 전송된 다음 빔포밍 모듈의 신호처리 칩 ROM에 내장되어 있는 알고리즘에 의해 웨이트를 계산해 다시 인터페이스 모듈을 통하여 PC에 전송하게 된다.

PC에서는 EVM으로부터 계산되어진 웨이트와 데이터 채널의 신호가 곱해진 후 원하는 신호와 비교해서 에러인지를 판정하게 된다.

그림 13은 구현한 Test-bed의 전체 시스템 구성도이다.

제작한 스마트 안테나 시스템의 빔형성 모듈의 테스트베드를 이용하여 성능을 평가하기 위해 PC에서의 시뮬레이션 결과와 비교하였다. 표 6에서 표 9까지, 그림 14부터 그림 16까지는 4장의 PC를 이용한 시뮬레이션과 Test-bed 시스템에서의 결과를

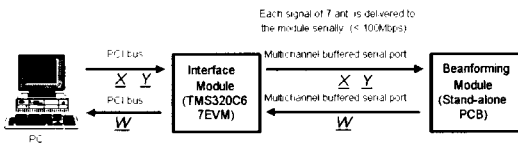


그림 13. Test-bed의 전체 시스템 구성도
Fig. 13. The block diagram of the smart antenna Test-bed.

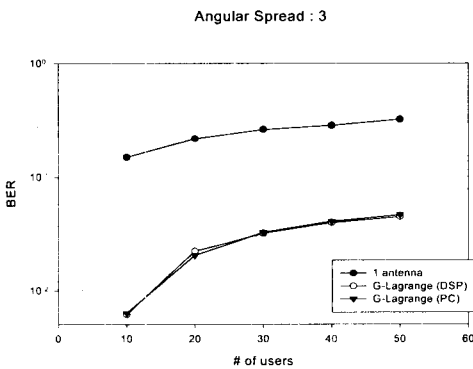


그림 14. Angular spread 3°일 때 성능비교(PC vs DSP)
Fig. 14. Performance Comparison at angular spread 3°(PC vs DSP).

표 6. Angular spread 3°일 때 성능비교(PC vs DSP)
Table 6. Performance Comparison at angular spread 3°(PC vs DSP).

# of users	10	20	30	40	50
1 antenna	0.1497	0.2191	0.2635	0.2846	0.3202
G-Lag.(PC)	0.0063	0.0205	0.0326	0.0409	0.0468
G-Lag.(DSP)	0.0619	0.0223	0.0321	0.0397	0.0450

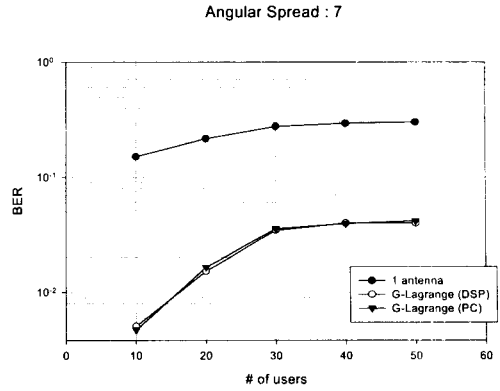


그림 15. Angular spread 7°일 때 성능비교(PC vs DSP)

Fig. 15. Performance Comparison at angular spread 7° (PC vs DSP).

표 7. angular spread 7°일 때 성능비교(PC vs DSP)
Table 7. Performance Comparison at angular spread 7° (PC vs DSP).

# of users	10	20	30	40	50
1 antenna	0.1504	0.2163	0.2751	0.2928	0.3004
G-Lag.(PC)	0.0047	0.0164	0.0357	0.0394	0.0416
G-Lag.(DSP)	0.0050	0.0151	0.0345	0.0398	0.0397

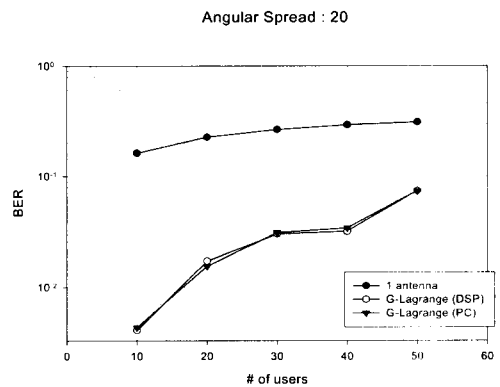


그림 16. angular spread 20°일 때 성능비교 (PC vs DSP)

Fig. 16. Performance Comparison at angular spread 20° (PC vs DSP).

비교한 것이다.

본 절에서는 신호처리 칩을 이용하여 빔포밍 모듈, PC(IS2000 데이터 포맷 신호 발생용), 신호발생

표 8. angular spread 20° 일 때 성능비교(PC vs DSP).

Table 8. Performance Comparison at angular spread 20°(PC vs DSP).

# of users	10	20	30	40	50
1 antenna	0.1622	0.2258	0.2651	0.2925	0.3105
G-Lag.(PC)	0.0043	0.0155	0.0309	0.0339	0.0738
G-Lag.(DSP)	0.0040	0.0173	0.0302	0.0317	0.0740

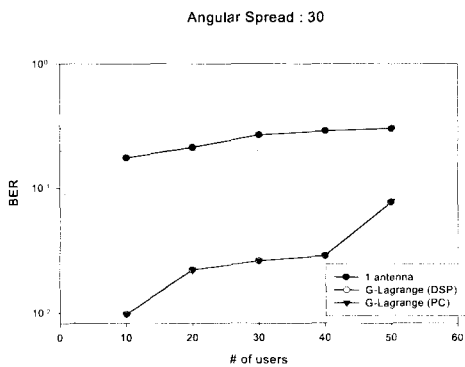


그림 17. Angular spread 30° 일 때 성능비교(PC vs DSP)

Fig. 17. Performance Comparison at angular spread 30° (PC vs DSP).

표 9. Angular spread 30° 일 때 성능비교(PC vs DSP)
Table 9. Performance Comparison at angular spread 30° (PC vs DSP).

# of users	10	20	30	40	50
1 antenna	0.1751	0.2124	0.2658	0.2866	0.3000
G-Lag.(PC)	0.0098	0.0236	0.0262	0.0291	0.0789
G-Lag.(DSP)	0.0097	0.0220	0.0260	0.0286	0.0773

PC와 빔포밍 모듈을 연결하는 인터페이스 모듈 등이 모두 통합된 테스트 베드를 구현하였다. 이 테스트 베드를 이용해 수신된 데이터를 성능 분석한 결과 PC를 이용한 시뮬레이션에서의 성능분석과 거의 일치함을 확인할 수 있었다. PC와 신호처리 칩을 이용한 미세한 결과의 차이는 시리얼포트 통신을 수행하면서 양자화(quantization) 및 역양자화를 하여 데이터 포맷을 변환하기 때문에 발생한 오차이다. 또한 표 5에서 본 것처럼 디지털 신호처리 칩

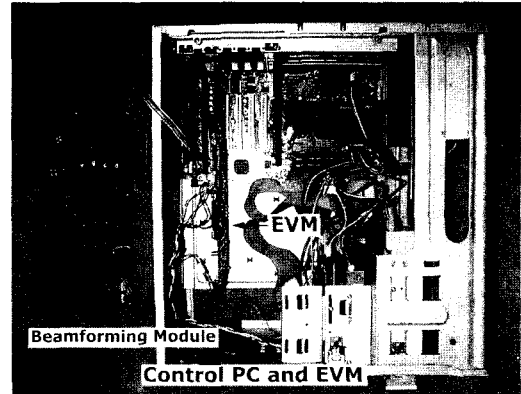


그림 18. 실제 제작된 테스트 베드 시스템
Fig. 18. The photography of the smart antenna Test-bed.

으로 알고리즘을 수행했을 때의 시간을 측정하고 결과 실시간 처리 가능성을 확인하였다.

VI. 결 론

본 논문은 IS2000 1x 환경에서 스마트 안테나를 이용한 신호 모델링, 빔형성 알고리즘 개발, 빔형성 알고리즘이 내장된 빔형성 모듈 구현 및 빔형성 모듈의 성능분석을 위한 Test-bed 제작 등의 신호처리 방법 및 장치를 개발하였다.

본 논문에서는 기존에 제시된 바 없는 새로운 방법인 파일럿 신호를 이용한 웨이트 벡터 갱신과 파일럿 신호를 이용하여 계산된 웨이트 벡터 값을 출력 신호 결정에 적용하는 방법을 제시하였다.

또한, 본 논문에는 G-Lagrange 알고리즘을 이용하여 PC 시뮬레이션의 성능분석 결과와 테스트 베드를 구현하여 성능 분석한 결과가 일치함을 확인할 수 있었고, IS2000 1x 환경에서 목표로 하는 웨이트 갱신 속도를 충분히 만족시키는 시리얼통신으로 실시간 웨이트 갱신이 가능해졌다. 또한, 실제 기지국에 적용 가능한 독립 동작 형태의 빔형성 모듈을 설계, 제작하였다.

결론적으로, IS2000 신호환경에서 G-Lagrange 알고리즘을 이용한 스마트 안테나 시스템은 성능이 우수하면서 실시간 처리가 가능하여 실제 기지국에 적용 가능하다는 것을 확인할 수 있었다.

참 고 문 헌

- [1] 3GPP, "Technical specification 25.211~25.214", July 1999.
- [2] 3GPP2, "Physical layer standard for cdma2000 spread spectrum systems," *Release A*, Dec. 15, 1999.
- [3] S. Ahn, S. Choi and T. K. Sarkar, "An adaptive beamforming algorithm with a linear complexity for a multipath fading CDMA channel", *IEICE Trans. Communication*, Accepted for publication, Mar. 2001.
- [4] S. Choi, D. Shim, "A novel adaptive beamforming algorithm for a smart antenna system in a CDMA mobile communication environment," *IEEE Trans. Vehicular Technology*, vol. 49, no. 5, pp. 1793-1806, Sep. 2000.
- [5] S. Choi, D. Yun, "Design of adaptive array antenna for tracking the source of maximum power and its application to CDMA mobile communications", *IEEE Trans. Antennas and Propagations*, Sep. 1997.
- [6] 안성수, 최승원, "CDMA 이동통신 환경하에서 어레이 안테나 시스템의 실시간 설계를 위한 온-오프(On-Off) 알고리즘의 성능분석", *Telecommunication Review*, 9(2), pp. 224-232, 1999. 4.
- [7] S. Sampei, *Applications of digital wireless technologies to global wireless communications*, Prentice Hall PTR, 1997.
- [8] S. Choi, T. K. Sarkar and J. Choi, "Adaptive antenna array for direction of arrival estimation utilizing the conjugate gradient method", *Signal Processing*, vol. 45, Issue 3, pp. 313-327, 1995.
- [9] H. Im, W. Hwang, S. Choi and H. Kim, "Performance analysis of a smart antenna system utilizing a test-bed implemented on a DSP board", *APMC2000*, Australia, 2000.
- [10] Texas Instruments, *Reference guide TMS320C-62x/67x CPU and instruction set*, Texas Instruments Inc., 1998.

임 흥 재



1998년 2월: 한양대학교 전파공학과 (공학사)
 2000년 2월: 한양대학교 전자통신 전파공학과 (공학석사)
 2000년 3월~현재: 한양대학교 전자통신과 박사과정
 [주 관심분야] 스마트 안테나 시스템, DSP 알고리즘, 무선 이동 통신

최 승 원



1980년 2월: 한양대학교 전자공학과 (공학사)
 1982년 2월: 서울대학교 전자공학과 (공학석사)
 1985년 12월 : Syracuse Univ. 전산 (공학석사)
 1988년 12월 : Syracuse Univ. 전기 및 전산과 (공학박사)
 1992년 8월~현재: 한양대학교 전기전자컴퓨터공학부 교수
 [주 관심분야] 스마트안테나 시스템, 디지털통신, DSP 응용