초고주파 집적회로의 수율향상을 위한 새로운 바이어스 안정화 회로

A Newly Proposed Bias Stability Circuit for MMIC's Yield Improvement

권 태 운 · 신 상 문 · 최 재 하

Tae-Woon Kwon · Sang-Moon Shin · Jae-Ha Choi

요 약

본 논문에서는 공정변화와 온도변화에 의한 MMIC의 성능저하를 보상할 수 있는 바이어스 안정화 회로를 제안하였다. 제안된 바이어스 안정화 회로는 기존의 정전류원을 사용하는 바이어스 회로와의 비교를 통하여 그 효과를 검증하였다. 두 구조를 동일한 조건으로 비교하기 위해 하나의 레이아웃에 두 구조를 채택한 증폭기를 동시에 설계 및 제작을 하였다. 공정오차는 세가지 경우 NOM, MIN, MAX로 구분하고 각각에 대해 고주파 특성을 측정하였다.

측정결과로 정전류원을 가지는 바이어스회로를 채택한 증폭기의 1.8 GHz에서의 이득변화는 6.4 dB, Ids 변화 7 mA이지만 제안된 바이어스회로를 채택한 증폭기는 이득변화는 2.1 dB, Ids 변화 3 mA로 우수한 특성을 보임을 확인하였다. 따라서, 제안된 바이어스 회로를 적용한 MMIC는 공정상의 변화와 온도 등에 의한 동작점의 변화를 보상하여 고주파특성의 감쇠를 보상할 수 있고 궁극적으로 회로의 수율을 개선할 수 있다. 제작된 회로의 전체크기는 1.2 mm×1.4 mm이다.

Abstract

This paper proposed a bias stability circuit that compensates the degradation of MMIC's performance for the variation of the process and temperature. The proposed bias circuit proved the superior effect compared with the conventional bias circuit using the constant current source. It designed and fabricated simultaneously two amplifier on one layout for comparison in same conditions. One is amplifier with conventional bias circuit using constant current source and the other is amplifier with proposed bias stability circuit. The chip was measured the microwave performances under process variation that classed the level NOM, MIN and MAX.

The amplifier with a conventional bias circuit using constant current source has 6.4 dB gain variation and 7 mA Ids variation at 1.8 GHz, but the amplifier with the proposed bias circuit has the 2.1 dB gain variation and 3 mA Ids variation. As the result, MMIC having the proposed bias circuit shows the superior compensation of the quiescent point than the MMIC having the conventional bias circuit under the variations of the process and temperature and can improve the yield of the MMIC. The fabricated chip size is 1.2 mm×1.4 mm.

Key words : Process Variation, MMIC, LNA, Yield, Bias Circuit

「이 논문은 2002년 울산대학교의 연구비에 의하여 연구되었음.」

울산대학교 전기전자정보시스템공학부(Electrical Engineering and Information Systems, University of Ulsan)

· 논 문 번 호 : 20020520-061

· 수정완료일자 : 2002년 9월 11일

Ⅰ. 서 론

저잡음증폭기, 전력증폭기와 같은 초고주파 집적회로의 설계 및 제작은 적당한 동작점을 설정하는 것으로부터 시작한다. 제작된 칩의 동작 특성을 보장하기 위해서는 설계된 값으로 제작되어야 하지만 MMIC(Monolithic Microwave Integrated Circuit) 공정상에 발생하는 공정 오차(process variation)와 온도 변화로 인해 설정된 값으로부터 벗어날 수 있다. 이런 문제들은 칩의 수율에 영향을 미치게 된다. 따라서 직류동작점을 안정화 시키기 위한 바이어스 회로는 설계에서부터 공정오차와 온도 변화로 인한 특성변화를 보상할 수 있도록 설계되어야 한다[1].

전통적인 바이어스 회로인 저항비를 이용한 자기 바이어스(Resistive self-bias)회로는 적용된 MESFET, HEMT MMIC의 문턱전압과 온도변화에 민감한 특성을 나타낸다. 따라서 이를 보완할 수 있는 능동소자를 이용한 다양한 형태의 바이어스 안정화회로에 대한 연구가 이루어지고 있다[2]~[6]. 특히, 증가형 트랜지스터의 개발로 인해 단일 전원에 의한 바이어스 안정화 회로에 대한 관심이 높아지고 있다.

본 논문에서 새로이 제안하는 바이어스 안정화 회로는 공정오차와 온도변화에 대한 보상을 할 수 있도록 설계되었으며 전통적인 정전류원을 이용한 바이어스 회로와 동일한 조건에서 제작하여 그 보상효과의 우수성을 검증하였다.

Ⅱ. 제안된 바이어스 안정화 회로

초고주파집적회로의 특성을 저하시키는 원인으로는 공정오차, 전원전압의 변화 그리고 온도변화 등이 있다. 이런 원인들로 인해 설정한 직류동작점이 바뀌게 되고 이는 설계한 회로의 특성을 변화시킨다. 특히 공정오차와 온도의 영향은 가장 빈번히 발생하며 수율을 떨어뜨리는 결정적인 원인이 된다. 또한 초고주파 집적회로는 제작후 튜닝이 거의 불가능하므로 회로설계에서부터 이런 변화에 적응할 수 있는 능동적인 회로설계가 이루어져야 한다.

공정오차는 서로 다른 시간에 공정이 이루어지는 웨이퍼와 웨이퍼간(wafer-to-wafer) 뿐만 아니라 같은 시간, 같은 웨이퍼에 제작된 필드와 필드(field-to-field) 사이에서도 발생한다.

공정오차는 능동소자인 트랜지스터의 문턱전압과 전달컨덕턴스의 변화를 의미하며 온도영향은 전달컨덕턴스 즉 드레인 전류의 변화를 의미한다.

공정에서 문턱전압의 변화가 생기거나 온도의 변화가 있을 경우 드레인 소스간 전류는 설정한 값보다 많이 또는 적게 흐르는데 이를 보상하기 위해서는 게이트 소스간 전압이 변해야 한다. 즉 설정한 값보다 드레인 전류가 많이 흐를 때는 게이트 소스간 전압을 낮추어 채널폭을 좁게 하여 보상하여야 하며, 반대로 적게 흐를 때는 게이트 소스간 전압을 높여 채널폭을 넓게 함으로써 보상할 수 있다.

그림 1(a)는 범용적으로 사용되고 있는 정전류원을 이용한 바이어스 회로를 나타낸다. 드레인과 게이트를 연결한 트랜지스터는 정전류원으로 동작하

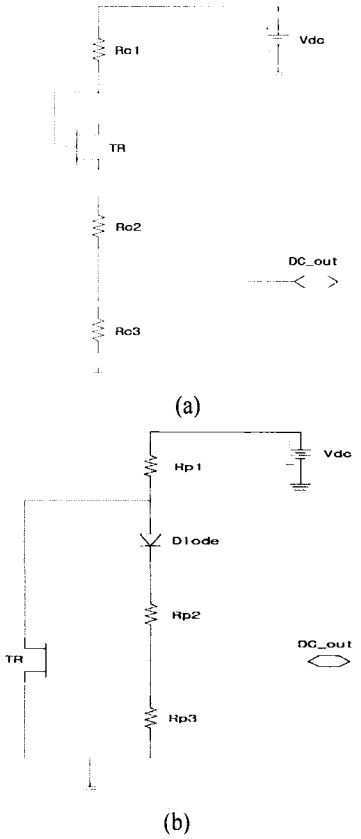


그림 1. 바이어스 회로 (a) 정전류원을 이용한 바이어스 회로, (b) 제안된 바이어스 안정화 회로

Fig. 1. Bias circuit. (a) Bias circuit with constant current source, (b) The proposed bias stability circuit

여 Rc2와 Rc3에 걸리는 저항값이 변하더라도 전압은 항상 일정하게 된다. 그러나, 공정중에 트랜지스터의 특성이 변하게 되면 정전류원의 전류도 변하게 되어 설정한 값을 얻을 수 없다. 이는 공정오차에 민감한 특성을 나타냄을 의미한다.

그림 1(b)는 제안된 바이어스 안정화 회로를 나타내며 트랜지스터, 다이오드 그리고 저항으로 구성된다.

바이어스 회로에 사용된 트랜지스터는 동일한 웨이퍼의 동일한 필드에 있으므로 고주파 회로부에 사용된 트랜지스터와 동일한 특성을 나타낸다. 이는 공정오차의 정보를 동시에 포함하고 있음을 의미하고 이를 이용하여 오차에 대한 보상회로를 구성할 수 있다.

사용된 다이오드의 역할은 보상효과를 높이기 위한 것으로 다이오드의 턴온 전압(turn-on voltage)을 이용하는 직류레벨쉬프트(DC level shifter)이다. 실제 회로에 구현한 다이오드는 MESFET의 드레인과 소스를 연결한 Shottky diode이며 0.6 [V] 정도의 턴온전압을 가진다.

마지막으로, 적용된 저항은 NiCr을 사용한 TFR (Thin Film Resistor)과 GaAs기판을 이용하는 Mesa 저항이다. TFR은 정밀한 값을 요구할 때, Mesa 저항은 수 kΩ 이상의 큰 값을 구현할 때 사용된다. 바이어스 회로부의 저항은 정밀해야 하므로 모두 TFR를 사용하였으며 Mesa 저항은 DC와 RF의 격리를 위해 20 kΩ을 DC 출력포트와 증폭기 트랜지스터의 게이트 사이에만 사용하였다.

공정오차로 인해 고주파 회로부에 적용된 트랜지스터의 드레인 전류가 커지면 동일한 공정조건으로 인해 바이어스 회로부의 트랜지스터 TR의 드레인 전류도 커진다. 이로 인해, Rp1을 통한 전압강하가 커지고 TR의 드레인 소스간 전압이 감소한다. 감소한 드레인 전압이 전압분배에 의해 Rp3에 걸리는 전압을 떨어뜨리게 되고 이 전압은 DC_out 포트를 통해 고주파 회로부 트랜지스터의 게이트로 인가된다. 따라서, 증가된 드레인 전류는 게이트 전압의 감소로 인해 다시 줄어들게 되어 고주파 회로부의 바이어스가 안정화된다. 바이어스 회로부의 Diode는 보상율을 증가시키기 위한 것으로 드레인 전압에서 Diode의 턴온전압만큼 뺀 전압이 Rp2와 Rp3에 전압분배된다. Diode가 없을 경우보다 Rp3에 걸리는 전압이 더 감소하게 되어 보상효과를 개선할 수 있다.

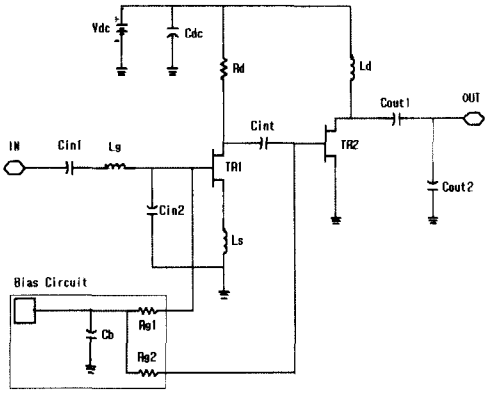


그림 2. 설계된 고주파 증폭기
Fig. 2. The designed microwave amplifier.

공정오차로 인해 트랜지스터의 드레인 전류가 감소할 경우도 위와 동일한 원리로 보상할 수 있다.

Ⅲ. 고주파 증폭기의 설계 및 제작

바이어스 안정화 회로의 보상효과를 검증하기 위해 정전류원을 채택한 고주파 증폭기와 제안된 바이어스 보상회로를 채택한 증폭기를 설계하였다. 설계한 고주파 증폭기는 2단으로 구성되며 Enhancement-mode MESFET을 사용하였다.

고주파 증폭기는 공통소스 구조의 2단으로 설계하였다. 직류동작점은 잡음, 선형성을 고려하여 게이트 바이어스 0.3[V], 게이트 바이어스저항 20 kΩ으로 결정하였다. 초단 증폭기는 잡음정합과 임피던스 정합을 동시에 시킬 수 있도록 소스에 인덕터를 사용하였고 둘째단 증폭기는 드레인에 인덕터를 사용하여 선형성을 개선하고 전력이득을 극대화 하였다. 게이트는 8 finger로 설정하여 트랜지스터의 power handling을 증가시키고자 하였다.

MMIC로 구현하기 위한 레이아웃은 Mentor Graphics사의 IC Graph을 이용하였다. 특히 process file의 각 layer 사이의 전기적인 관계와 공정상의 규칙에 대해 정의한 rule file을 이용하여 layout의 공정규칙의 오류를 검증하는 DRC(Design Rule Check) 및 logic source와의 비교를 통하여 레이아웃의 전기적인 연결의 오류를 검증하는 LVS(Layout Versus Schematic)을 수행함으로써 전체회로에 대한 검증

표 1. 바이어스 회로 및 고주파증폭기의 설계치
Table 1. Designed value of the bias circuit and microwave amplifier.

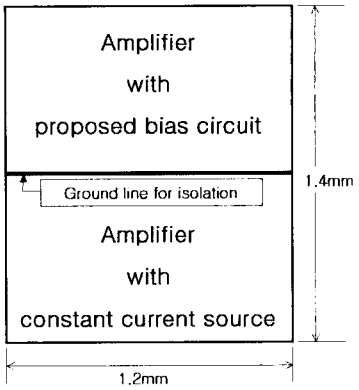
Parameter	설계치	Unit
Microwave Amplifier		
Cin1, Cint	5	pF
Cb, Cdc	5	pF
Cin2	0.5	pF
Cout1	2.6	pF
Cout2	2.2	pF
Rd	209	ohm
Rg1, Rg2	20,000	ohm
Lg	6	no. of turn
Ls	4.25	no. of turn
Ld	4	no. of turn
Proposed bias circuit		
Rp1	295	ohm
Rp2	400	ohm
Rp3	300	ohm
Bias circuit with constant current source		
Rc1	270	ohm
Rc2	351	ohm
Rc3	81	ohm
Power Supply		
Vdc	3	V
Total Current Consumption	14	mA
Layout		
Chip Size	1.2×1.4	mm^2

을 하였다.

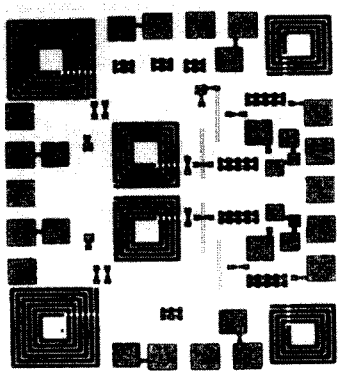
설계된 증폭기와 바이어스 회로부의 설계치는 표 1과 같다.

정전류원을 적용한 고주파 증폭기와 제안된 바이어스 회로를 적용한 고주파 증폭기는 동일한 조건에서 제작되어야 한다. 따라서, 하나의 레이아웃에 두 증폭기를 동시에 설계하였다. 즉 레이아웃의 상단부는 제안된 바이어스 회로를 적용한 증폭기를 하단부는 정전류원을 적용한 증폭기를 배치하는 구조를 채택하여 같은 조건에서 MMIC가 제작되도록 고려하였고, 두 회로간의 격리를 위하여 중앙에 접지선을 삽입하였다. 또한 제작 후 on-wafer 측정이 가능하도록 피치(pitch)간격이 150 um인 GSG(Ground-Signal-Ground), GPG(Ground-Power-Ground) 구조로 패드를 배치하였다.

제작된 초고주파증폭기는 그림 3과 같으며 전체



(a)



(b)

그림 3. (a) 간략화된 레이아웃, (b) 제작된 칩
Fig. 3. (a) Simplified layout, (b) The fabricated chip.

칩크기는 1.2×1.4 [mm^2]이다.

Ⅳ. 측정결과

공정상의 변화에 대한 제안된 바이어스 안정화 회로의 보상특성을 보기 위해 먼저 각각의 필드에서의 직류측정을 통해 전달컨덕턴스(Gm)와 문턱전압(Vth)에 대한 DC map을 작성하였다. 직류측정결과를 바탕으로 표 2와 같은 세가지 공정조건을 정하고 제안된 바이어스 안정화 회로의 보상효과를 검토하였다. 직류측정에 사용된 트랜지스터는 gate length 0.5 μm, gate width 50 μm, finger수가 4인 Enhancement-mode MESFET 표준소자이다.

시뮬레이션 결과와의 비교를 위해 NOM, MIN, MAX에 해당하는 트랜지스터의 ROOT모델을 추출

하고 추출된 모델을 바탕으로 시뮬레이터에서 확인하였다. 최종적으로 시뮬레이션 결과와 측정결과를 비교한 결과 전체적인 이득은 약간의 차이가 나지만 증폭기의 동작성능은 거의 같은 경향을 가진다. 설계치와 측정치의 차이는 공정오차와 사용된 모델의 부정확성에 의한 것으로 사료된다.

공정은 3개의 웨이퍼를 통해 이루어졌고 표 2의 조건을 가지는 증폭기는 서로 다른 필드와 웨이퍼에서 발생하였다. 따라서 같은 시간에서 이루어진 공정에 대한 변화도 고려할 수 있으며, 또한 서로 다른 시간에 이루어진 공정에 대한 변화도 고려할 수 있다.

제작된 MMIC는 on-wafer 측정을 하였으며 Agilent 8510C network analyzer를 이용하여 이득변화와 반사손실을 측정하였다.

표 2. 공정오차에 의한 Enhancement-mode MESFET의 특성변화

Table 2. Characteristics of Enhancement-mode MESFET with process variation.

	Vth	Gm [mS/mm]	Idss[mA] at Vds = 2 V
NOM	0.08	199.3	10.6
MIN	0.01	215.3	14
MAX	0.18	170	7.2

제작된 증폭기의 측정된 고주파 특성은 시뮬레이션 결과와 거의 같은 특성을 보이며 보상효과를 얻

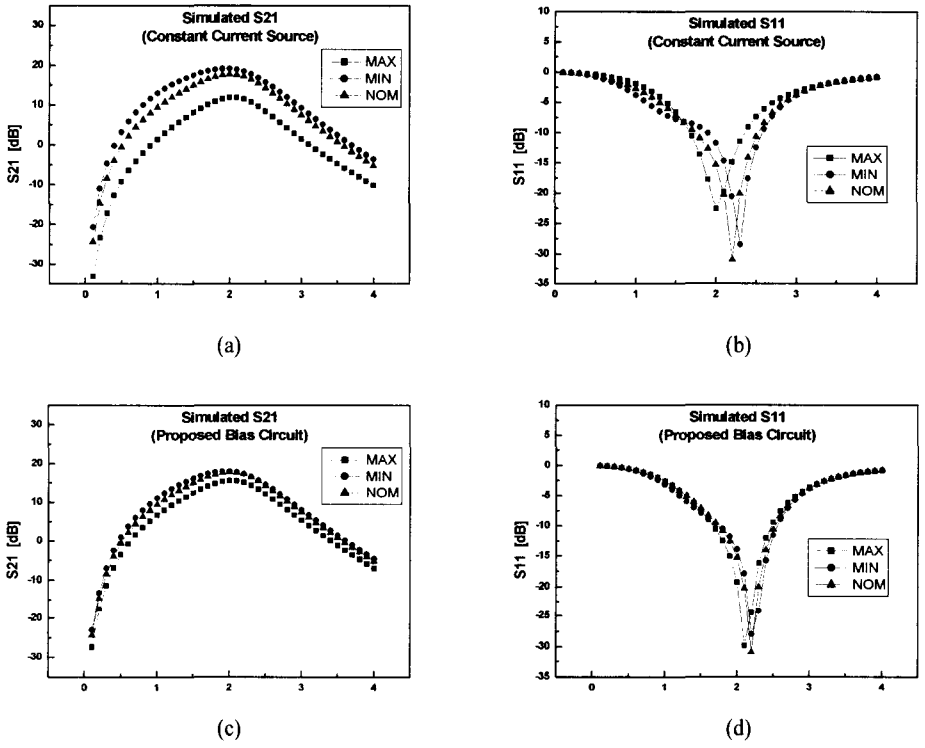


그림 4. 고주파증폭기의 시뮬레이션 결과 (a) 정전류원을 가지는 바이어스회로를 적용한 증폭기의 S_{21}, (b) 정전류원을 가지는 바이어스회로를 적용한 증폭기의 S_{11}, (c) 제안된 바이어스 안정화회로를 가지는 증폭기의 S_{21}, (d) 제안된 바이어스 안정화회로를 가지는 증폭기의 S_{11}

Fig. 4. The simulation result of microwave amplifier. (a) The S_{21} of amplifier applied to bias circuit with constant current source, (b) The S_{11} of amplifier applied to bias circuit with constant current source, (c) The S_{21} of amplifier applied to the proposed bias circuit, (d) The S_{11} of amplifier applied to the proposed bias circuit

을 수 있다.

그림 4는 설계된증폭기의 시뮬레이션 결과를 보여준다. 공정오차에 의한 트랜지스터의 특성변화는 고주파특성의 변화로 나타남을 알 수 있다. 증폭기 이득의 변화폭은 정전류원을 이용한 방식보다 제안된 방식이 훨씬 작으며 이는 보상효과가 기존의 방식보다 개선되었음을 의미한다.

그림 5는 제작된 증폭기의 측정결과를 보여준다. 표 3은 1.8 GHz에서의 측정된 증폭기 이득, 직류소모전류, 이득변화폭, 그리고 드레인전류 변화폭을 요약하였다. 1.8 GHz에서의 제안된 방식은 증폭기 이득변화폭 2.1 dB, 드레인전류 변화폭 3 mA이고 정전류원을 이용한 방식은 증폭기 이득변화폭 6.4 dB, 드레인전류 변화폭 7 mA로 측정되었다.

표 3. 1.8 GHz에서 측정된 증폭기 이득, 직류소모전류, 이득변화폭, 그리고 드레인전류 변화폭

Table 3. Measured gain, DC Consumption, gain variation and drain current variation at 1.8 GHz.

	Gain [dB]	Ids [mA]	Gain variation [dB]	Ids variation [mA]
LNA with proposed bias circuit				
NOM	15.1	14	±2.1	±3
MIN	13	11		
MAX	13.8	13		
LNA with constant current source				
NOM	15.1	14	±6.4	±7
MIN	8.7	7		
MAX	12.4	10		

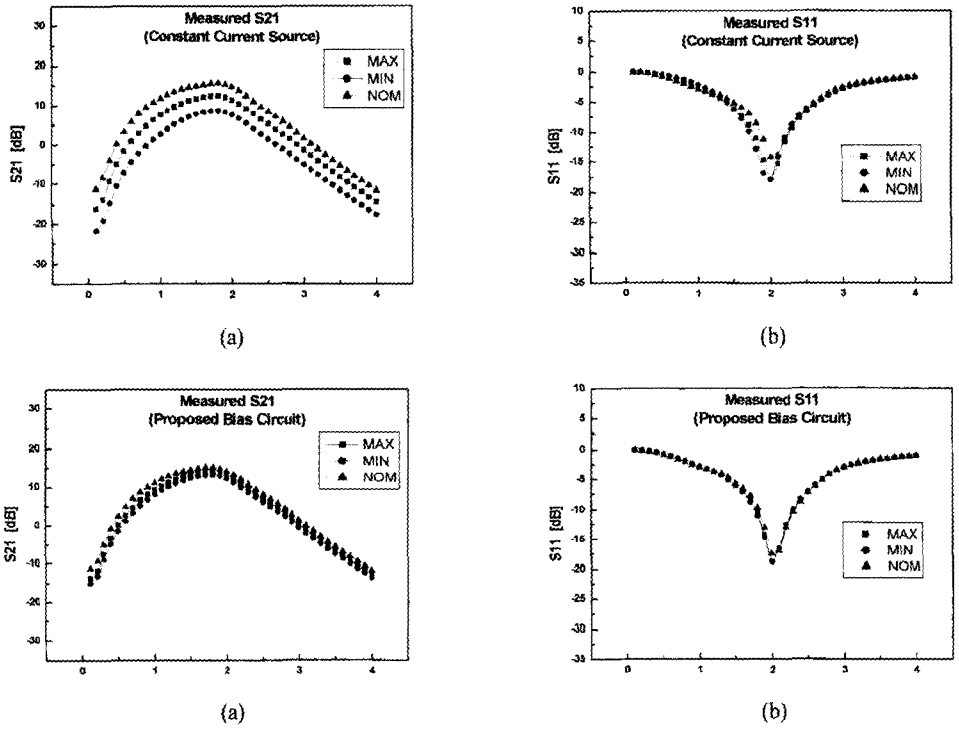


그림 5. 고주파증폭기의 측정결과 (a) 정전류원을 가지는 바이어스회로를 적용한 증폭기의 S_{21}, (b) 정전류원을 가지는 바이어스회로를 적용한 증폭기의 S_{11}, (c) 제안된 바이어스 안정화회로를 가지는 증폭기의 S_{21}, (d) 제안된 바이어스 안정화회로를 가지는 증폭기의 S_{11}

Fig. 5. The measured result of microwave amplifier. (a) The S_{21} of amplifier applied to bias circuit with constant current source, (b) The S_{11} of amplifier applied to bias circuit with constant current source, (c) The S_{21} of amplifier applied to the proposed bias circuit, (d) The S_{11} of amplifier applied to the proposed bias circuit

V. 결 론

본 논문에서는 MMIC 공정변화와 온도변화에 의한 회로의 성능저하를 보상할 수 있는 바이어스 안정화 회로를 제안하였다. 제안된 바이어스 안정화 회로는 기존의 정전류원을 사용하는 바이어스 회로와의 비교를 통하여 그 효과를 검증하였다.

정전류원을 가지는 바이어스회로를 채택한 증폭기의 이득변화는 6.4 dB, Ids 변화 7 mA이지만 제안된 바이어스회로를 채택한 증폭기는 이득변화는 2.1 dB, Ids 변화 3 mA로 우수한 특성을 보임을 확인하였다.

결론적으로, 제안된 바이어스 회로를 적용하여 공정상의 변화와 온도 등에 의한 동작점의 변화를 보상하여 칩의 안정적인 동작을 보장할 수 있다. 제작된 칩의 크기는 1.2 mm×1.4 mm이다.

감사의 글

본 논문을 쓰는데 도움을 주신 한국전자통신연구원(ETRI) 초고주파소자팀 김해천 팀장님을 비롯한 팀원들께 감사의 말을 전합니다.

참 고 문 헌

[1] Ravender Goyal, *Monolithic Microwave Integrated Circuits*, Artech House, pp. 387-392, 1989.

[2] Kevin W. Kobayashi, Reza Esfandiari etc, "Monolithic Regulated Self-Biased HEMT MMIC's", *IEEE Trans. Microwave Theory Tech.*, vol. 42, pp. 2610-2616, Dec. 1994.

[3] Ratan Bhatia et al., "DC bias feedback circuit for MESFET bias stability", *US patent no. 5973565*, 26 Oct. 1999.

[4] Chang Seok Lee et al., "Bias stabilization circuit", *US patent no. 6100753*, 8 Aug. 2000.

[5] Kawakami et al., "Integrated circuit device having a bias circuit for an enhancement transistor circuit", *US patent no. 5889426*, 30 Mar. 1999.

[6] Nobuo Kotera et al., "Constant-current circuit-biasing technology for GaAs FET IC", *IEEE JSSC*, vol. 30, pp. 61-64, Jan. 1995.

권 태 운

1996년 2월: 울산대학교 전자공학과 (공학사)
1998년 8월: 울산대학교 전자공학과 (공학석사)
1999년 3월~현재: 울산대학교 전자공학과 박사과정
[주 관심분야] MMIC, RF 시스템

신 상 문

2000년 2월: 울산대학교 전자공학과 (공학사)
2002년 2월: 울산대학교 전자공학과 (공학석사)
2002년 3월~현재: 울산대학교 전자공학과 박사과정
[주 관심분야] MMIC, RF 시스템

최 재 하

1980년~현재: 울산대학교 전기전자 및 자동화공학부 교수
[주 관심분야] MMIC, 초고주파 회로설계