

## 새로운 바이어스 회로를 적용한 L-band용 One-Chip MMIC 믹서의 설계 및 제작

### Design and Fabrication of the One-Chip MMIC Mixer using a Newly Proposed Bias Circuit for L-band

신상문 · 권태운 · 신윤권\* · 강중순\*\* · 최재하

Sang-Moon Shin · Tae-Woon Kwon · Yun-Kwon Shin\* · Joong-Soon Kang\*\* · Jae-Ha Choi

#### 요약

본 논문에서는 L-band용 이동통신 단말기에 적용 가능한 수신단 MMIC 믹서의 설계 및 제작에 관한 연구를 다룬다. 단일 칩으로 집적하기 적절한 LO 및 RF balun을 능동소자를 이용하여 구성하였으며 각 능동소자의 공정상의 변화를 보상하기 위하여 새롭게 제안된 바이어스 회로를 적용하였다. 믹서의 변환율은  $-14\text{ dB}$ 이며 IP3는 약  $4\text{ dBm}$ , 포트간 격리도는  $25\text{ dB}$  이상의 값을 가진다. 제안된 새로운 바이어스 회로는 FET와 저항으로 구성되며 공정상의 변화와 온도의 변화 등에 의한 문턱전압의 변화를 보상해 줄 수 있다. 설계된 칩의 사이즈는  $1.4\text{ mm} \times 1.4\text{ mm}$ 이다.

#### Abstract

In this paper, the study of a design and fabrication of the receiver MMIC mixer for L-band application is described. The mixer is composed of active LO and RF balun to integrate on a chip and applied a newly proposed bias circuit to compensate the process variations of active devices. The conversion gain of the mixer is  $-14\text{ dB}$ , IIP3 is approximately  $4\text{ dBm}$  and port-to-port isolation is over  $25\text{ dB}$ . The newly proposed bias circuit is composed of a few FETs and resistors, and can compensate the variation of the threshold voltage by the process variations, temperature changes and etc. The designed chip size is  $1.4\text{ mm} \times 1.4\text{ mm}$ .

Key words : One-Chip, MMIC, Mixer, Bias Circuit

#### I. 서 론

본 논문은  $2.14\text{ GHz}$ 의 RF 주파수를  $210\text{ MHz}$ 의 IF 주파수로 하향변환 시켜주기 위한 주파수 혼합기와 LO balun, RF balun, 그리고 바이어스 안정화 회로를 하나의 칩 상에 구현하는 것에 대한 연구이다. LO 및 RF balun은 One-Chip화에 적합한 능동

소자를 이용하였으며 본문에 소개된 바이어스 안정화 회로는 각 능동소자의 공정변화(Process variation)에 의한 전압 레벨 변화를 보상해 주기 위해 적용되었다. 제작은 ETRI  $0.5\text{ }\mu\text{m}$  GaAs MESFET 공정을 이용하였다.

마이크로웨이브대역에서 사용되는 무선 시스템의 송수신단 소자인 저잡음 증폭기, 주파수 혼합기, 전

「본 논문을 쓰는데 도움을 주신 반도체설계교육센터(IDE)에 감사드립니다.」

울산대학교 전기전자정보시스템공학부(School of Electrical Engineering and Information Systems, Ulsan Univ.)

\*서라벌대학 컴퓨터정보학부(Dep. of Computer Information, Sorabol College)

\*\*울산과학대학 전기전자학부(Dep. of Electirc and Electronics, Ulsan College)

· 논문 번호 : 20020110-001

· 수정완료일자 : 2002년 5월 8일

력증폭기들은 매우 정규화된 DC전원을 필요로 한다. 특히 신호 증폭용 소자들은 바이어스 점을 안정적으로 유지해 주어 발진 등의 예상치 못한 문제들에 대한 대비를 할 필요가 있다<sup>[1]</sup>.

본 설계에 사용된 바이어스 회로는 공정상의 변화에 대한 보상을 할 수 있도록 설계되었으며, 내외부의 원인에 의한 전압 변화에 대해서도 칩의 동작을 보상할 수 있다.

본 설계에 적용한 저항성 주파수 혼합기는 FET의 저항성 영역에서 동작을 하는 것으로 드레인 바이어스를 걸지 않기 때문에 전력 소모가 거의 없을 뿐만 아니라 게이트 주파수 혼합기나 드레인 주파수 혼합기에 비해 잡음 특성이 우수한 장점을 가진다<sup>[2]~[5]</sup>.

## II. 하향 주파수 혼합기와 중간주파수 증폭기 설계

그림 1은 하향 주파수 혼합기의 블록도이다. 저잡음 증폭기에서 출력된 신호는 IF(Image Rejection Filter)를 거쳐 하향 주파수 혼합기로 입력되고 여기서 국부 발진 신호와 승산되어 두 주파수의 차 성분인 중간주파수로 변환된다. 중간주파수로 변환된 신호는 중간 주파수 증폭기에서 증폭된다.

주파수 혼합기의 잡음지수는 일반적으로 10 dB 정도이며 전체 수신단의 잡음 특성을 개선하기 위해서는 주파수 혼합기의 잡음지수를 최소화 할 필요가 있다. 이를 위한 방법으로 혼합기 전단에 증폭 회로를 두는 방법을 사용한다.

주파수 혼합기의 설계에서 가장 문제가 되는 부분은 국부 발진 신호와 고주파 신호가 출력단에 나

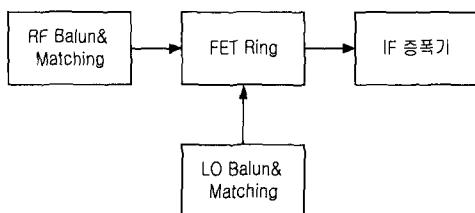


그림 1. 수신단 하향 주파수 혼합기의 블록도  
Fig. 1. Block diagram of down-conversion mixer.

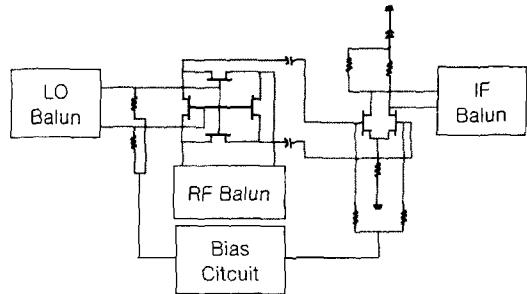


그림 2. 수신단 하향 주파수 혼합기의 회로도

Fig. 2. Down-conversion mixer circuit.

타남으로써 중간주파수 증폭기를 포화시키는 것이며 이를 해결하기 위해 ring 형태의 혼합기와 차동 증폭기를 적용하였다.

설계한 주파수 혼합기는 Double Balanced FET resistive Mixer 구조를 선택하였다. 이런 구조의 혼합기는 FET를 triode 영역에서 동작시키는 구조로 높은 선형성과 저잡음 특성을 얻을 수 있다. 그러나 변환손실이 15 dB 정도 발생하는 단점이 있다.

중간주파수 증폭기는 수신단의 최종단으로 연결될 IF SAW Filter의 입력임피던스가 일반적으로 1000 Ω이므로 출력단 임피던스를 1000 Ω으로 정합하여야 한다. 중간주파수 증폭기의 출력신호가 차동신호이므로 이를 위해서 두 개의 상보출력단에 각각 500 Ω의 저항을 MMIC 내부에서 전원전압과 각각의 드레인 사이에 연결하였다.

그림 2는 설계된 하향 주파수 혼합기와 중간주파수 증폭기의 회로도이다.

## III. 바이어스 회로

고주파 집적회로는 제조공정상의 오차에 의해 터전압  $V_{th}$ 가 변화되거나, 회로로 인가되는 전원전압의 변동이 있을 경우, 또한 고주파 집적회로의 주변 온도에 변화가 있을 때 전계효과 트랜지스터의 드레인을 통해 흐르는 전류량이 변화되어 집적회로의 출력신호에 왜곡이 발생되는 문제점이 있다.

본 칩에 적용한 바이어스 회로는 HEMT나 MES-FET등의 고주파 집적회로에서 발생할 수 있는 문제들에 대해 직류 바이어스 전압을 안정적으로 공급 할 수 있도록 설계되었다.

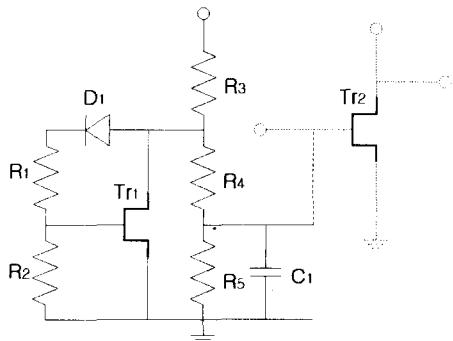


그림 3. 바이어스 보상회로  
Fig. 3. Bias compensation circuit.

공정에서 문턱전압  $V_{th}$ 의 변화가 생기면 드레인 전류는 설정한 값보다 많이 또는 적게 흐르는데 이를 보상하기 위해서는 게이트 소스간 전압이 변해야 한다. 즉 설정한 값보다 드레인 전류가 많이 흐를 때는 게이트 소스간 전압이 낮아져 채널의 폭을 좁게 하여 보상하여야 하며, 반대로 적게 흐를 때는 게이트 소스간 전압이 높아져 채널의 폭을 넓게 함으로써 보상해야 한다.

전원전압의 변화에 대해 충분한 보상을 하기 위해서는 바이어스 회로의 게이트 소스간 전압의 변화폭이 설계된 회로의 게이트 소스간 전압의 변화폭보다 충분히 큼으로써 설계회로의 게이트 소스간 전압의 변화를 제거할 수 있다. 이를 위해 다이오드의 턴온 전압(turn-on voltage)을 이용하는 직류레벨 쉬프트(DC level shifter) 회로를 구성하였다.

공정상의 오차에 의해 트랜지스터의 문턱전압  $V_{th}$ 의 변화가 생기면 고주파증폭회로의 드레인 전류가 변한다. 즉 직류동작점이 변하게 되어 증폭회로의 성능의 변화를 가져온다.

본 논문에서 사용한 바이어스 보상회로가 동작하는 과정을 설명하면 다음과 같다.

먼저, 그림 3의 트랜지스터( $Tr_1$ )와 전원이 공급되는 트랜지스터( $Tr_2$ )는 공정상의 오차로 이 트랜지스터의 문턱전압이 낮게 형성되어 설정한 직류 드레인 소스간 전류가 더 많이 흐른다고 가정한다.  $Tr_1$ 과  $Tr_2$ 는 공정상 같은 시간 같은 조건하에서 형성되므로 동일한 특성을 보인다.

$Tr_2$ 의 드레인 소스간 전류가 설정한 값보다 더 많이 흐르면 이와 같은 특성을 보이는  $Tr_1$ 의 드레인

소스간 전류도 설정한 값보다 더 많이 흐른다.  $Tr_1$ 은 저항  $R_3$ 와  $R_4$ 의 접합점에서 분기되어 있으므로  $Tr_1$ 의 드레인 전류가 증가하고  $R_4$ 와  $R_5$ 로 흐르는 전류는 트랜지스터의 문턱전압의 변화에 의해 증가된 전류성분만큼 줄어든다. 따라서 저항  $R_5$ 에 걸리는 전압이 감소하고 이는  $Tr_2$ 의 게이트 소스간 전압을 낮추는 효과를 가져와서 증가된 전류성분을 보상하는 동작을 한다.

반대로 공정상의 오차로 트랜지스터의 문턱전압이 높게 형성되어 설정한 직류 드레인 소스간 전류가 더 적게 흐른다고 가정하더라도 똑 같은 원리로 보상을 한다.

문턱전압의 변화뿐만 아니라 전원전압의 변화도 회로의 성능을 변화시키는 요인이 된다. 전원전압의 변화가 일어나면 전원과 직렬로 연결된 저항( $R_3$ ,  $R_4$ ,  $R_5$ )들의 분배를 통해 인가되는  $Tr_2$ 의 게이트 소스간 전압은 전원전압의 변화율과 같은 비율로 변화한다. 전원전압의 상승은  $Tr_2$ 의 게이트 소스간 전압의 상승효과를 나타나고 전원전압의 강하는  $Tr_2$ 의 게이트 소스간 전압의 감소효과로 나타난다.

보상회로의 트랜지스터  $Tr_1$ 의 게이트 소스간 전압은 전원전압에서  $R_3$ 를 통한 전압강하와 다이오드  $D_1$ 에 의한 직류 레벨 쉬프트(DC level shifter)를 뺀 전압을 저항  $R_1$ 과  $R_2$ 로 전압분배하여 인가한다. 따라서, 전원전압의 변화가 일어나면  $Tr_1$ 의 게이트 소스간 전압의 변화율은  $Tr_2$ 의 게이트 소스간 전압의 변화율보다 크게 되므로  $Tr_2$ 의 게이트 소스간 전압의 변화를 보상할 수 있다.

먼저, 전원전압이 설정치보다 높아지면  $Tr_2$ 의 게이트 소스간 전압은 전원전압의 상승율 만큼 증가한다. 반면에  $Tr_1$ 의 게이트 소스간 전압은 전원전압의 상승율보다 더 큰 상승율을 가지고 증가한다. 따라서,  $Tr_1$ 의 드레인 소스간 전류가  $Tr_2$ 의 드레인 소스간 전류의 증가율보다 커지고  $R_5$ 를 통한 전압 즉  $Tr_2$ 의 게이트 소스간 전압은 낮아져 전원전압의 변화에 대한 보상이 이루어진다.

반대로, 전원전압이 설정치 보다 낮아지면  $Tr_2$ 의 게이트 소스간 전압은 전원전압의 감소율 만큼 감소한다. 반면에  $Tr_1$ 의 게이트 소스간 전압은 전원전압의 감소율보다 더 크게 감소한다. 따라서  $Tr_1$ 의 드레인 소스간 전류가  $Tr_2$ 의 드레인 소스간 전류의 감

소율보다 더 커지고  $R_5$ 를 통한 전압 즉  $Tr_2$ 의 게이트 소스간 전압은 높아져 전원전압의 변화에 대한 보상이 이루어진다.

위의 바이어스 보상회로를 사용할 때 저항의 조합은 식 (1)과 같다.

$$\frac{R_2}{R_1} = \frac{R_5}{R_3 + R_4} \quad (1)$$

#### IV. 제작 및 측정

최종적인 레이아웃은 Mentor Graphics의 IC Graph을 이용하였다. 특히 process file의 각 layer 사이의 전기적인 관계와 공정상의 규칙에 대해 정의한 rule file을 이용하여 layout의 공정 규칙의 오류를 검증하는 DRC(Design Rule Check) 및 logic source와의 비교를 통하여 레이아웃의 전기적인 연결의 오류를 검증하는 LVS(Layout Versus Schematic)을 수행함으로써 전체회로에 대한 검증을 하였다. ETRI GaAs MESFET 0.5  $\mu$ m 공정으로 그림 4와 같이 제작했으며 칩의 크기는 1.4 mm × 1.4 mm이다.

레이아웃은 칩의 안정적인 동작을 위해 GND PAD를 RF 입력단, LO 입력단 및 두 개의 IF 출력 단 사이사이에 위치시켰다.

측정지그(Test jig)는 그림 5와 같이 RF 입력, LO 입력 및 IF 출력단을 SMA로 구성했으며 IF 단은

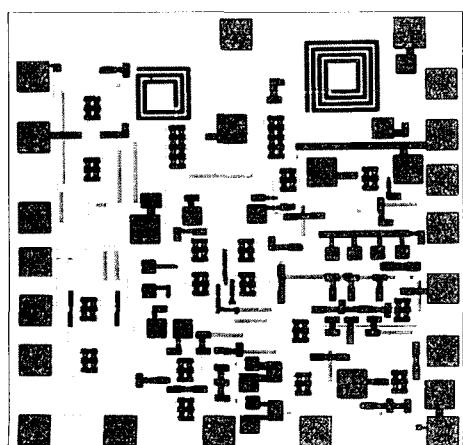


그림 4. 제작된 칩

Fig. 4. Fabricated Chip.

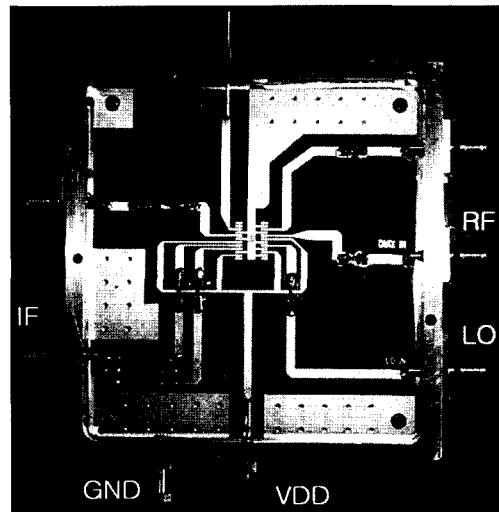


그림 5. 측정 지그

Fig. 5. Test Jig.

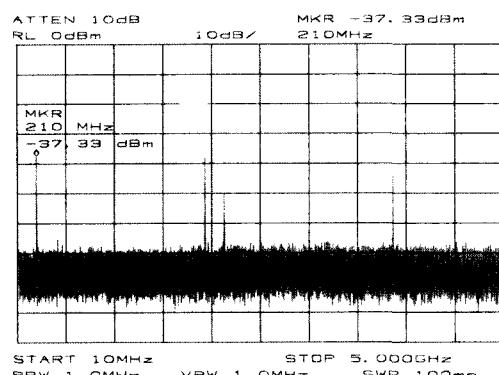


그림 6. 주파수 스펙트럼

Fig. 6. Frequency Spectrum.

$f_c$ 가 360 MHz인 트랜스포머를 이용하여 두 개의 신호를 하나로 합쳐준다. 다른 소자들에 비해 낮은 주파수 대역에서 동작하는 IF balun의 특성에 의해 변환기의 특성이 결정되는 특징이 있다. 주파수 혼합기의 측정은 RF를 -20 dBm, 2.14 GHz로, LO를 0 dBm, 1.93 GHz로 인가시켜 주었을 때 중간주파수 210 MHz를 출력한다. 중간주파수의 전력값은 -37.33 dBm이다.

선형성을 결정하는 IP3는 RF전력이 -10 dBm,  $\Delta$ Frequency = 10 MHz인 2-tone test를 통해 그림 7의 스펙트럼을 구할 수 있었다. 아래의 식 (2)에 의

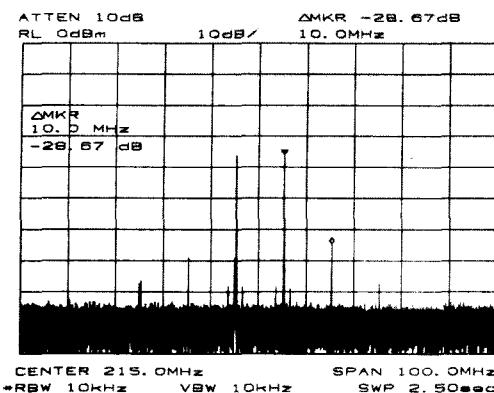


그림 7. 3차 절편점

Fig. 7. IP3.

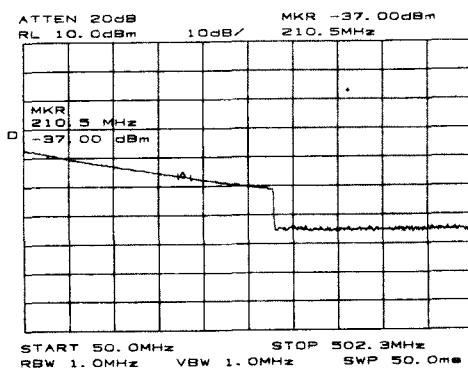


그림 8. 변환손실(RF : -20 dBm, LO : 0 dBm)

Fig. 8. Conversion Loss(RF : -20 dBm, LO : 0 dBm).

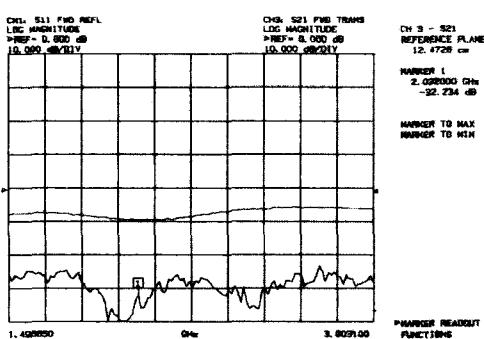


그림 9. LO-to-RF 격리도

Fig. 9. LO-to-RF isolation.

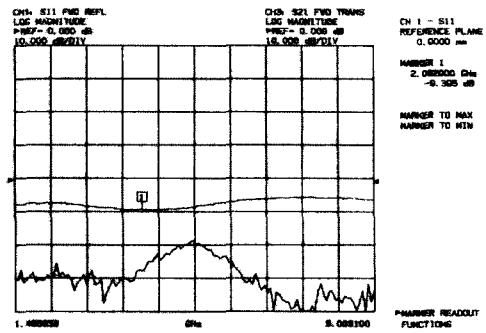


그림 10. Lo-to-IF 격리도와 LO 반사손실

Fig. 10. LO-to-IF isolation and LO return loss.

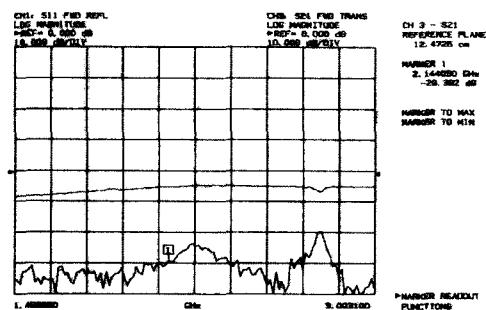


그림 11. RF-to-IF 격리도

Fig. 11. RF-to-IF isolation.

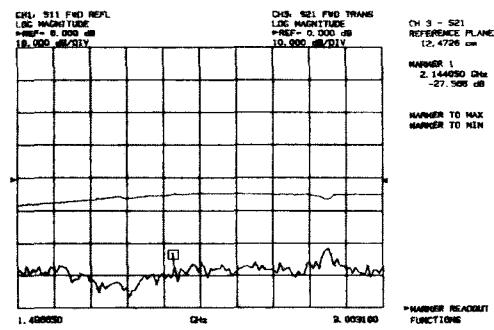


그림 12. RF-to-LO 격리도

Fig. 12. RF-to-LO isolation.

해 입려 IP3가 약 4 dBm임을 알 수 있다<sup>[6]</sup>.

$$IIP_3 |_{dBm} = \frac{AP |_{dB}}{2} + P_{in} |_{dBm} \quad (2)$$

주파수 혼합기의 변환 손실은 5:1 트랜스포머의 손실 3 dB를 포함하지 않았을 때 약 -14 dB임을 보

표 1. 수신단 주파수 혼합기의 측정결과  
Table 1. Measured results of down-conversion mixer.

Parameter	측정치	Unit	Condition
Frequency			
RF frequency	1.98~2.23	GHz	
LO frequency	1.93	GHz	
IF frequency	20~300	MHz	
Down-conversion Mixer/IFAmp			
Conversion loss	-14	dB	LO=0 dBm
IIP3	4	dBm	IF=210 MHz
LO-to-IF isolation	25	dB	
LO-to-RF isolation	32	dB	
RF-to-IF isolation	29	dB	
RF-to-LO isolation	27	dB	
Output impedance	1000	$\Omega$	Balanced
Power Supply			
Voltage	3	V	
Total Current Consumption	11.5	mA	
Chip Size	1.4×1.4	mm <sup>2</sup>	

여주고 있다. 변환손실은 트랜스포머의 동작 특성에 의해 제한되고 있음을 그림 8을 통해 알 수 있다.

측정된 주파수 혼합기의 포트간 격리도는 LO-to-IF가 약 -25 dB, LO-to-RF가 -32.2 dB, RF-to-IF가 -29.4 dB, RF-to-LO가 -27.5 dB이다. 측정된 결과를 통해 각 단의 격리도가 25 dB 이상의 우수한 특성을 나타내고 있음을 확인하였다. 또한 측정된 LO return loss는 -9.4 dB이다.

측정된 격리도는 각각 그림 10~12에 나타내고 있다. 특히 다른 신호에 비해 큰 신호인 LO 신호가 RF와 IF 단에 유입되면 FET소자를 포화시켜 비선형적인 동작을 할 수 있기 때문에 그림 10의 LO-to-IF 격리도와 그림 11의 LO-to-IF 격리도는 매우 중요하다<sup>[2]</sup>.

## V. 결 론

본 연구는 새로운 바이어스 회로를 적용한 L-band용 수신단 One-chip MMIC 주파수 혼합기의 제작 및 측정에 관한 것이다.

Double balanced 구조의 주파수 혼합기와 One-Chip화에 적합한 LO 및 RF balun, 그리고 각 능동소자의 동작을 안정적으로 보상할 수 있는 새로운 바이어스 안정화 회로를 하나의 칩 상에 구현하였으며 제작 후 측정을 통해 동작을 확인하였다.

주파수 혼합기의 변환손실은 3 dB 손실을 가지는 트랜스포머를 포함하지 않았을 때 -14 dB를 가지며, IP3는 약 4 dBm, 포트간 격리도는 25 dB 이상의 값을 가지며 각 세부사항을 표 1에 나타내었다.

ETRI GaAs MESFET 0.5  $\mu$ m 공정으로 제작 하였으며 완성된 칩의 크기는 1.4 mm×1.4 mm이다.

## 참 고 문 헌

- [1] Kevin W. Kobayashi and Reza Esfandiari etc, "Monolithic Regulated Self-Biased HEMT MMIC's", *IEEE Trans. on Microwave Theory Tech.*, vol. 42, pp. 2610-2616, Dec. 1994.
- [2] Stephen A. Maas, *Microwave Mixers*, Artech House, 1993.
- [3] Stephen A. Maas, *The RF and Microwave Circuit Design Cookbook*, 1998.
- [4] Stephen. A. Maas, "A GaAs MESFET Mixer with very low intermodulation", *IEEE Trans. on Microwave Theory and Tech*, vol. 35, pp. 425-429, April 1987.
- [5] F. De Flaviis and Stephen A. Maas, "X-band doubly balanced resistive FET mixer with very low intermodulation", *Microwave Theory and Techniques, IEEE Transactions on*, vol. 43, Feb. 1995, pp. 457-460.
- [6] Behzad Razavi, *RF microelectronics*, Prentice Hall, 1998, pp. 17-22.

### 신상문



설계

2000년 2월: 울산대학교 전자공학과 (공학사)  
2002년 2월: 울산대학교 전자공학과 (공학석사)  
2002년 3월~현재: 울산대학교 전자공학과 박사과정  
[주 관심분야] MMIC, RF 시스템

### 강중순



전자공학부 교수

1983년: 울산대학교전자공학과 (공학사)  
1989년: 고려대학교 대학원 전자공학과 (공학석사)  
1997년: 고려대학교 대학원 전자공학과 박사과정 수료  
1991년~현재: 울산과학대학 전기

[주 관심분야] 무선통신, 초고주파 통신, 이동통신

### 권태운



설계

1996년 2월: 울산대학교 전자공학과 (공학사)  
1998년 8월: 울산대학교 전자공학과 (공학석사)  
1999년 3월~현재: 울산대학교 전자공학과 박사과정  
[주 관심분야] MMIC, RF 시스템

### 최재하



1980년~현재: 울산대학교 전기전자 및 자동화공학부 교수  
[주 관심분야] MMIC, 초고주파 회로설계

### 신윤권



퓨터정보학부 전임강사

[주 관심분야] 소자 시뮬레이션, 소자 설계