

## LiNbO<sub>3</sub> 강유전체 박막을 이용한 MFS 커패시터의 게이트 전극 변화에 따른 특성

정순원\*\* · 김광호\*\*

\*청주대학교 전자공학과, \*\*청주대학교 정보통신공학부  
(논문접수일 : 2002년 8월 13일)

### Properties of MFS capacitors with various gate electrodes using LiNbO<sub>3</sub> ferroelectric thin film

Soon-Won Jung\*\*† and Kwang-Ho Kim\*\*

\*Dept. of Electronic Engineering, Cheongju University,  
\*\*School of Computer & Communication Engineering, Cheongju University  
(Received August 13, 2002)

#### 요 약

고온 금속 열처리를 행한 LiNbO<sub>3</sub>/Si(100) 구조를 가지고 여러 가지 전극을 사용하여 금속/강유전체/반도체 커패시터를 제작하였으며, 제작한 커패시터의 비휘발성 메모리 응용 가능성을 확인하였다. MFS 커패시터의 C-V 특성 곡선에서는 LiNbO<sub>3</sub> 박막의 강유전성으로 인한 히스테리시스 특성이 관측되었으며, 1 MHz C-V 특성 곡선의 축적 영역에서 산출한 비유전율은 약 25 이었다. Pt 전극을 사용하여 제작한 커패시터에서는 인가 전계 500 kV/cm 범위에서  $1 \times 10^{-8}$  A/cm 이하의 우수한 누설전류 특성이 나타났다. midgap 부근에서의 계면 준위 밀도는 약  $10^{11}/\text{cm}^2 \cdot \text{eV}$  이었으며, 잔류분극 값은 약  $1.2 \mu\text{C}/\text{cm}^2$  였다. Pt 전극과 Al 전극 모두 500 kHz 주파수의 바이폴라 펄스를 인가하면서 측정할 피로 특성에서  $10^{10}$  cycle 까지 측정된 잔류 분극 값이 초기 값과 같았다.

#### Abstract

Metal-ferroelectric-semiconductor(MFS) capacitors by using rapid thermal annealed LiNbO<sub>3</sub>/Si structures were successfully fabricated and demonstrated nonvolatile memory operations of the MFS capacitors. The C-V characteristics of MFS capacitors showed a hysteresis loop due to the ferroelectric nature of the LiNbO<sub>3</sub> thin film. The dielectric constant of the LiNbO<sub>3</sub> film calculated from the capacitance in the accumulation region in the capacitance-voltage(C-V) curve was about 25. The gate leakage current density of MFS capacitor using a platinum electrode showed the least value of  $1 \times 10^{-8}$  A/cm<sup>2</sup> order at the electric field of 500 kV/cm. The minimum interface trap density around midgap was estimated to be about  $10^{11}/\text{cm}^2 \cdot \text{eV}$ . The typical measured remnant polarization(2Pr) value was about  $1.2 \mu\text{C}/\text{cm}^2$ , in an applied electric field of  $\pm 300$  kV/cm. The ferroelectric capacitors showed no polarization degradation up to about  $10^{10}$  switching cycles when subjected to symmetric bipolar voltage pulse in the 500 kHz.

#### 1. 서 론

1960년대에 강유전체 물질을 이용한 메모리 개

념이 제시된 이래, 강유전체 박막의 강유전 성질을 이용한 비휘발성 메모리에 대한 관심이 급격히 높아져 국내는 물론 해외에서도 활발한 연구가 진행

† E-mail : swjung@chongju.ac.kr

되고 있다. [1-4] 일반적으로 강유전체를 이용한 메모리 소자(FRAM ; ferroelectric random access memory)는 DRAM(dynamic random access memory)과 비교했을 때 여러 가지 장점을 갖는다. 구동 전압이 낮고, 고속 쓰기가 가능하며, 쓰기 횟수가 크고, 비트 쓰기가 가능할 뿐 아니라 저소비전력화, 랜덤 액세스가 가능한 DRAM과 호환성이 높기 때문에 이상적인 메모리라고 알려져 있다 [5,6]. 현재까지 Pb(Zr,Ti)O<sub>3</sub>, SrBiTa<sub>2</sub>O<sub>9</sub> 등 산화물계 강유전체들에 대한 연구와 불화물계 강유전체인 BaMgF<sub>4</sub>를 이용한 연구가 진행되어 왔으나 [7,8], 이러한 강유전체들을 실리콘 위에 직접 형성시킨 상태에서는 강유전성을 얻기가 곤란하기 때문에 구조적·전기적 특성이 양호한 MFS 구조에 대한 연구 보고는 적다. 가장 큰 이유 중의 하나는 이들 산화물계 강유전체들이 실리콘 위에 직접 증착되게 되면, 강유전체 박막과 실리콘 계면 사이에 불필요한 저유전율을 갖는 SiO<sub>x</sub> 층을 형성하기 때문에 강유전성을 잃게 되고, 따라서 계면에서도 원자적으로 안정되지 않기 때문이다 [9,10]. 이러한 구조에서 양호한 특성을 얻기 위해서는 반도체 위에 직접 강유전체 박막을 증착시킴과 동시에 박막의 강유전 성질 유지와 정상적인 FET 동작을 위한 강유전체 박막과 반도체 인터페이스 사이의 D<sub>it</sub>(interface trap density)가 작아야만 한다. 본 논문에서는 산화물계 강유전체인 LiNbO<sub>3</sub> 박막을 스퍼터링법을 이용하여 저온에서 증착시킨 후 고온 순간 열처리를 행하여 상기한 문제들을 해결하고자 하였다. 또한 MFS 커패시터의 게이트 전극을 변화시켜 가면서 비휘발성 메모리로서의 응용 가능성을 확인하고자 여러 가지 특성 평가를 하였던 바 이에 관하여 논의한다.

## 2. 실험 방법

본 연구에서는 LiNbO<sub>3</sub> 박막을 성장하는 방법으로 RF 마그네트론 스퍼터링법을 이용하였다. 실험에는 저항율이 6~9 Ω·cm인 붕소가 도핑된 p-type Si(100)과 세계 도핑시킨 n<sup>+</sup> 실리콘을 사용하였다. 먼저 유기 세정법과 RCA법으로 실리콘 웨이퍼 표면을 세척한 후, 희석된 HF 용액에 담구어 실리콘 자연 산화막을 제거하였다. 또한 강유전체 박막과 실리콘 계면에서의 불필요한 SiO<sub>x</sub> 막의 형성을 억제하기 위

하여 RCA 세척이 끝난 후, 샘플을 진공 챔버에 이동하기 전에 HF/C<sub>2</sub>H<sub>5</sub>OH 용액에 담구어 불필요한 계면 산화막의 생성을 억제하려고 시도하였다. 이렇게 처리한 웨이퍼를 챔버 내부에 장착하여 초기 진공을 1×10<sup>-6</sup> Torr 이하로 유지시켰다. LiNbO<sub>3</sub> 박막 증착에는 순도가 99.99 %, 크기가 3 인치인 웨이퍼 형태의 타겟을 인듐으로 구리판에 고정시켜 사용하였으며, 실온에서 0.01~0.02 nm/s의 증착 속도로 약 150 nm의 LiNbO<sub>3</sub> 박막을 증착하였다. LiNbO<sub>3</sub> 박막 증착 시 반응 가스로는 Ar과 O<sub>2</sub>를 4:1의 비율로 사용하였으며, 박막 증착 때의 진공도는 1×10<sup>-2</sup> Torr로 유지하였다. 타겟과 기판 사이의 거리와 RF power는 각각 55 mm, 100 W로 고정하였다. 증착이 끝난 LiNbO<sub>3</sub> 박막을 *ex-situ* 에서 800 °C, O<sub>2</sub> 분위기에서 1 분간 고온 급속 열처리하였다. 이렇게 준비된 LiNbO<sub>3</sub>/Si(100) 구조를 가지고 구조적 특성을 평가하기 위해 XRD (X-ray diffraction)를 사용하였으며, thermal-evaporator를 사용하여 Al을, E-gun evaporator를 사용하여 Pt과 poly-Si을 각각 증착시켜 MFS 구조로 제작하여, 제작된 소자의 전기적 특성 평가를 병행하였다. 전기적 특성 평가에는 Semiconductor Parameter Analyzer (HP4145B), LF Impedance Analyzer (HP4192A), RT-66A 강유전체 측정 시스템을 이용하였다.

## 3. 실험결과 및 고찰

그림 1은 기판 온도를 가열하지 않은 상태에서 RF power를 100W로 고정시켜 증착한 LiNbO<sub>3</sub>/Si(100) 구조의 열처리(800 °C, 60 s, O<sub>2</sub>) 전 후의 XRD 패턴 결과이다. 그림에서 볼 수 있듯이 as-deposited 박막은 amorphous의 상태임을 알 수 있고, 열처리 후의 LiNbO<sub>3</sub> 박막은 LiNbO<sub>3</sub>의 주 피크인 (012), (104), (110), (024), (116) 등 single phase를 갖는 다결정 LiNbO<sub>3</sub> 피크들이 관측됨을 확인할 수 있다. 이는 고온에서 짧은 시간 동안 행한 열처리 과정을 통해 LiNbO<sub>3</sub> 박막이 poly로 결정 구조가 변했음을 알 수 있다.

그림 2는 제작한 MFS 커패시터의 열처리 전 후의 게이트 누설 전류 밀도를 보인 것이다. 특성 곡선에서 점선으로 나타낸 것은 as-deposited 시료에서 측정된 것이고, 실선으로 나타낸 것은 열처리(800 °C, 60 s, O<sub>2</sub>) 후의 결과이다. 그림에서 보는 바와 같이

고온에서의 짧은 시간동안 열처리를 행함으로써 게이트 누설 전류 밀도가 같은 인가 전계 500 kV/cm 에서 큰 폭으로 감소함을 확인할 수 있다. 그 이유는 고온에서의 열처리 과정을 거치는 과정에서 강유전체 박막과 실리콘 계면에 SiO<sub>x</sub> 막이 형성되어 이로 인해 게이트 누설전류가 감소한 것으로 판단된다. 그러나 인위적으로 형성시킨 것이 아니라 열처리 과정에서 자연적으로 생성된 막이므로 MFS 구조라 하였다. 또한, 그림 1에서 보면 계면산화막이 다소 형성되더라도 LiNbO<sub>3</sub> 박막의 결정화에는 큰 영향을 미치지 않는 것으로 판단된다.

그림 3은 여러 가지 전극을 사용한 경우에 있어서의 MFS 커패시터의 게이트 누설 전류 밀도를 나타낸 것이다. 전극 변화에 따른 특성을 확인하고자 Al, Pt, poly-Si 을 전극 재료로 사용하였다. Pt 전극

을 사용한 시료의 경우에는 인가 전계가 500 kV/cm 일 때 누설전류 밀도가 10<sup>-8</sup> A/cm<sup>2</sup> 이하로 나타났으며, Al 전극은 10<sup>-7</sup> A/cm<sup>2</sup> 으로 확인되었다. Pt 전극을 사용한 경우가 Al 전극을 사용했을 때보다 1 order 정도 감소했음을 알 수 있다. poly-Si 을 전극 재료로 사용한 경우에는 누설 전류가 상대적으로 큰 것을 확인할 수 있다. 전계 500 kV/cm 에서 계산된 비저항은 Pt 전극이 3×10<sup>13</sup> Ω·cm 이고, Al 전극과 poly-Si 전극이 각각 3×10<sup>12</sup> Ω·cm, 3×10<sup>10</sup> Ω·cm 이다.

그림 4는 제작한 MFS 커패시터의 열처리 전 후의 1 MHz C-V(Capacitance-Voltage) 특성을 보인 것이다. 그래프에서 점선으로 나타낸 것이 as-deposited 상태에서 측정된 것이고, 실선으로 나타낸 것은 열처리 (800 °C, 60 s, O<sub>2</sub>)후의 결과이다. as-deposited 상태에서의 C-V 특성 곡선은 injection type으로 나타남

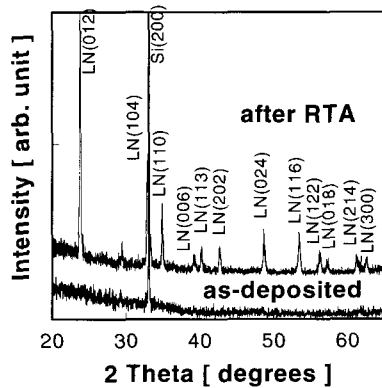


그림 1. LiNbO<sub>3</sub>/Si(100) 구조의 열처리 전 후의 XRD 패턴.

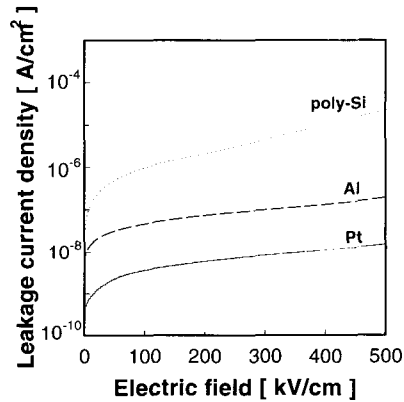


그림 3. 게이트 전극 변화에 따른 MFS 커패시터의 게이트 누설전류밀도.

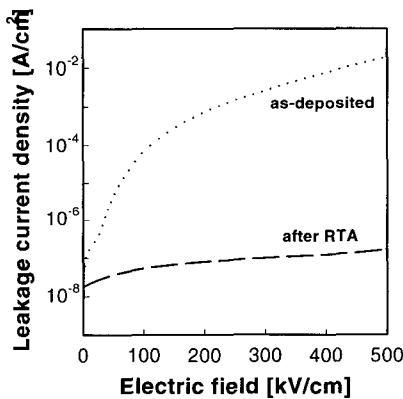


그림 2. LiNbO<sub>3</sub>를 이용한 MFS 커패시터의 열처리 전 후의 게이트 누설 전류 밀도.

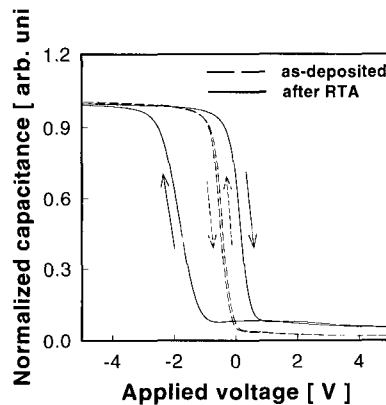


그림 4. LiNbO<sub>3</sub>를 이용한 MFS 커패시터의 열처리 전 후의 1 MHz C-V 특성.

을 알 수 있고, 열처리 후의 시료에서는 축적에서 반전 상태까지 변하고 있으며, 히스테리시스의 방향은 전하 주입에 의한 방향이라기보다는 강유전성의 분극 반전에 의한 방향과 일치한다. C-V 특성 곡선이 음의 방향으로 이동됨을 볼 수 있는데, 이는 LiNbO<sub>3</sub> 박막과 실리콘 계면 부근에 존재하는 전하의 영향이라고 생각된다. 1MHz C-V 특성 곡선의 축적 상태에서 계산된 유전상수는 25로서, 이 값은 LiNbO<sub>3</sub> 벌크의 유전상수 값보다 작은 값이다. 본 연구에서는 강유전체 박막과 실리콘 계면에서의 불필요한 SiO<sub>x</sub> 막의 형성을 억제하기 위하여 RCA 세척이 끝난 후, 샘플을 진공 챔버에 이동하기 전에 HF/C<sub>2</sub>H<sub>5</sub>OH 용액에 담구어 불필요한 계면 산화막의 생성을 억제하려고 시도하였다. 그러나 C-V 특성 결과에서 산출한 유전율로 볼 때 계면 산화막 생성을 완전히 억제 하지는 못한 것으로 판단되나, 다소의 계면산화막이 생성되었다 할지라도 LiNbO<sub>3</sub> 강유전체 박막의 강유전성은 나타나는 것으로 판단된다. 이러한 결과는 열처리 후에 LiNbO<sub>3</sub> 박막의 결정이 poly화 되었다는 사실을 더욱 뒷받침하는 자료이다. 또한, C-V 곡선에서 추출한 midgap 부근의 계면 준위 밀도(D<sub>it</sub>)는 약 10<sup>11</sup>/cm<sup>2</sup> · eV 로 나타났으며 [4], 이 정도의 값은 FET를 제작하여도 양호한 동작이 기대되는 값이다.

그림 5는 여러 가지 전극을 사용한 경우의 1 MHz C-V 특성 곡선이다. 전극 변화에 따른 특성을

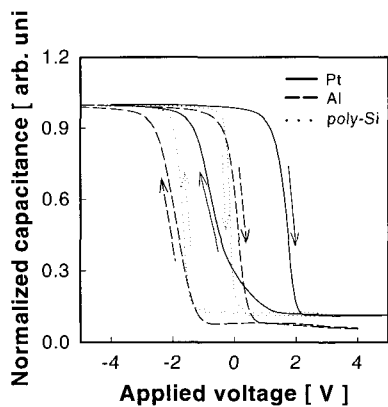


그림 5. 게이트 전극 변화에 따른 MFS 커패시터의 1 MHz C-V 특성.

확인하고자 Al, Pt, poly-Si 을 전극 재료로 사용하였다. 게이트 전압을 -4 V에서 +4 V 까지 변화할 때 각각의 전극에서 나타난 메모리 윈도우(히스테리시스 곡선의 폭)는 1.5~2.5 V 였으며, 이는 비휘발성 메모리 응용 가능성을 보인 것이라 할 수 있다. Pt 전극을 사용한 시료의 경우 Al 전극을 사용한 시료의 특성 곡선보다 (+) 방향으로 이동됨을 볼 수 있는데, 이는 두 전극 사이의 일함수 차이라고 할 수 있다.

그림 6은 세계 도핑시킨 n<sup>+</sup> 실리콘 위에 형성시킨 MFS 커패시터의 분극-전계에 대한 히스테리시스 특성을 RT-66A 강유전체 측정 시스템을 이용하여 측정된 것이다. 박막의 전극 변화에 따른 특성도 동시에 확인할 수 있도록 하기 위하여 Al 전극과 Pt 전극을 사용하였다. Pt 전극과 Al 전극에서 비슷한 값이 나타나는 것으로 미루어 볼 때 전극에 의한 영향은 크지 않음을 확인할 수 있다. 측정된 잔류분극과 항전계는 각각 1.2 μC/cm<sup>2</sup>, 120 kV/cm 였다. 보고 된 값보다 잔류분극 값이 작은 이유는 현재 명확하지 않지만, 결정 구조, 결정방향성, grain size 등에 의한 것으로 판단하고 있으며, 향후 최적화가 이루어지면 보다 우수한 결과가 나타나리라 생각 된다.

그림 7은 스위칭 주기에 따른 잔류 분극의 변화를 나타낸 것이다. 강유전체 커패시터의 분극 반전을 반복하면, 즉 FRAM 에서 데이터의 읽기/쓰기를

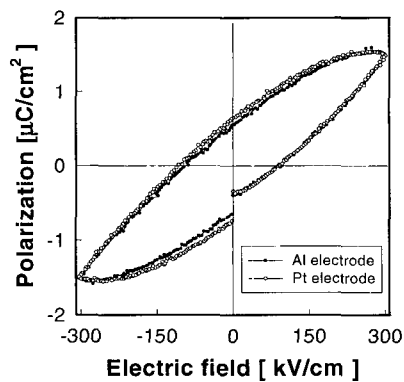


그림 6. 세계 도핑시킨 n<sup>+</sup> 실리콘 위에 형성시킨 MFS 커패시터의 분극-전계에 대한 히스테리시스 특성.

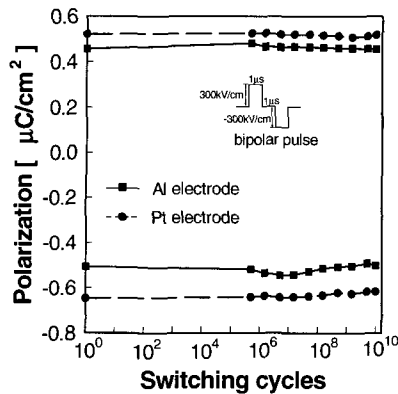


그림 7. 스위칭 주기에 따른 잔류 분극의 변화.

반복하다 보면 P-E 곡선의 모양이 변형되고, +P<sub>r</sub>, -P<sub>r</sub> 값이 점점 작아져 최후에는 그 값이 0 이 되어 강유전성을 소멸하게 되어 비휘발성 메모리로서의 역할을 하지 못하게 되는 현상이 발생하는데, 이를 피로 현상(fatigue)이라고 한다. 삽입된 그림에서 보이는 바와 같이 Pulse Generator (HP8110A)를 가지고 필요로 하는 임의의 바이폴라 펄스를 만들어 external mode로 측정하였다. 제작한 커패시터의 전극 면적은  $3.27 \times 10^{-4}$  cm 이고, 막의 두께는 150 nm 이다. 외부 인가 펄스의 주기, 폭, 주파수는 각각 2 μs, 1 μs, 500 kHz 이다. 그림에서 보면  $10^{10}$  cycle 까지 나타난 잔류분극 값이 초기값과 거의 변화가 없음을 알 수 있다. 또한 전극의 변화에 대한 피로 특성을 알아보기 위해 Pt 전극을 사용하여 측정된 결과도 Al 전극과 마찬가지로 거의 변화가 없음을 알 수 있다.

#### 4. 결 론

강유전성이 유지되면서 양호한 계면 특성을 얻기 위하여 기판 온도 300 °C 이하의 저온에서 LiNbO<sub>3</sub> 박막을 실리콘 위에 직접 스퍼터링법을 이용하여 형성하고, 고온 순간 열처리를 수행하였다. 게이트 누설전류 특성과 용량-전압 특성에서 확인한 결과, 열처리를 행한 시료의 경우에 있어서 우수한 강유전성이 얻어짐을 알 수 있었다. 이는 XRD 결과에서도 일치하였다. 게이트 전극 변화에 따른 변화에서는 poly-Si 전극의 경우에는 누설전류가 크게 나

타났고, Al과 Pt의 경우에 있어서는 Pt의 경우가 다소 우수함을 확인할 수 있었다. 세계 도핑시킨 실리콘 위에서 제작한 MFS 커패시터의 분극-전계에 대한 히스테리시스 곡선으로부터 약 1.2 μC/cm<sup>2</sup> 정도의 잔류분극이 있음을 확인할 수 있었고, 이 잔류분극 값을 가지고 fatigue 특성을 측정한 결과  $10^{10}$  cycle 까지 측정된 잔류분극 값이 초기 값과 거의 같음을 알 수 있었다.

#### 감사의 글

본 연구는 한국과학재단 2001 목적기초연구(R01-2001-000-00276-0)지원으로 수행되었음.

#### 참 고 문 헌

- [1] J. L. Moll and Y. Tarui, IEEE Trans. Electron Devices **10**, 338 (1963).
- [2] S.-Y. Wu, IEEE Trans. Electron Devices, **21**(8) 499 (1974).
- [3] Kwang-Ho Kim, Sang-Woo Lee, Jong-Sun Lyu, Bo-Woo Kim, and Hyung-Joun Yoo, Journal of the Korean Physical Society **32**, S1506 (1998)
- [4] Kwang-Ho Kim, IEEE Electron Device Letters, **19**(6), 204 (1998).
- [5] J. F. Scott, and C. A. Araujo, Science **246**, 1400 (1989).
- [6] C. A. Araujo, J. D. Cuchiaro, L. D. Memillan, M. C. Scott, and J. F. Scott, Nature (London) **374**, 627 (1995).
- [7] K. H. Kim, J. D. Kim, and H. Ishiwara, Appl. Phys. Lett. **66**, 3143 (1995).
- [8] K. H. Kim, J. D. Kim, and H. Ishiwara, Jpn. J. Appl. Phys. **35**, 1557 (1996).
- [9] Y. Matsui, M. Okuyama, M. Noda and Y. Hamakawa, Appl. Phys. A **28**, 161 (1982).
- [10] D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinhaloy, H. Buhay, P. Brabant and Y. M. Liu, Ferroelectrics **133**, 61 (1992).