

실시간 대규모 전력계통 해석용 시뮬레이터(KEPS)를 이용한 국산 디지털 PSS의 성능 시험

論 文
51A-12-4

The Performance Test of Digital PSS Using KEPCO Enhanced Power System Simulator(KEPS)

申政勳* · 金泰均** · 秋鎭夫*** · 白榮植§
(Jeong-Hoon Shin · Tae-Kyun Kim · Jin-Boo Choo · Young-Sik Baek)

Abstract - This paper introduce the real time digital simulator which is located in Korea Electric Power Research Institute. This paper also describes the methodology for the performance test of the PSS using KEPS. This test is to get a high degree of the confidence of the developed PSS before it is installed into the real power system. This has been performed in the form of closed-loop tests in which Simulator and PSS are connected and signals come and back interactively. Many tests have successfully done using KEPS which consists of 26 RTDS racks, under the large-scale power system. The simulated reduced KEPCO power system contains 88 generators and 295 buses. Through the AVR step, three phase fault and active power variation test, the effectiveness of developed PSS has been proved. This paper also presents the overview of KEPS and hardware of prototype PSS.

Key Words : Power System Stabilizer, Real-Time Digital Simulator, Closed-Loop Test, Small Signal Stability,

1. 서 론

전력계통 안정화장치(Power System Stabilizer; 이하, PSS)는 일반적으로 전력계통의 작은 변화로 나타나는 지속성 동요를 감쇄시키기 위하여 적용된다. PSS는 전력계통에서 나타나는 0.1~2.0Hz의 전력동요에 대하여 안정화 보조신호를 발생시키고 이 신호가 발전기 여자시스템의 자동전압조정장치(AVR)에 입력되어 저주파 전력동요를 효과적으로 억제토록 함으로써 전력계통의 정태 안정도(Small Signal Stability)를 향상시키는 가장 경제적이면서 효과적인 수단으로 알려져 있다[1]. 국내의 경우에도 80년 이후에 건설된 일부 발전기에 아날로그 방식의 PSS를 설치하였으며 1994년 영광원자력 #1, 2호기에도 미국 PTI사의 디지털 방식 PSS를 도입하여 설치한 바 있다.

최근 우리나라 전력계통의 경우 전력수요의 증가로 전력계통이 대규모화되고 발전기의 속응 여자시스템이 급속하게 확대, 적용됨에 따라, 저주파 동요 측면에서의 계통 안정도 마진이 감소되고 있다. 따라서, 정태안정도의 향상과 계통의 제동능력 향상을 도모하기 위한 대책기술의 하나인 고성능 PSS를 개발하고 이를 최적으로 계통에 적용할 수 있는 기술 개발이 요구되고 있다[2].

이에 본 연구진은 국내 DSP 기술의 급속한 발달과 그 동

안 축적된 발전기 제어시스템의 특성시험 및 정밀 모델링 기술을 바탕으로 고성능 디지털 PSS를 순수 국내 기술로 개발하고, PSS의 적용 효과를 극대화하기 위한 최적 파라미터 튜닝기술을 개발하였다. 또한, 개발된 디지털 PSS의 실계통 적용 전 성능시험을 위하여 한전 전력연구원이 보유하고 있는 "실시간 대규모 전력계통 해석용 디지털 시뮬레이터(이하, KEPS)"를 이용, 현장에서와 동일한 조건에서 성능시험을 실시하여 그 성능을 확인하고, 실 계통에 성공적으로 적용하였다. 본 논문에서는 KEPS의 개요, 개발된 KEPS의 응용프로그램에 대한 소개 및 KEPS를 이용한 실시간 페루프 시험에 대한 상세절차를 설명하고, 개발된 디지털 PSS의 구동 알고리즘 및 H/W의 개발과 KEPS를 이용한 이의 성능검증 결과를 제시한다.

2. 실시간 전력계통 해석용 시뮬레이터(KEPS)

2.1 KEPS 개요

2.1.1 KEPS의 하드웨어 구성 및 기능

KEPS는 캐나다 RTI에서 개발한 RTDS(Real-time Digital Simulator)를 기본 구조로 하고 있다. RTDS는 일반적으로 50μsec 타임스텝을 사용하며, 실시간 고속 연산을 위하여 다수의 DSP(Digital Signal Processor, ADSP 21062(SHARC))를 사용한 병렬처리 기술을 이용한다. 실시간 시뮬레이션이 가능하기 때문에 실 계통에 사용되는 실제 장치들(보호장치, 각종 제어기 등)을 실계통에 설치하기 전에 RTDS를 이용한 성능시험을 실시할 수 있으며, 이를 위하여 RTDS는 아날로그 입출력 단자, 디지털 입출력 단자를 제공한다. 그림 1은 KEPS의 구성을 보여주고 있다. KEPS는 26 rack의 RTDS와

* 正 會 員 : 韓電電力研究院, 先任研究員

** 正 會 員 : 韓電電力研究院, 先任研究員 · 工博

*** 正 會 員 : 韓電電力研究院, 首席研究員 · 工博

§ 正 會 員 : 慶北大學校 教授 · 工博

接受日字 : 2002年 7月 3日

最終完了 : 2002年 12月 15日

12조의 증폭기, 3개의 광절연 장치등으로 구성되어 있다. 각각의 rack에는 연산용 DSP인 3PC(Triple Porcessor Card) 카드가 13개씩 있고, 랙 간의 통신을 담당하는 IRC(Inter-Rack Communication Card) 카드가 2개씩, 워크스테이션과의 통신을 위한 WIF(Workstation Interface Card)카드가 각각 1개씩 설치되어 있다[3].

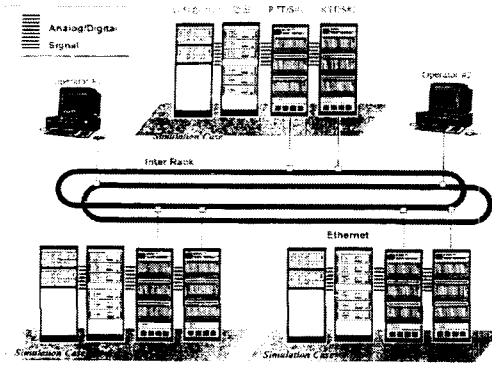


그림 1 KEPS의 구성도
Fig. 1 The Configuration map of KEPS

2.1.2 병렬처리를 이용한 실시간 연산 알고리즘

RTDS의 기본적인 해석 알고리즘은 Dommel에 의해 제안된 알고리즘을 사용한다. 여기서 모든 계통요소들을 저항과 히스토리 항을 가진 전류원의 형태로 모델링되며, 노드해석을 위한 네트워크 방정식을 구성하고 이의 수치연산을 위하여 Trapezoidal Rule을 이용한다. 이 수치해석 기법은 EMTP의 해석기법과 동일하며, RTDS는 그림 2에 나타나 있는 병렬처리 기법과 고속의 DSP 카드를 이용하여 매 타임스텝마다 이를 실시간으로 계산하고 있다[4].

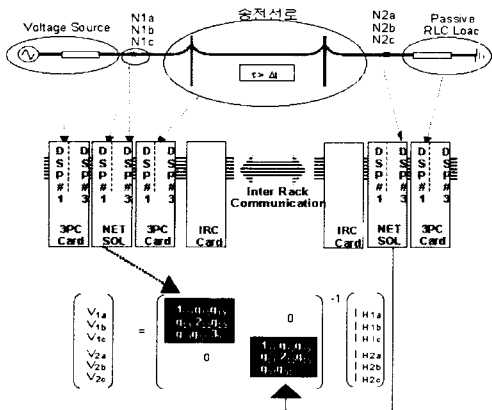


그림 2 RTDS의 실시간 네트워크 연산 개념도
Fig. 2 Real-time Network Solution of RTDS

노드해석을 위한 아래의 네트워크 방정식에서 컨덕턴스 행렬은 대칭구조(즉, $G_{ij} = G_{ji}$)를 이루고 있으며, 아주 Sparse하다(즉, i 노드와 j 노드사이에 연결이 없으면 $G_{ij}=0$). 네트워크 구성(topology)의 변화(차단기의 스위칭등)가 없으면 G 의 역행렬은 변하지 않으며 우측 행렬의 히스토리 전류

항이 변한다 할지라도 매 타임스텝마다 G 의 역행렬을 재계산할 필요가 없다. 이런 특성을 이용하여 TPC(Tandom Processor Card)로 구성되어 있던 예전의 RTDS에서는 노드 전압 [V]의 벡터를 구하기 위해서 역행렬 콘턴턴스 $[G]^{-1}$ 를 미리 연산·저장하는 방법을 사용하였다.

여기서 $[G]$ 는 돔멜(Dommel) 컨덕턴스 행렬이고 $[I]$ 는 노드로 입력되는 이전 타임스텝의 전류(history current) 벡터이다. 계산된 컨덕턴스 행렬의 역행렬에 히스토리 전류벡터를 곱함으로써 노드의 전압을 계산한다. 이러한 방법을 적용하는 경우, 계통내에 스위칭이 발생하는 경우마다, 즉 계통망 구성 형태가 변화하는 경우를 상정하여 컨덕턴스 행렬의 역행렬을 사전에 연산, 저장할 필요가 있으며, 차단기의 수가 N 개인 경우, 저장해야 할 경우의 수는 2^N 개가 된다. 결국, 모의 가능한 스위칭의 수는 컴퓨터의 메모리 한계에 좌우되며, 기존의 RTDS의 경우 3상 차단기 3-4개가 한계로 되어 있다. 이러한 제약을 해소하고자 개발된 실시간 연산 알고리즘은 컨덕턴스 행렬 중에 스위치의 조작에 따라 변동하는 부분과 변동하지 않는 부분을 분류하고, 변동하는 부분에 대해서만 LU 분할을 이용하여 실시간에 역행렬을 구해 내는 방법을 사용하고 있다. 기존의 경우에는 1개의 프로세서가 기기 모델 계산과 행렬연산을 순차적으로 수행해야 하기 때문에 실시간 내에 모든 연산을 수행하는 것이 불가능 하지만 새로 개발된 실시간 연산 알고리즘은 행렬연산을 위한 프로세서를 독립적으로 적용함으로써 기존의 한계점을 극복하였다.

$$\begin{bmatrix} V_1 \\ V_2 \\ \vdots \\ V_N \end{bmatrix} = \begin{bmatrix} & & & \\ & & & \\ & & & \\ & & & \\ & & & \\ & & & \\ & & & \\ & & & \\ & & & \\ & & & \end{bmatrix}^{-1} \begin{bmatrix} I_{H1} \\ I_{H2} \\ \vdots \\ I_{HN} \end{bmatrix}$$

2.1.3 KEPS의 응용 소프트웨어 구성 및 기능

KEPS의 소프트웨어는 크게 두가지로 나눌 수가 있다. 그중 하나는 KEPS의 구동을 위한 사용자 인터페이스로서의 기본 프로그램이고, 다른 하나는 KEPS의 효율적인 활용을 위해 본 연구진이 자체 개발한 응용 소프트웨어이다. 이 중 본 논문에서는 계통축약 프로그램과 데이터 변환 프로그램에 대해 간략히 기술한다.

· 계통축약 프로그램

현재 한전 전력연구원에 설치되어 있는 디지털 시뮬레이터(KEPS)가 세계 최대의 규모라고 할지라도, 모의 가능한 계통 규모 측면에서의 물리적인 제한을 갖고 있으며, 현재 모의할 수 있는 계통 규모는 발전기 약 100여기, 모선 약 300개 수준이다. 따라서, 실제 전력계통을 KEPS를 이용하여 모의하기 위해서는 원계통과 동일한 계통특성을 갖고 있으면서, 음의 부하 및 음의 저항 선로가 없고, 분할되는 선로의 전파시간이 $50\mu\text{sec}$ 가 넘는 등가 축약 계통을 구성해야 한다. 축약 절차는 그림 3과 같다.

○ 방사계통 및 자기 Loop 계통의 제거

계통 축약시 일반적으로 사용되는 가우스 소거법을 적용하게 되면, KEPS에서는 적용 불가능한 음의 저항 선로가 생성되므로 본 연구진은 한전계통의 특성을 고려한 축약 방법을

개발 적용하였다. 계통의 모선 수를 약 300개 이내로 하기 위하여 본 연구진이 사용한 방법은 먼저, 계통내의 Radial 모선을 제거한 후, 계통의 동특성에 영향을 미치지 않는 자기 Loop의 모선을 제거하고(그림 4), 다음, 계통의 동특성에 영향을 미치지 않는 소용량 발전기를 부하로 대체하는 것이다.

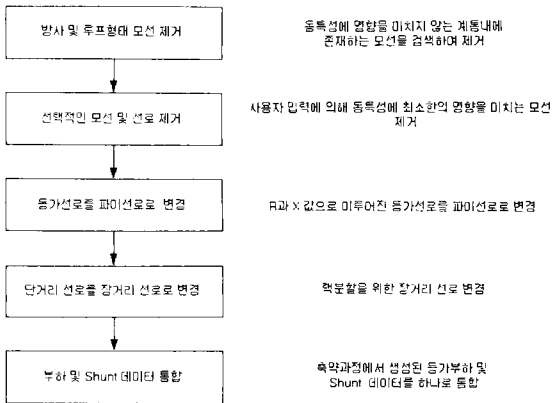


그림 3 축약 절차

Fig. 3 The Procedure of the Network Reduction Method

그림 4는 Radial 계통의 모선과 자기 Loop 계통의 모선을 제거하는 예를 나타낸 것으로써, 그림 4의 (a)에서와 같이 모선 B,C,D는 Radial 계통의 모선으로 계통의 동특성에 영향을 주지 않고 등가 부하로 처리할 수가 있다. 또한 E,F의 경우 이들 모선 및 이들의 선로들은 A 모선 이외의 나머지 계통에 대한 동특성에 어떠한 영향도 미치지 못하므로 이들을 모두 제거하고 등가부하로 처리할 수 있다. 이와같은 과정을 거치면 그림 4의 (a)는 그림 4의 (b)와 같이 구성될 수 있으며, 그림 4의 (b)의 모선 B와 F 또한 Radial 계통의 모선이 되므로 최종적으로는 모두 제거되어, 원계통의 모선 수 6개를 1개로 축약할 수 있게 된다.

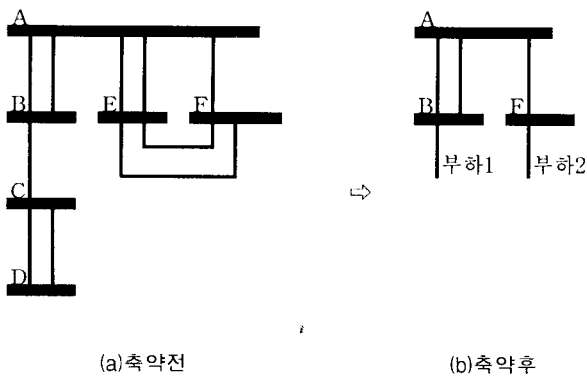


그림 4 Radial / Loop 계통의 모선 구성예

Fig. 4 Example of the Elimination of the Radial and Self-Loop Buses

○ 소용량 발전기의 부하 대체

주 해석 관심지역에서 전기적으로 원거리에 위치한 발전기 또는 소용량 발전기들은 해석 관심지역의 동특성에 큰 영향을 미치지 않으므로 이들을 부하로 대체하여 모선의 수를 축

약하게 된다.

○ 단거리 송전선로의 처리

현재 KEPS에서 사용할 수 있는 송전선로 모델 및 각 모델의 사용 제약 조건은 다음 표 1과 같다.

표 1 송전선로 모델의 사용 제약 조건

Table 1 Constraints for using Transmission line models on KEPS

송전선로 형태	RTDS 모델	사용 제약 조건	비고
Distributed 송전선로 (Travelling Wave Type)	1,2,3, 4회선 선로 모델	선로의 Travelling Time이 Δt 보다 큰 경우에만 사용	가장 정확한 선로 모델
Lumped 송전선로 (Lumped PI Type)	1,2회선 선로 모델	모든 경우에 사용 가능	장거리 선로에서는 정확성 떨어짐
Lumped 송전선로 (Lumped RL Type)	1회선 선로 모델	선로의 어드미턴스를 고려하지 않는 선로에만 사용	직렬 R,L로 선로 표현

* 여기서, 선로의 Travelling Time은 $\sqrt{LC} \times length$ 로 계산된다.
(L: 선로의 인덕턴스, C: 선로의 캐패시턴스)

병렬처리 기법을 적용하기 위해서는 해석 대상 계통이 수 개의 Sub System으로 분할되어야 하며, 이 때, 분할되는 송전선로는 50 μ sec 이상의 전파시간을 갖고 있어야, 수치해석 결과를 보증할 수 있다. 그러나, 실제 계통에는 전파시간이 50 μ sec 이내인 선로가 많이 존재하므로, 병렬처리 기법을 적용하기 위하여, 본 연구진은 이들의 전파시간을 증가시키는 방법을 적용하였다. 강제적으로 송전선로의 전파시간을 변경하기 위해서는 송전선로의 인덕턴스와 캐패시턴스 또는 선로의 길이를 변경하여야만 하는데, 이때 선로 양단의 전압 및 전류가 원 계통의 것과 같도록 선로 양단에 추가적인 임피던스 및 어드미턴스 보상을 하고 있다. 그림 5는 35.6 μ sec인 송전선로의 전파정수를 L, C 보상을 통해 71.2 μ sec 로 한 경우의 송전단 측 유효전력을 나타낸 것으로, 그림과 같이 보상 전후의 특성이 유사한 것으로 나타났다. 그림 6은 선로 양단에 발전기 및 부하를 연결하고 수전단에서 3상 사고를 인가하였을 때의 선로 조류의 응답을 나타낸 것으로, 특성이 유사한 것으로 나타났다.

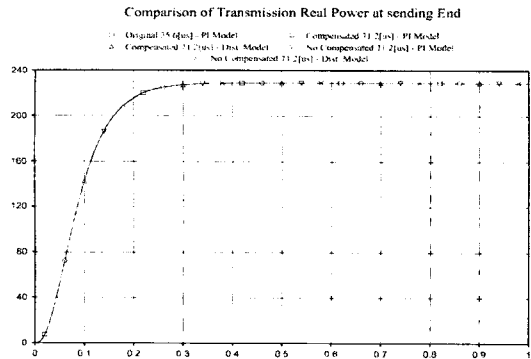


그림 5 정상 상태 비교 - 유효전력 (PI모델, 분포정수 모델 보상전후)

Fig. 5 The Comparison of a Steady-State Characteristic (Active Power)

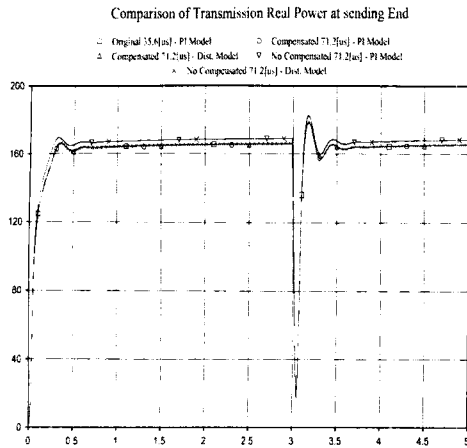


그림 6 과도 상태 비교 - 유효전력 (PI모델, 분포정수 모델 보상전후)
 Fig. 6 The Comparison of a Transient-State Characteristic (Active Power)

· 데이터변환 프로그램

현재 한전계통의 해석 시 주로 사용하고 있는 PSS/E의 데이터는 Text file로 되어 있으며, KEPS의 경우에는 그래픽 형식의 데이터를 사용하고 있다. 따라서, KEPS로 계통을 모의하기 위해서는 Graphic 형식의 입력 데이터를 작성해야 하는데, 대규모 계통을 Graphic으로 묘사하는 것은 매우 시간이 많이 소요될뿐더러, 파라미터 입력시 인적 오류의 가능성을 높게 한다. 본 논문에서는 KEPS의 사용을 보다 효율적으로 하기 위하여 PSS/E의 Text file 입력데이터를 KEPS의 Graphic 데이터로 자동변환하며, 동시에 PSS/E의 모든 파라미터가 KEPS에 자동으로 입력될 수 있는 데이터 변환 프로그램을 개발하였다. 본 프로그램은 다음과 같은 기본적인 조건을 고려하여 개발되었다.

- 분할된 서브시스템 사이에는 장거리 송전선로(15km 이상)만을 통해서 서로 연결이 가능하다. 즉, 변압기 또는 단거리형 송전선로(PI형)로 연결된 2개의 모선은 반드시 동일한 서브시스템에 포함이 되어야 한다.
- 장거리 송전선로를 통해서 연결된 서로 다른 서브시스템들 사이에는 반드시 하드웨어적인 IRC (Inter-Rack Communication Card) 연결이 있어야 한다.

데이터 변환 프로그램의 결과로 생성되는 출력파일은 그림 7에 나타난 바와 같이 KEPS의 입력 데이터로 이용되는 .dft 파일과 Runtime 모듈의 배치파일인 .sib 파일, 송전선로 정보가 담긴 tlines 파일이다.

2.2 KEPS를 이용한 외부기기의 페루프 시험

2.2.1 KEPS를 이용한 대규모계통 해석

본 절에서는 KEPS를 이용한 대규모 계통 해석 절차에 대하여 소개한다. 2002년 한전계통은 약 900개의 모선과 230개의 발전기들로 구성되어 있으므로 모의 규모가 약 300개의 모선과 100기의 발전기인 KEPS로는 한전 전체 계통을 모의할 수 없다. 따라서, 먼저 KEPS에서 모의 가능한 등가 축약

계통을 전절에 설명한 계통축약 프로그램을 이용하여 작성하고, 데이터 변환 프로그램을 이용하여 KEPS의 입력 데이터를 생성한다. 이 데이터를 KEPS의 Draft 모듈에서 컴파일함으로써, 정상상태 기본계통(Base case)이 구성되며, 이 기본계통에 사고 시퀀스 및 제어블록을 적절히 이용하여 해석 대상 시나리오를 추가한 후, Runtime 모듈에서 시뮬레이션을 수행하고 그 결과를 고찰한다.(그림 8)

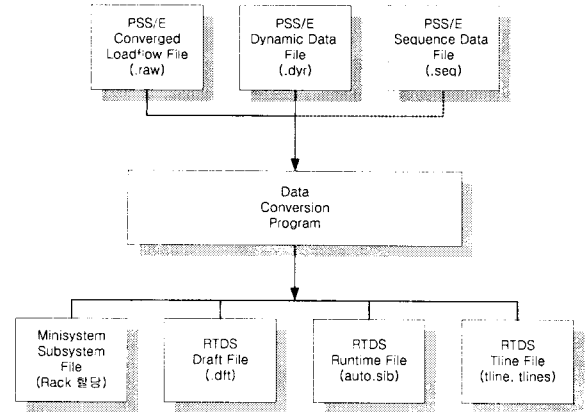


그림 7 데이터 변환 파일의 입출력 파일
 Fig. 7 Input and Output Files of Data Conversion Program

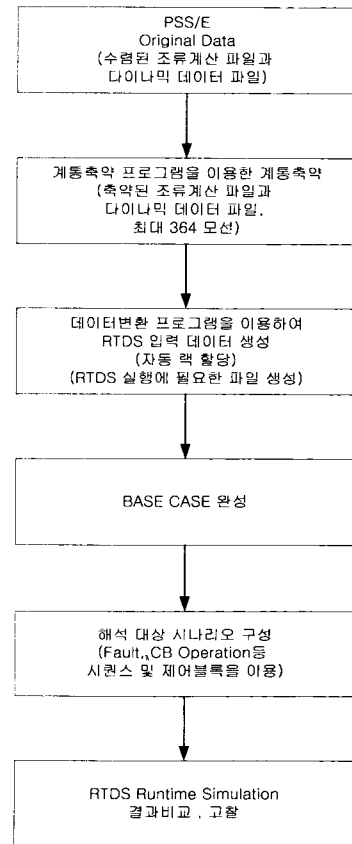


그림 8 KEPS를 이용한 대규모계통 해석 절차
 Fig. 8 The Procedure of Large scale Power System Analysis Using KEPS

2.2.2 외부기기의 페루프 시험

KEPS를 이용한 외부기기의 테스트 방법은 크게 2가지로 나눌 수 있다. 첫번째는 개루프를 이용한 시험이며(Open-loop test), 다른 하나는 외부기기의 출력 신호를 다시 KEPS의 입력단자로 연결하여 시험하는 페루프 시험(Closed-loop test)이다. 전자는 소위, 신호를 재생하는 레코더의 재생기능(Play back)의 일종으로써, 사전에 현장 데이터가 저장된, 또는 사용자가 전자기 과도 현상 프로그램(EMTP, EMTDC)과 같은 프로그램을 이용하여 임의로 만든 신호를 외부기기의 입력으로 이용하는 것을 의미한다.

폐회로 시험방법은 개루프 시험방법에 추가하여 피시험기기의 출력신호를 다시 RTDS의 입력으로 피드백(feedback)하는 것으로, 피시험기기의 성능을 정확히 검증함을 그 목적으로 한다. 예를 들면, 보호 계전기의 폐회로 시험은 KEPS로부터 출력되는 계통신호(대상선로의 전압, 전류신호)가 계전기로 입력되고 계전기의 출력신호(트립신호, 재폐로 신호)가 다시 폐회로로 구성되어 전력계통으로 입력되게 된다(그림 9). 폐회로 신호는 고장상태에 대한 계전기의 초기 응답과 함께, 계전기의 동작상태에 따른 계통의 응답을 알 수가 있다.

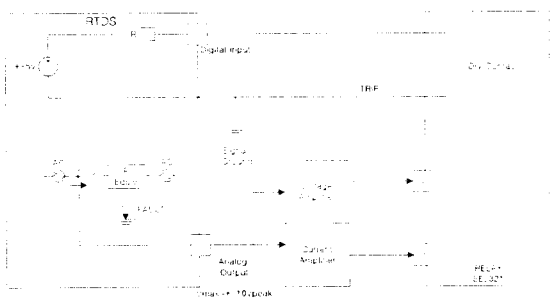


그림 9 KEPS와 외부기기와의 연결시험 구성도 (계전기)
Fig. 9 Block Diagram Example for interfacing KEPS with an external device(Relay)

3. 국산 디지털 PSS의 개발

3.1 국산 디지털 PSS의 구동 원리

3.1.1 가속력 적분 입력 방식 PSS의 기본원리

PSS의 입력신호에는 몇 가지 선택사항이 있으나, 속도 또는 주파수, 전력, 그리고 속도와 전력을 고려하여 계산하는 가속력을 사용하는 것이 보통이다. 그 중 가속력을 입력으로 하는 PSS가 가장 큰 효과를 발휘할 수 있다는 것을 본 연구에서는 이미 검증한 바 있다[2,5,6]. 개발된 국산 PSS는 가속력 적분 입력 방식의 안정화 장치이다. 회전자 속도에 대한 Dynamic 방정식은 토오크의 함수로서 식 (1)과 같다.

$$\frac{d\omega}{dt} = \frac{1}{2H}(T_m - T_e) = \frac{1}{2H}T_{acc} \quad (1)$$

여기서, ω = 회전자 속도
 H = 발전기 관성정수(MW sec/MVA)
 T_m = 기계(터빈) 토오크

T_e = 전기-기계(공극) 토오크
 T_{acc} = 가속 토오크

한편 p.u.(per unit)시스템에서 토오크는 전력과 거의 같다는 사실을 고려하여 토오크(T) 대신 Power(P_e)를 사용하고 기계력(P_m)에 대해 풀면 식(2)와 같다.

$$P_m = 2Hs\omega + P_e \quad (2)$$

기계력 P_m 은 실제적으로 측정이 어렵기 때문에, 이 식을 이용하여 속도와 전력을 측정하여 기계력 신호를 효과적으로 합성한다. 기계력을 구하는 과정은 그림 10과 같다.

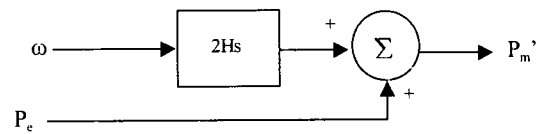


그림 10 기계력의 합성과정
Fig. 10 The Composition for making mechanical Power

합성되는 기계력 신호를 P'_m 이라 하면

$$P_{acc} = P'_m - P_e \quad (3)$$

P_{acc} 는 합성신호 P'_m 를 이용하여 구한 가속력이다.

PSS의 동작 목적, 즉, Local Mode Control이나 또는 Inter-Area Mode Control에 따라 식 (4)의 Washout 필터 시정수는 결정되게 된다.

$$\frac{sT_w}{1 + sT_w} \quad (4)$$

T_w 는 Washout 시정수라 불리며 보통 2~10초의 값으로 세팅된다. 이 때 Break 주파수는 $1/T_w$ rad/sec가 된다. 국산 PSS에서는 두 단계의 Washout 필터를 적용하며, Washout 시정수를 10초로 하면 저주파수 신호에 대한 차단 주파수는 0.1 rad/sec 또는 0.0159Hz가 된다. 이 필터를 거친 신호들은 2H로 나뉘고 다시 적분 (1/s)된다. 가속력 적분을 구하는 과정은 그림 11과 같다.

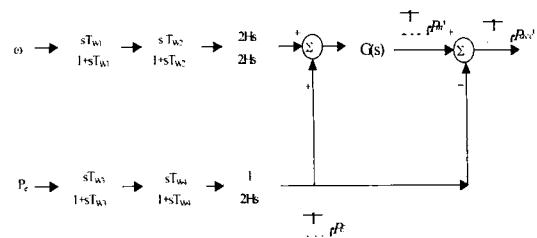


그림 11 가속력의 합성
Fig. 11 The Composition for making Acceleration Power

3.1.2 국산 디지털 PSS의 모델 블록

그림 12는 국산 PSS 개발품의 블록 다이어그램을 보여주고 있다. 이 블록선도에 번호들로 표시된 구성요소들은 다음과 같은 특성들이 있다.

표 2 PSS 개발품의 기본사양

Table 2 Specifications of the Prototype PSS

구분	사양
P/T 입력	채널 수 - 3, 입력 전압 - 0 TO 120 VAC, 절연 전압 - 2000 VAC CONTINUOUS 전압 변환 방식 - HALL C/T, 입력 필터 - SECOND-ORDER LPF
C/T 입력	채널 수 - 3, 입력 전류 - 0 TO 5 A, 절연 전압 - 2000 VAC CONTINUOUS 전류 변환 방식 - HALL C/T, 입력 필터 - SECOND-ORDER LPF
PSS 출력	출력 형식 - 전압 출력, 출력 전압 - -10 V TO +10 V 절연 형식 - PHOTO-COUPLER, 절연 전압 - 1000 VAC CONTINUOUS 부가 기능 - CONFIGURABLE LIMIT, READ-BACK PROTECTION
아날로그 출력	출력 형식 - 전압 출력, 출력 전압 - -10 V TO +10 V 절연 형식 - PHOTO-COUPLER, 절연 전압 - 1000 VAC CONTINUOUS
디지털 입력	입력 점수 - 8, 입력 전압 - 24 VDC, 절연 형식 - PHOTO COUPLER, 절연 전압 - 2000 VAC CONTINUOUS
디지털 출력	출력 점수 - 8, 출력 형식 - DRY CONTACT, 절연 형식 - PHOTO COUPLER 절연 전압 - 2000 VAC CONTINUOUS, 부가 기능 - READ-BACK PROTECTION
외형	외함 크기 - 3 U(H) x 84 HP(W) x 240 mm(D)
제어장치	CPU - DSP320C32, 표시 장치 - LED, LCD DISPLAY KEY-PAD - NUMERIC, FUNCTION KEY, 통신 포트 - RS485 1 PORT, RS232 1 PORT
자가진단 기능	SELF TEST, WATCH-DOG, MEMORY TEST, ADC TEST, DAC TEST BYPASS기능, FAIL발생시 HARD-WIRE BYPASS 기능
공급전원	전원 전압 - 125 VDC, 소비 전력 - 최대300 W
동작환경	주위 온도 - 0 TO 55°C, 습도 - 0 TO 90 %RH, NON-CONDENSING, 설치 장소 - 실 내

- ① PSS는 2개의 입력을 사용한다. 입력 1은 발전기 속도 신호이다. 입력 2는 PT, CT에서 측정되어 내부에서 계산된 전력신호이다.
- ② 각 입력들은 Washout단계를 거치는데 이는 고주파 필터로서 속도와 전력의 정상상태 또는 저주파 변화를 제거하여 PSS 출력에 영향이 없도록 한다.
- ③ 속도측정에 대한 Transducer 시정수이다. 국산 PSS는 1800Hz로 고속 샘플링 함으로 이 시정수는 0으로 세팅한다.
- ④ 블록 4는 Ramp Tracking 필터로서, 구해진 기계력신호를 필터링하도록 설계 되었으며, 실제 기계력에 더욱 가깝도록 저주파 필터링 된 출력을 만든다. 즉, 사고시 실제 발전기의 기계적 입력이 완만하게 변화하는 것을 모의하기 위한 블록이다. 필터는 5개의 극점과 1개의 영점을 가지고 있으며 약 1.5Hz의 차단(cut-off) 주파수를 갖는다.
- ⑤ 전력신호에 대해서는 2개의 Washout을 적용한다.
- ⑥ 블록 6은 Washout 시정수와 1/2Hs의 곱으로서 H는 관성정수이다. 이 경우 Washout의 분자 s항이 소거되어 $K_2 =$

- $T_w/2H$ 가 된다.
- ⑦ KPSS 7번 블록은 전력신호의 가중치를 적용하기 위한 것으로, 보통의 경우 이득을 1로 한다.
- ⑧ K_1 은 PSS의 이득을 나타낸다.
- ⑨ 최적의 위상보상을 위하여 필요하며 2단계의 진상-지상블럭이다.
- ⑩ PSS출력 제한치를 나타낸다.

3.2 국산 디지털 PSS의 H/W 개요 및 기능

국산 디지털 PSS는 주어진 작업들을, 정의된 시간 내에 처리하며 다중작업의 수행을 지원해주는 실시간 운영시스템(RTOS(Real time OS))을 탑재하고 있으며, 에뮬레이터 모드에서 외부 PC를 이용하여 파라미터 세팅이 가능한 구조로 구성되었다.

개발된 디지털 PSS의 기본기능으로는 CT/PT를 통한 발전기의 단자 전압/전류 검출, Low Pass Filter, Anti-Aliasing Filter에 의한 신호처리, 발전기 전압/전류의 Analog

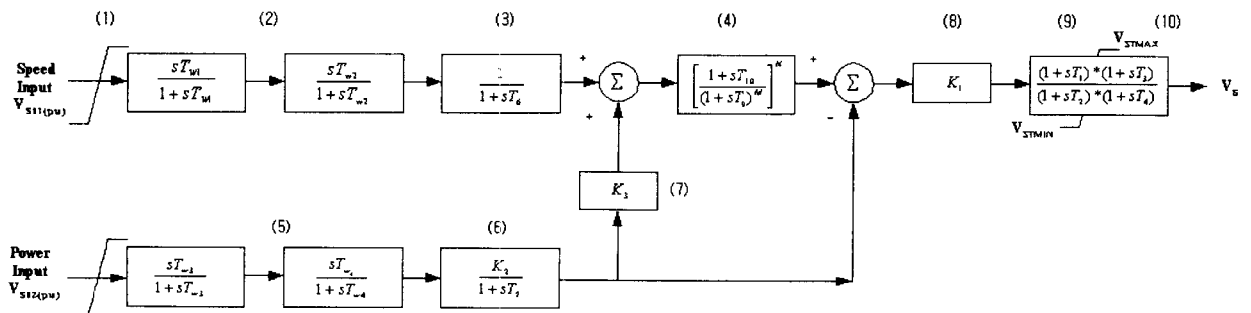


그림 12 국산 디지털 PSS의 제어블록(PSS2A)

Fig. 12 Control Block for Prototype PSS

-to-Digital 변환, 순시 유효/무효 전력의 계산 (2전력계법), PSS 알고리즘 연산, Zero-lock 기능이 있으며 자체진단 및 보호기능, 사용자 Interface, Event logging 기능, Testing Mode와 같은 보조기능이 있다. 표 2는 국산 PSS의 하드웨어 설계사양을 요약한 표이다.

4. KEPS를 이용한 국산 디지털 PSS의 성능시험

4.1 성능시험 개요

국산 디지털 PSS의 실계통 설치 전 성능시험을 위하여 KEPS를 이용한 페루프 모의시험을 수행하였다. 본 시험은 2001년 침두부하시의 한전계통을 계통축약 프로그램을 이용, 원계통의 동특성을 최대한 유지하도록 축약계통을 구성하였으며, 이를 데이터변환 프로그램을 이용하여 KEPS의 입력 데이터로 자동 변환하였다. 또한, PSS 설치 발전소로 선정된 무주양수 발전소 2호기의 자동전압 조정장치(Automatic Voltage Regulator)에 국산 디지털 PSS의 아날로그 출력(DC 전압 $\pm 5V$)을 직접 인가하여 그 성능을 시험하였다. 무주양수 2호기 AVR 스텝시험과 무주 인근계통에 3상 사고를 인가하여 PSS의 응답 특성을 각각분석 하였다. (무주양수 1호기와 2호기는 발전기 및 제어기의 형태가 동일함으로 시험은 2호기에만 실시하였다.)

4.1.1 2001년 한전계통의 축약계통 검증

국산 PSS의 성능시험에 앞서 먼저 축약된 대규모 한전계통의 동특성을 검증하기 위해 PSS/E의 원계통과 축약계통(표 3), 그리고, RTDS 변환계통의 동적 시뮬레이션 결과를 비교하였다. 무주 345kV 모선에 3상 단락사고를 0.1초 동안 인가시킨 후, 무주-서대구 T/L을 영구 개방하는 상정사고 시나리오를 적용하였다. 무주 2호기의 응답 특성을 비교한 결과, 축약계통과 원시계통 및 KEPS 계통의 결과가 거의 일치하는 것으로 미루어 축약계통의 구성이 정확하다는 것을 알 수 있다. (그림 13~16)

표 3 원시계통과 축약계통의 비교

Table 3 Comparison between original and reduced system

구 분	원계통	축약계통
모선수	779개	295개
선로수	1217개	395개
발전기 수	212기	88기
변압기 수	326개	202개
부하 수	613개	330개
발전력	38,577 MW	38,359 MW
부 하	37,953 MW	37,851 MW

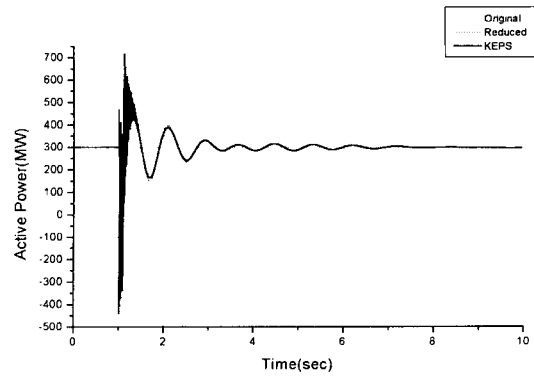


그림 13 무주 #2의 유효전력(P) 비교
(PSS/E 원시계통, 축약계통, KEPS 계통)

Fig. 13 Simulation Results Comparison(Active Power)

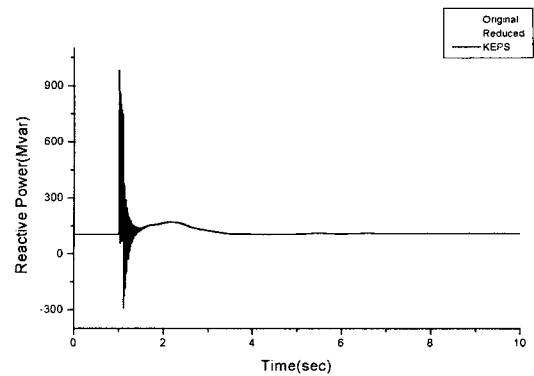


그림 14 무주 #2의 무효전력(Q) 비교
(PSS/E 원시계통, 축약계통, KEPS 계통)

Fig. 14 Simulation Results Comparison(Reactive Power)

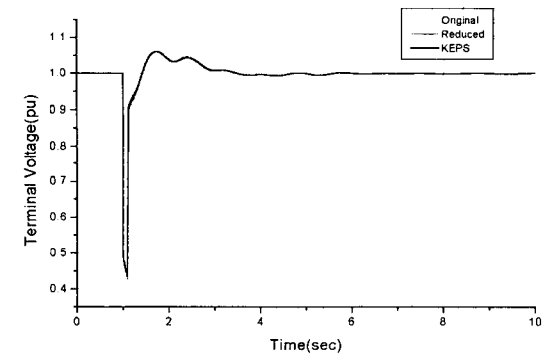


그림 15 무주 #2의 단자전압(Vt) 비교
(PSS/E 원시계통, 축약계통, KEPS 계통)

Fig. 15 Simulation Results Comparison(Terminal Voltage)

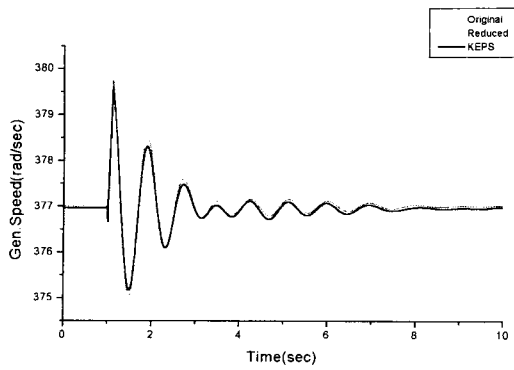


그림 16 무주 #2의 속도(ω)비교
(PSS/E 원시계통, 축약계통, KEPS 계통)
Fig. 16 Simulation Results Comparison(Angle Speed)

4.1.2 무주발전기 및 제어시스템의 모델링

무주양수 발전소 1,2호기는 기준용량이 343 MVA이고 정격출력은 300MW, 발전기 단자전압은 18kV이다. 발전기 및 제어계 파라미터는 실제 발전기 특성시험을 통해 구한 값들을 입력하였으며, 자동전압 조정기 기준전압 (V_{ref}) 신호에 슬라이드를 부착하여 스텝신호를 인가할 수 있도록 하였다.(그림 17) 또한, 외부 PSS의 출력신호를 AVR 기준전압 신호에 입력할 수 있도록 계통을 구성하였으며, PSS 출력신호 전단에 스위치를 부착하여 PSS 출력을 On/Off 할 수 있도록 하였다. 모델링 된 발전기 및 제어계 파라미터는 표4~표7과 같다.

표 4 무주 양수 1, 2호기 발전기(돌극기) 모델 정수(343MVA)
Table 4 Generator Model Parameters for Muju #1

정수	정수 값	정수	정수 값
Tdo'	13.500 sec	Xq	0.7936
Tdo''	0.040 sec	Xd'	0.2500
Tqo''	0.500 sec	X''	0.184
H	6.120	Xl	0.120
D	0.000	S(1.0)	0.1107
Xd	1.1636	S(1.2)	0.2578

표 5 무주양수 1, 2호기 여자기 모델 EXST1 정수
Table 5 Excitor Model Parameters

정수	정수 값	정수	정수 값
TR	0.010 sec	TA	0.000
VIMAX	9999.000	VRMAX	4.010(4.6)
VIMIN	-9999.000	VRMIN	-4.010(-4.6)
TC	0.000	KC	0.000
TB	0.000	KF	0.0006
KA	240.0	TF	1.0

표 6 무주 양수 1, 2호기 조속기 / 터빈 모델 정수 (HYGOV)

Table 6 Turbine/Governor Parameters

정수	정수 값	비고	정수	정수 값	비고
R	0.063	Permanent Droop(6.3 %)	Gmax	1.0	
r	0.130	Temporary Droop	Gmin	0.0	
Tr	5.025		Tw	1.044	물시정수
Tf	0.025	필터시정수	At	1.272	
Tg	0.50		Dturb	0.5	터빈이득
\pm VELM	0.2		qnl	0.214	

표 7 국산 PSS 개발품에 셋팅된 파라미터(PSS2A)
Table 7 PSS Parameters set in Prototype PSS

정수	정수 값	정수	정수 값	비고
TW1, TW2, TW3	2.00	N	1	
TW4	0.0 (bypass)	M	4	T6=0.0
T7	2.0	K1	15.0	Ks=K1
K2	0.163 (Tw/2H)	T2, T4	0.02	
K3	1.000	T1, T3	0.12	
T10	0.440	LMAX	0.10	
T9	0.110	LMIN	-0.10	

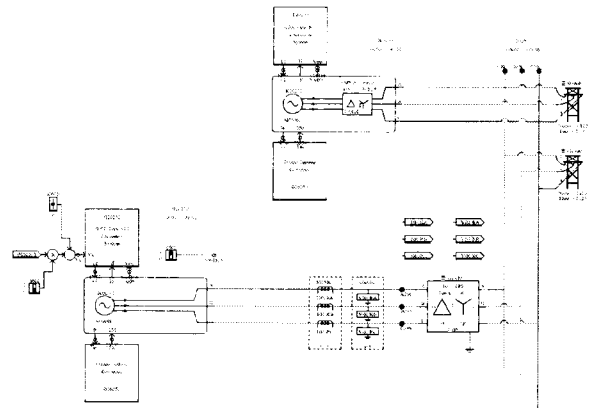


그림 17 무주양수 발전소 인근계통(서브시스템 #13)
Fig. 17 One of Subsystems in RTDS Draft(Muju P/P Area)

4.2 KEPS를 이용한 페루프 성능시험 절차

국산 PSS 개발품을 KEPS를 이용하여 성능시험을 수행하기 위한 절차는 먼저, 대상계통을 RTDS의 런타임 모듈에서 실행하고 CT 및 CVT의 2차측 전압, 전류치를 ODAC16 (Optical D/A Converter)으로 입력한 뒤 ODAC16의 출력 전압이 ± 5 Volts 이내가 되도록 스케일 팩터를 조정한다. 이 때의 계산치는 항상 상전압 최대치의 값을 기준으로 하여 선정한다. 스케일링 된 아날로그 전압, 전류 출력신호가 전력증폭기의 입력으로 인가되고 전력증폭기의 게인을 곱한 값으로

최종 출력된다. 국산 PSS개발품은 선간전압 실효치 기준으로 110Volts, 전류 5Amps를 정격으로 하고 있으며, 상정한 시나리오를 계통에 적용하면 PSS가 응답하여 아날로그 제어신호를 출력하게 된다. 이 신호가 다시 RTDS OADC16(Optical A/D Converter)로 피드백(feedback) 되어 RTDS 계통 내 무주발전소 #2호기의 자동전압 조정장치(AVR)의 Summing Point에 보조신호로 추가됨으로써 발전기의 동요를 억제하게 된다. 이 때, PSS 출력 아날로그 제어신호($\pm 5V$)는 다시 적절한 게인(0.1 pu)과 곁해진 후, 최종적으로 AVR 입력으로 더해진다. 상세한 신호흐름 및 결선도를 그림 18에 나타내었고, 전체적인 성능시험 절차는 그림 19와 같다.

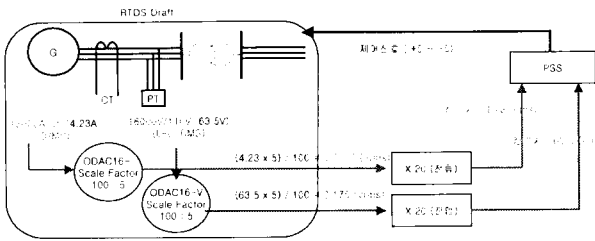


그림 18 국산 PSS 성능시험을 위한 페루프 결선 및 신호 흐름도
Fig. 18 Closed Loop Test for Verifying the Performance of Prototype PSS

KEPS를 이용한 국산 PSS 개발품의 성능시험 절차를 요약하면 그림 19와 같다.

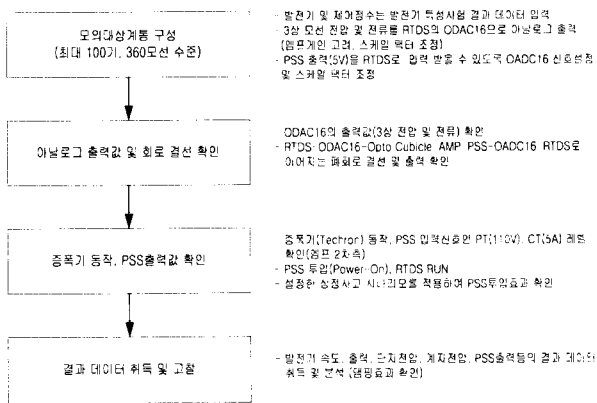


그림 19 PSS 개발품의 성능시험 절차
Fig. 19 Closed Loop Test Procedure for the Prototype PSS

4.3 성능시험 결과

본 결과는 2001년 한전계통을 KEPS에서 수행 가능한 규모로 축약한 계통을 이용하였으며, 무주양수 2호기에 국산 PSS 개발품을 설치하고 그 응답 특성을 검토한 것이다. 적용한 상정사고는 신옥천 345kV 모선에 3상 단락사고를 0.1초 동안 인가 및 제거, 자동전압 조정기(AVR) 스텝 시험, 발전기 출력 변화시험 등을 적용하였다. 신옥천 345kV 모선에 3상 단락사고를 인가하기 위한 RTDS의 고장 시퀀스는 그림 20과 같다.

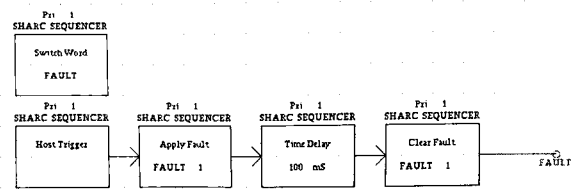
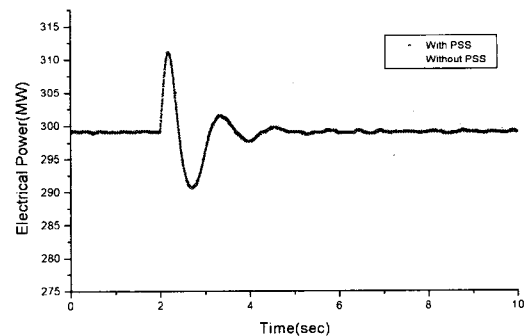


그림 20 345kV 신옥천 모선에 인가한 고장 시퀀스 (3상 단락사고, 0.1초)

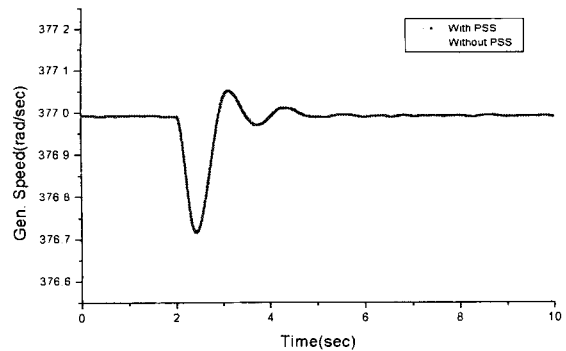
Fig. 20 The Sequence Logic for 3 Phase Fault at 345kV bus

4.3.1 AVR 5% Step 시험

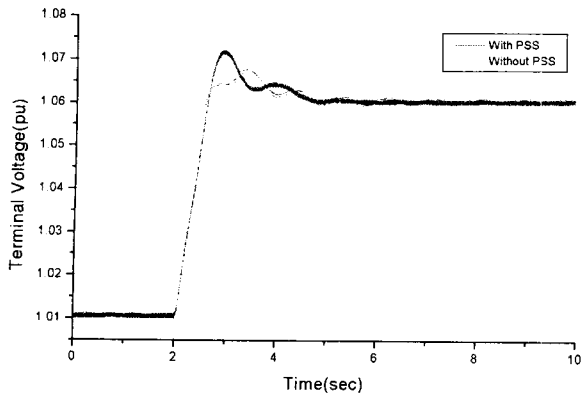
AVR 스텝시험은 RTDS 내에 모의되어 있는 자동전압 조정장치(AVR)의 기준전압(V_{ref})을 5% 변경시킴으로써 이루어진다. 실제로는 발전기 단자전압을 5% 변동시킬 수 있도록 작은 직류전압 값을 AVR의 Summing Point에 스텝으로 인가하는데, RTDS를 이용한 시험에서는 런타임 모듈에서 모의된 파라미터 그룹의 변수 V_s 에 대한 슬라이더를 5% 크기 만큼 변경한다. 먼저 AVR 5% Step-Up 시험결과를 그림 21에 나타내었다.(PSS의 게인 $K_S=15.0$)



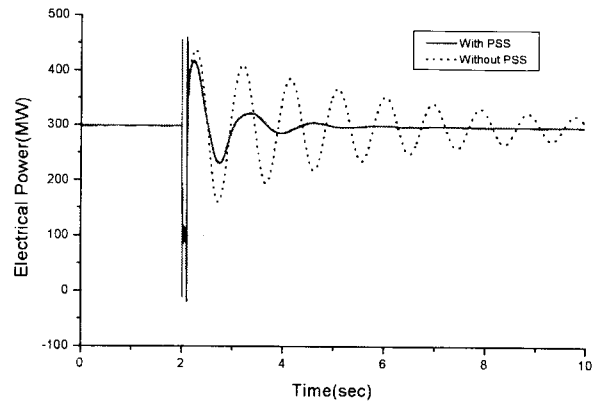
(a) 유효전력의 변화
(a) Active Power Variation



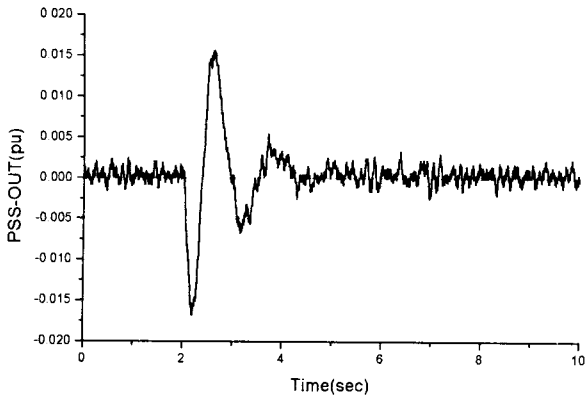
(b) 발전기 속도(ω) 변화
(b) Angle Speed Variation



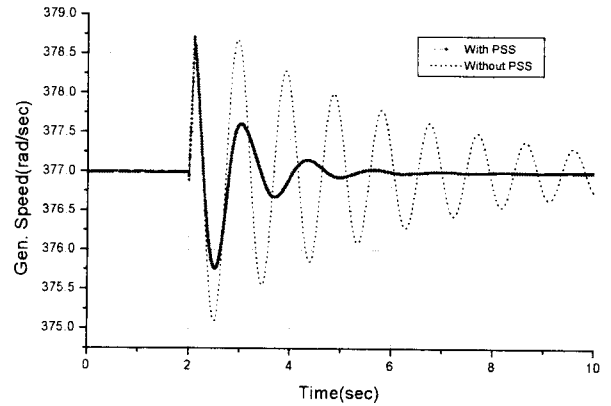
(c) 발전기 단자전압(Vt)의 변화
(c) Terminal Voltage Variation



(a) 유효전력의 변화
(a) Active Power Variation



(d) PSS 출력
(d) PSS Output



(b) 발전기 속도(w) 변화
(b) Angle Speed Variation

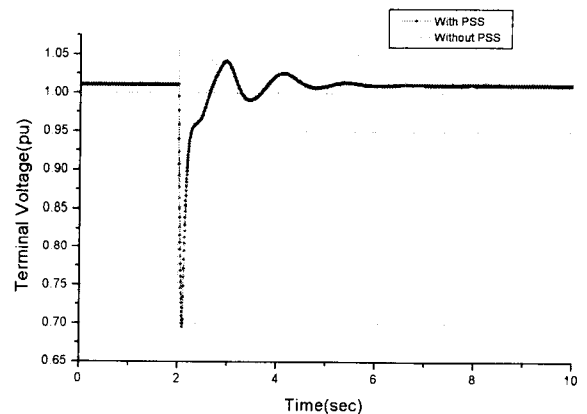
그림 21 AVR 5% Step Up시 PSS 성능시험 결과

Fig. 21 PSS Performance Test Results (AVR 5% Step Up)

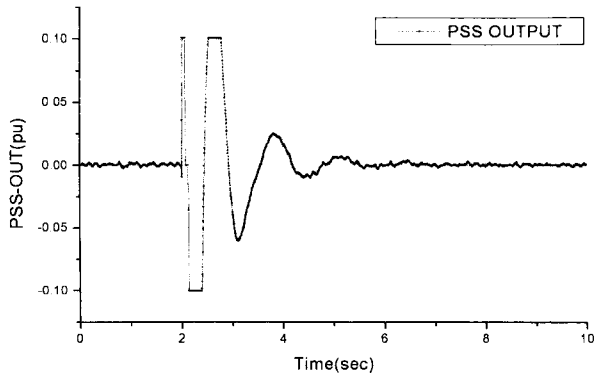
발전기 유효전력, 속도 및 단자전압의 변화를 보면, 국산 PSS를 투입 했을 때에 전력동요에 대한 댐핑 효과가 우수하다는 것을 알 수 있다. PSS가 없을 때의 전력 동요는 지속되지만 PSS가 투입되었을 경우에는 3사이클 이내에 제동되는 것을 알 수 있다.

4.3.2 3상 단락사고 시험

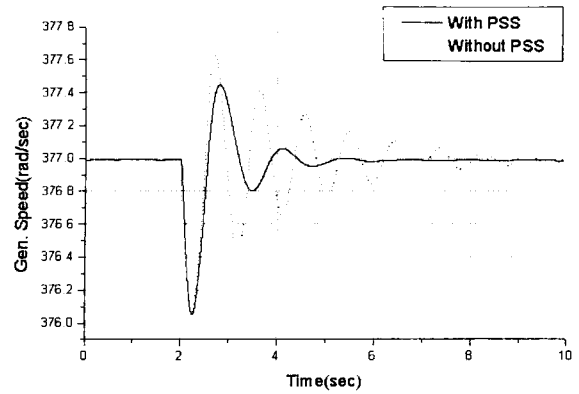
AVR 스텝시험 보다 좀 더 가혹한 조건에서의 PSS 응답 특성을 관찰하기 위해 무주양수 발전소 인근 345kV 신옥천 모선에 3상 단락사고를 인가하였다. AVR 스텝시험 결과와 동일하게 충분한 제동 효과가 나타남을 알 수 있다(그림 22). 그림 22 (d)의 PSS출력을 그림 21(d)와 비교하여 보면 스텝에 의한 작은 외란 시 보다 3상 단락사고 시에 PSS의 응답이 크다는 것을 알 수 있다.



(c) 발전기 단자전압 변화
(c) Terminal Voltage Variation



(d) PSS 출력
(d) PSS Output

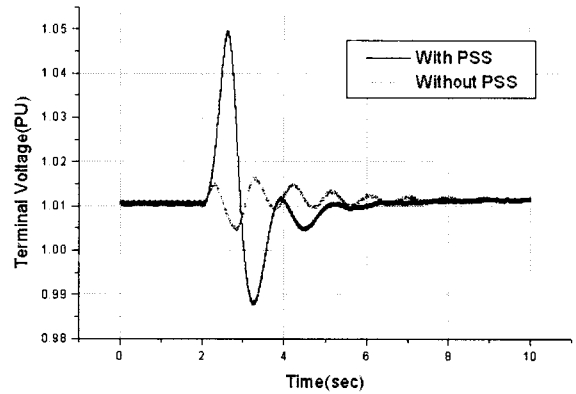


(b) 발전기 속도(ω) 변화
(b) Angle Speed Variation

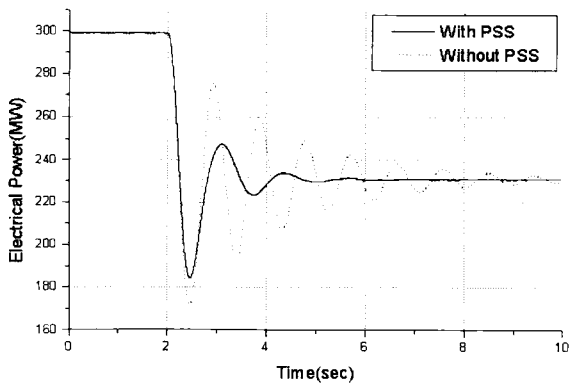
그림 22 3상 단락고장시 PSS 성능시험 결과
Fig. 22 PSS Performance Test Results (3 Phase Fault)

4.3.3 유효전력 변화 시험

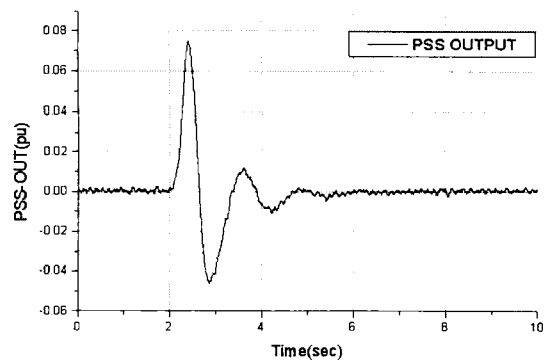
본 시험은 PSS가 무주양수 발전소 즉, 수력기에 설치된다는 조건으로 인하여 발전기 기계적 토오크가 갑자기 증, 감발할 시 나타날 수 있는 발전기 단자전압의 스윙을 검토하기 위함이다. 조속기/터빈 모델의 출력신호를 300MW에서 230MW로 출력을 감발하는 경우의 PSS 응답 특성을 분석한다. KEPS에서 발전기 유효전력(P_e)을 변화시키기 위하여 Runtime 모듈에서 T_m 변수의 슬라이더 값을 변화시켰다. 그림 23 (c)의 단자전압을 보면, 첫 번째 스윙의 크기가 약간 크지만 두 번째 스윙에서 바로 댐핑을 제공함을 알 수 있다.



(c) 단자전압 변화
(c) Terminal Voltage Variation



(a) 유효전력 변화
(a) Active Power Variation

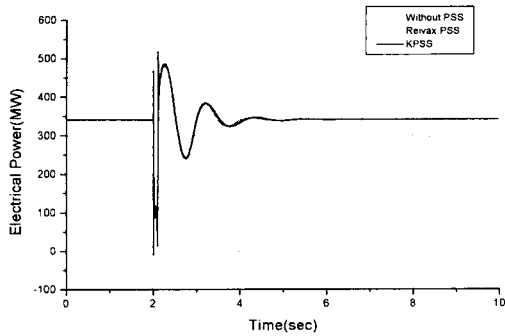


(d) PSS 출력
(d) PSS Output

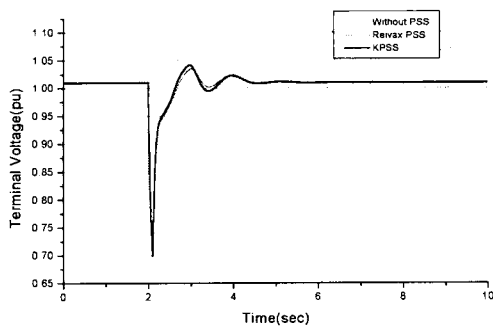
그림 23 유효전력 변화(300→230 MW) 시 PSS 성능시험 결과
Fig. 23 PSS Performance Test Results(Active Power Variation)

4.3.4 벤치마크 PSS(RWX-600)와의 특성비교

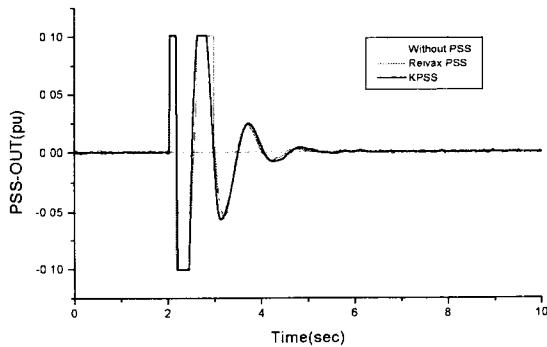
본 절에서는 벤치마크를 위한 브라질 Reivax사의 PSS를 동일한 시험계통 및 조건에 대하여 시험하고 그 응답특성을 비교하였다. 동일한 3상 단락사고를 적용하여 유효전력, 단자 전압, PSS 출력파형을 비교하였다. 그림 24에서 알 수 있듯이 외란에 대하여 동일한 응답특성을 확인할 수 있다.



a) 유효전력의 변화
(a) Active Power Variation



(b) 단자전압의 변화
(b) Terminal Voltage Variation



(c) PSS 출력
(c) PSS Output

그림 24 벤치마크 PSS와의 결과비교 (3상 단락사고)
Fig. 24 The Comparison of Results with Benchmark PSS (3 Phase Fault)

5. 결 론

본 논문은 대규모 계통을 실시간으로 해석할 수 있으며, 현장에서와 동일한 조건으로 여러 가지 개발기기를 시험할 수 있는 실시간 전력계통해석용 시뮬레이터(KEPS)의 구성 및 시뮬레이터의 활용성을 제고하기 위하여 본 연구진이 개발한 응용 프로그램에 대하여 기술하였다. 또한, “실시간 대규모 전력계통 해석용 시뮬레이터(KEPS)”를 이용하여, 개발된 전력계통 안정화장치(PSS) 국산품의 현장 설치 전 성능 시험 결과에 대해 기술하였다.

본 논문은 RTDS 26렉으로 구성된 KEPS(KEPCO Enhanced Power system Simulator)의 활용성을 제고하기 위하여 개발한 축약프로그램과 데이터변환 프로그램의 개발 배경 및 원리에 대하여 상세히 기술하였으며, 이를 이용한 국산 PSS 개발품의 페루프 성능시험에 대한 상세 절차를 제시하였다. 또한, 제시한 절차에 따라, 다양한 시험조건 하에서 수행한 국산 PSS 개발품의 응답 특성 시험 결과를 제시하고, 그 결과를 분석하여, 개발된 PSS의 우수성을 입증하였다.

본 시험결과를 토대로 본 연구진은 개발한 PSS에 대하여 높은 신뢰를 가질 수 있었으며, 이와 유사한 실계통 연속시험을 통해, 개발된 PSS는 현재 무주양수 발전소 1,2호기에 설치되어 연속운전 중에 있다.

향후, 본 시뮬레이터를 이용하여, 광역 모드를 제어하기 위한 PSS의 설계 및 시험을 수행할 예정이다.

감사의 글

본 논문에서 사용된 계통축약 프로그램과 데이터변환 프로그램의 개발은 국가지정연구실 사업(NRL)을 통해 연구비를 지원받아 수행하고 있습니다.

참 고 문 헌

- [1] F.P. Demello and C.Concordia, “Concepts of Synchronous Machine Stability as Affected by Excitation Control, IEEE Trans., Vol. PAS-88, April 1969, pp. 316-329
- [2] 한국전력공사, “발전기 제어계통 안정화장치(PSS) 개발 연구 최종보고서”, 한전 전력연구원 TR(Technical Report), TR.97EJ05.J2002.133, 2002.3
- [3] 한국전력공사, “전력계통 해석용 시뮬레이터 개발 및 설치”, 한전 전력연구원 TR(Technical Report), TR.96EJ25.J2001.588, 2001.10
- [4] RTDS User Manual, 3PC Manual, 2001, RTI
- [5] 김동준, 문영환, 김태균, 신정훈, “PSS 튜닝을 위한 기본 연구, Part I: 계통 운전조건에 대한 토오크 특성 분석”, 대한전기학회논문지 제 48권 제9호, 1999.9
- [6] 신정훈, 김태균, 김동준, 문영환, 백영식, “PSS 튜닝을 위한 기본연구, Part II: PSS 실계통 최적 정수 선정을 위한 튜닝기법”, 대한전기학회 논문지 제 49권 제 7호, 2000.7

[7] E.V.Larsen and D.A.Swan, "Applying Power System Stabilizers, Parts I, II and III", IEEE Trans., Vol. PAS-100, June 1981, pp. 3017-3046

[8] User Manual, PSS/E Ver. 24, 1993 PTI

[9] EPRI Research Project 744-1, Frequency Domain Analysis of Low-Frequency Oscillation in Large Electric Power Systems, April 1982

[10] P. Kundur, Power System Stability and Control, 1994 McGraw-Hill, Inc

[11] EPRI, Small Signal Stability Analysis Program Package: Version 3.0, February 1993

[12] P.Kundur, M.Klein, G.J. Rogers, M.S. Zywno, "Application of Power System Stabilizers for Enhancement of Overall System Stability", IEEE Trans., PWR, Vol.4, No.2, May 1989

저 자 소 개



신정훈 (申政勳)

1969년 1월 6일생. 1993년 2월 경북대 공대 전기공학과 졸업. 1995년 동대학원 전기공학과 졸업(석사). 1995년 한국전력공사 입사. 현재 한국전력공사 전력연구원 선임연구원.

Tel : 042-865-5835, FAX : 042-865-5844
E-mail : jhshin@kepri.re.kr



추진부 (秋鎭夫)

1977년 서울대학교 졸업, 1987년 서울대학교 석사졸업, 1994년 서울대학교 전기공학과 공박, 현재 전력연구원 전력계통연구실 그룹장

Tel : 042-865-5830, FAX : 042-865-5844
E-mail : jbc@kepri.re.kr



김태균 (金泰均)

1986년 한양대학교 졸업, 1989년 한양대학교 석사졸업, 1993년 한양대학교 전기공학과 공박, 현재 전력연구원 전력계통연구실

Tel : 042-865-5831, FAX : 042-865-5844
E-mail : tkkim@kepri.re.kr



백영식 (白榮植)

1950년 7월 8일 생. 1974년 서울대 공대 전기공학과 졸업. 1977년 동 대학원 전기공학과 졸업(석사). 1984년 동 대학원 전기공학과 졸업(공박). 1977년 명지대 공대 전기공학과 조교수. 현재 경북대 전자전

기공학부 교수.

Tel : 053-950-5602

E-mail : ysbaek@knu.ac.kr