

정보처리 시스템용 3V CMOS 프로그래머블 이득 증폭기 설계

송제호[†] · 김환용^{**}

요 약

본 논문에서는 ADSL용 아날로그 Front end의 수신단과 송신단에 활용하기 위한 저전압 특성의 3V CMOS 프로그래머블 증폭기(PGA)를 설계하였다. 설계된 수신단의 PGA는 1.1MHz로 연속시간 저역통과 필터와 연결하여 0dB에서 30dB까지 이득을 조정해주며, 송신단의 PGA는 138kHz의 저역필터와 연결하여 15dB에서 0dB까지의 이득을 조정할 수 있다. 모든 PGA의 이득은 디지털 로직과 메인 컨트롤러에 의해서 프로그램될 수 있도록 설계하였다. 설계된 PGA는 0.35 μ m CMOS 파라미터를 이용하여 Hspice 시뮬레이션으로 그 특성을 확인하였다.

Design of A 3V CMOS Programmable Gain Amplifier for the Information Signal Processing System

Je-Ho Song[†] and Hwan-Yong Kim^{**}

ABSTRACT

In this paper, low voltage 3V CMOS programmable gain amplifier(PGA) for using in the transmitter and receiver of ADSL analog front-end is designed. The designed receive PGA is connected with 1.1MHz continuous lowpass filter and controls the gain from 0dB to 30dB. And also the transmitter PGA is connected with 138KHz lowpass filter and controls the gain from -15dB to 0dB. The gain of All PGAs can be programmed by digital logic circuits and main controller. The designed PGAs are verified using HSPICE simulation with 0.35 μ m CMOS parameter.

Key words: ADSL, Analog front-end, Programmable Gain Amplifier

1. 서 론

수 Mbps의 전송속도로서 인터넷 등 각종 멀티미디어 서비스를 실현하는 정보처리시스템은 초고속 정보 통신망 구축을 위한 인프라의 핵심으로 부각되면서 최근 그 수요가 급격히 증가하고 있다. 광범위한 보급과 저가의 고품질 서비스를 제공받고 관련 부품의 수입대체효과를 위해서는 xDSL 관련 정보처리시스템의 하드웨어 개발에 대한 연구가 더욱 활발히 요구되고 있다. 최근 xDSL를 비롯한 각종 정보

처리 시스템용 하드웨어에 대한 개발이 활발하게 진행되고 있으나 국내 연구활동의 경향을 살펴보면 아날로그 신호처리를 담당하는 아날로그 Front-end 부분에 관한 연구활동은 상대적으로 적은 편이다 [1,2].

이러한 관점에서 본 논문에서는 관련분야의 연구활동을 활성화하기 위하여 정보처리시스템의 아날로그 송신단과 수신단 단에 필수적으로 사용되고 있는 프로그래머블 증폭기에 관한 연구를 수행하였다. 프로그래머블 증폭기는 시스템 일부 또는 전체의 이득을 메인 컨트롤러의 명령에 의하여 적합한 크기로 결정하여 주는 소자로서 신호처리 시스템에 없어서는 안될 중요한 소자이다. 특히 본 논문에서는 현재

[†] 정회원, 원광대학교 전자공학과 박사수료

^{**} 정회원, 원광대학교 전자공학과 교수

상용화된 ADSL 모델에 사용되는 증폭기가 5V로 사용된 것에 비하여 프로그래머블 증폭기를 3V의 저전압으로 설계함으로써 저전압화[3-5] 및 휴대화 되어 가고 있는 멀티미디어기기의 송수신단에 적용함으로써 시스템의 소비전력을 낮추고자 하였다. 또한 프로그래머블 증폭기를 상용화된 DMT방식의 ANSI의 표준화 규격 T1.413-2에 따른 ADSL의 송수신단 설계사양에 맞게 설계함으로써 그 활용도를 현실적으로 높이고자 하였다. 2장에서는 아날로그 Front-end블록 안에 구성되는 PGA와 설계 사양과 PGA 설계를 위한 기본 연산증폭기 설계에 대하여 그리고 3장에서는 수신단 Rx-PGA 설계와 송신단 Tx-PGA 설계에 대하여 나타내었다. 설계된 회로의 시뮬레이션 결과는 각 장에 나타내었고 4장에서 결론을 맺었다.

2. ADSL용 PGA 구성 및 기본증폭기 설계

2.1. ADSL 아날로그 Front-end 블록 및 PGA의 구성

정보처리 시스템에서 사용되는 프로그래머블 증폭기를 설계하기 위하여 DMT 변조 방식의 ADSL 모델용 아날로그 Front-end 단의 설계 사양을 검토하였다. ADSL은 비대칭 구조의 쌍방향 데이터의 전송이 이루어지므로 DMT방식의 경우, 138kHz~1.104MHz의 하향(down-stream)과 34.5kHz~138kHz의 상향(up-stream) 방향의 주파수 대역으로 구별되어 각 송수신 단 및 회로 사양에 따라 설계되어야 한다 [6,7].

DMT방식의 ANSI의 표준화 규격 T1.413-2에 따른 ADSL 모델용 아날로그 Front-end 블록단 중에서 PGA를 중심으로 구성된 회로를 그림 1에 나타내었다. 수신경로(Rx)에서는 Rx 수신 증폭기로부터 인가된 신호를 Rx-PGA와 Rx-LPF 그리고 ADC로 처리하여 디지털 메인 블록으로 전달하게 되고, 송신경로(Tx)에서 디지털 메인 블록에서 전달받은 디지털 신호를 DAC가 아날로그 신호로 변환하여 Tx-LPF 및 Tx-PGA를 통하여 Tx 라인드라이버 증폭기로 출력한다.

PGA회로는 송신블록과 수신블록에 각각 위치하여 필터에 의하여 제한된 신호, Rx의 경우 138kHz~1.104MHz의 신호 주파수 그리고 Tx의 경우 34.5kHz~

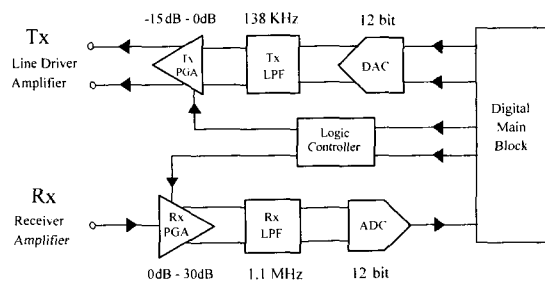


그림 1. ADSL 모델용 아날로그 Front-end단 회로

138kHz대역의 주파수 신호의 이득을 원하는 값으로 조정하게 하는 증폭회로로써 수신단에서는 Rx-PGA회로가 0dB에서 30dB까지 이득범위로 조정하며, 송신단에서는 Tx-PGA가 -15dB에서 0dB까지의 이득범위로 조정할 수 있도록 설계되어야 한다. 다음절에 시스템 사양에 적합하면서 저전압 동작이 가능한 PGA의 설계에 대하여 나타내었다.

2.2. PGA 설계를 위한 기본증폭기

이 절에서는 시스템 사양에 적합하면서 저전압 동작이 가능한 PGA의 설계를 위하여 먼저 PGA회로를 구성하고 있는 기본 증폭회로를 설계한다. 그림 1에서 보는 바와 같이 Front-end단에 사용되는 PGA는 Rx단과 Tx단에 각각 사용된다. Rx단에서 사용되는 Rx-PGA는 Single-to-differential 구조를 이루고 Tx-PGA는 Fully-differential구조를 이루고 있으므로 일반적으로 기본 증폭기 설계에 있어서도 각각 다른 설계 방법이 요구된다. 그러나 본 논문에서는 한가지 형태의 기본 증폭기로서 두 가지 형태의 PGA를 구성할 수 있도록 함으로써 설계시간을 단축하고 기본 증폭기의 활용도를 높이고자 하였다.

PGA를 위한 기본 연산증폭기는 2단 이득 증폭 구조로 설계하였으며 그림 2에 나타내었다. 증폭기에 사용된 각 트랜지스터의 크기 값을 표 1에 나타내었

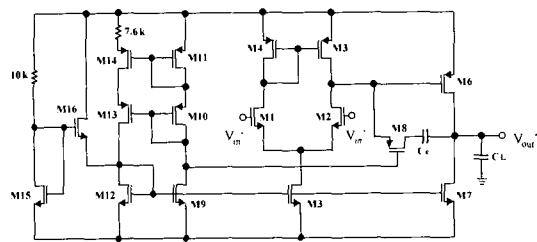


그림 2. PGA를 구성하기 위한 기본 증폭기

표 1. 설계된 증폭기의 트랜지스터 크기

MOS	Type	Length	Width	MOS	Type	Length	Width
m1	nch	l=1.2u	w=101u	m9	nch	l=1.2u	w=6u
m2	nch	l=1.2u	w=101u	m10	pch	l=1.2u	w=4u
m3	nch	l=1.2u	w=62u	m11	pch	l=1.2u	w=4u
m4	pch	l=1.2u	w=50u	m12	nch	l=1.2u	w=6u
m5	pch	l=1.2u	w=50u	m13	pch	l=1.2u	w=4u
m6	pch	l=1.2u	w=101u	m14	pch	l=1.2u	w=16u
m7	nch	l=1.2u	w=62u	m15	nch	l=1.2u	w=6u
m8	pch	l=1.2u	w=10u	m16	nch	l=1.2u	w=6u

다. 또한 기본 증폭기를 HSPICE로 시뮬레이션 한 결과 중에서 이득 및 위상 특성을 그림 3에 나타내었다.

3V 기본증폭기를 시뮬레이션 한 결과, 75dB의 이득 특성, 60도의 위상마진을 그림 3에 보이는 바와 같이 만족할 만한 특성을 얻을 수 있었으며 이 결과를 바탕으로 하여 3V 기본증폭기를 기본 구조로 하는 두 개의 프로그래머블 증폭기에 대한 설계를 다음 장에서 나타내었다.

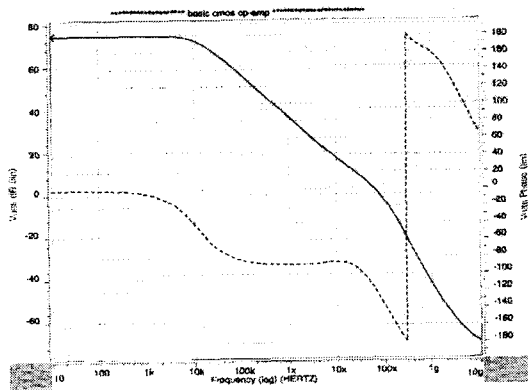


그림 3. PGA를 구성하기 위한 기본증폭기의 이득 및 위상 특성

3. 기본증폭기를 이용한 ADSL용 Rx-PGA 및 Tx-PGA설계

3.1. Rx-PGA 설계

수신단에 활용하기 위한 Rx-PGA의 구조는 그림 1에 보는 바와 같이 한 개의 입력신호를 두 개의 신호로 분리하며 증폭하여 줄 수 있는 Single-to-

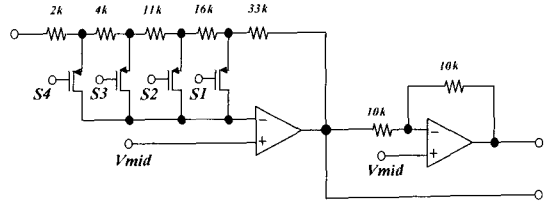
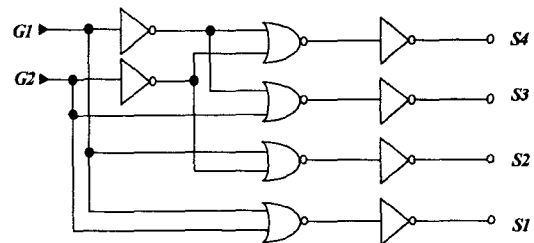


그림 4. Single-to-differential구조로 설계한 Rx-PGA

differential 구조를 가져야 한다. 또한 PGA의 전체 이득은 디지털 신호에 의하여 조절이 되어야 한다. 이를 이에 적합한 형태로 설계한 Rx-PGA를 그림 4에 나타내었다.

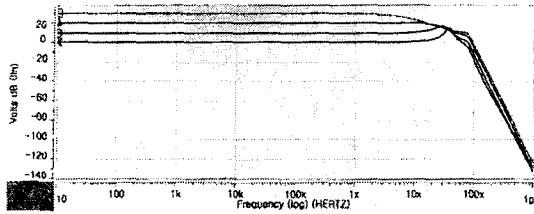
그림 4에서 Rx-PGA는 두 개의 증폭기를 종형으로 접속하여 구성하였는데 PGA에 입력된 신호는 앞단의 증폭기에 의하여 이득이 조절이 되며 또한 뒷단의 증폭기에 의하여 180도 위상 차를 가지는 differential 신호를 발생한다. Vmid 단자는 두 개의 differential 신호를 중간 전압으로써 이 단자 전압에 의하여 전체 신호는 균형을 이루게 된다. 앞단증폭기에 구성되고 있는 각 저항 값은 증폭기의 이득을 각각 0dB, 10dB, 20dB, 30dB로 얻을 수 있도록 설정된 값이며 이 이득 값은 이득조정회로에서 발생하는 디지털 신호에 의하여 스위칭 트랜지스터 S4, S3, S2, S1의 ON, OFF 동작에 의하여 결정이 되도록 하였다. 그림 5에 Rx-PGA 이득조정회로와 이득 조정 값을 나타내었다.

그림 6은 Rx-PGA의 시뮬레이션 결과를 나타낸 것인데 (a)는 AC해석에 의한 이득의 변화 값을 (b)는

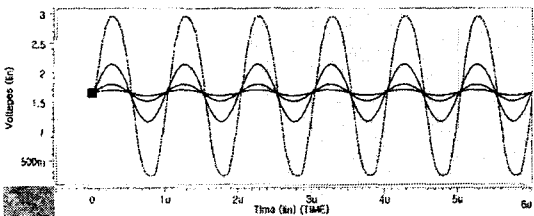


G1	G2	S4	S3	S2	S1	Gain(dB)
0	0	1	1	1	0	0
0	1	1	1	0	1	10
1	0	1	0	1	1	20
1	1	0	1	1	1	30

그림 5. Rx-PGA 이득조정회로



(a) AC해석에 의한 이득의 변화 값



(b) Transient 해석에 의한 이득의 변화 값

그림 6. Rx-PGA의 시뮬레이션 결과

Transient해석에 의한 이득의 변화 값을 나타내고 있다. 이 결과 값에 의하여 오차범위가 1dB이내의 범위에서 이득 값이 조정될 수 있음을 확인하였다.

3.2. Tx-PGA 설계

송신단에 활용하기 위한 Tx-PGA의 구조는 그림 1에 보는 바와 같이 두 개의 입력신호를 두 개의 신호로 증폭하여 줄 수 있는 Fully-differential 구조를 가져야 한다. 또한 PGA의 전체 이득은 디지털 신호에 의하여 조정이 되어야 한다. 이에 적합한 형태로 설계한 Tx-PGA를 그림 7에 나타내었다.

그림 7에서 Tx-PGA는 두 개의 증폭기를 횡형으로 접속하여 구성하였는데 PGA에 입력된 신호를 균형을 유지하는 상태에서 그대로 뒷단에 전달하면서 증폭할 수 있도록 설계한 것이다. Rx-PGA에서

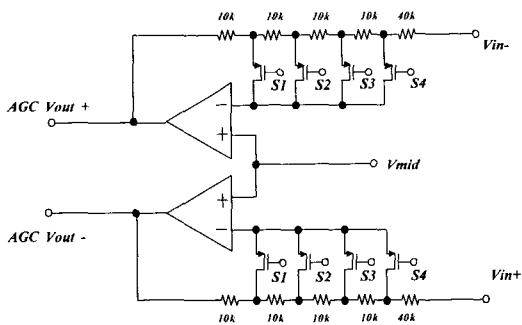
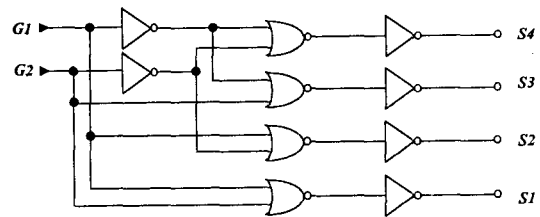


그림 7. Fully-differential구조로 설계한 Tx-PGA

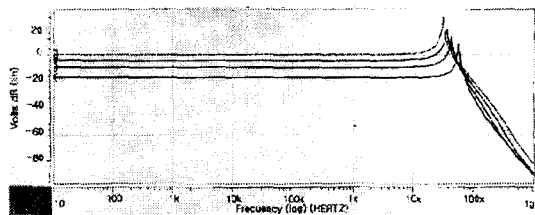
와 마찬가지로 V_{mid} 단자는 두 개의 differential 신호를 중간 전압으로써 이 단자 전압에 의하여 전체 신호는 균형을 이루게 된다. 앞단 증폭기에 구성되고 있는 각 저항 값은 증폭기의 이득을 각각 -15dB, -10dB, -5dB, 0dB로 얻을 수 있도록 설정된 값이며 이 이득 값은 이득조정회로에서 발생하는 디지털 신호에 의하여 스위칭 트랜지스터 S4, S3, S2, S1의 ON, OFF 동작에 의하여 결정이 되도록 하였다. 그림 8에 Rx-PGA 이득조정회로와 이득 조정 값을 나타내었다.

그림 9는 Tx-PGA의 시뮬레이션 결과를 나타낸

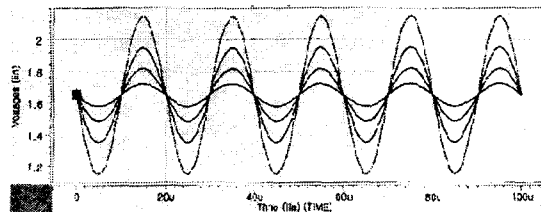


G1	G2	S4	S3	S2	S1	Gain(dB)
0	0	1	1	1	0	-15
0	1	1	1	0	1	-10
1	0	1	0	1	1	-5
1	1	0	1	1	1	-0

그림 8. Tx-PGA 이득조정회로



(a) AC해석에 의한 이득의 변화 값



(b) Transient 해석에 의한 이득의 변화 값

그림 9. Tx-PGA의 시뮬레이션 결과

것인데 (a)는 AC해석에 의한 이득의 변화 값을 (b)는 Transient해석에 의한 이득의 변화 값을 나타내고 있다. 이 결과 값에 의하여 오차범위가 2-3dB이내의 범위에서 이득 값이 조정될 수 있음을 확인하였다.

4. 결 론

본 논문에서는 ADSL용 아날로그 Front-end단 중에서 핵심 증폭회로인 Rx-PGA와 Tx-PGA회로를 ANSI의 표준화 규격 T1.413-2에 따라 설계하였다. Single-to-differential 구조로 구성되어 있는 Rx-PGA 설계를 위하여 먼저 기본 연산증폭기를 설계하고 이를 중형으로 합성하여 구성하였으며, Full-differential 구조의 Tx-PGA설계를 위하여 역시 기본 연산증폭기를 횡형으로 합성하여 설계하였다. 또한 이들 회로의 이득을 원하는 값으로 프로그래밍 되도록 하기 위하여 이득 조정회로를 설계하였다.

0.35 μ m 파라미터를 이용하여 HSPICE로 그 특성을 확인한 결과, Rx-PGA의 경우 1dB이하의 오차범위를 가지며 0dB~30dB의 이득이 디지털 신호에 의하여 조정될 수 있다. 2~3dB이하의 오차범위를 가지는 Tx-PGA 회로의 경우 -15dB~0dB의 이득 값이 이득조정회로의 디지털 로직에 인가되는 컨트롤 값에 따라 조정되도록 설계되었음을 확인하였다.

결과적으로 현재 상용화된 ADSL 모뎀에 사용되는 증폭기가 5V로 사용된 것에 비하여 본 논문에서 설계된 PGA의 장점으로는 우선 3V의 저전압으로 동작이 가능하도록 함으로써 갈수록 저전력화 저전압화 되고 있는 휴대용 멀티미디어기에 사용될 수 있도록 가능성을 제시하였다는 것과 한 개의 기본 증폭기를 이용하여 수신단 및 송신단의 두 개의 PGA를 모두 합성을 할 수 있는 구조로 설계함으로써 멀티미디어용 아날로그 집적회로의 설계방법을

단순화하며 설계 시간도 줄일 수 있는 기대효과를 얻을 수 있다.

참 고 문 헌

- [1] C. H. Lin and M. Ismail, "A 2V 5th-order Fully-Differential CMOS Gm-C Filter for Wide-band Communication", *IEEE Proc.* pp.II-136-139, 1999.
- [2] J. Y. Lee, and et all, "A 3V linear input range tunable CMOS transconductor and its application to a 3.3V 1.1MHz Chebyshev low-pass Gm-C filter for ADSL", Proceedings of the IEEE 2000 Custom Integrated Circuits Conference, pp. 387-390 5-21, 2000.
- [3] C. S. Yoo, and et all "A $\pm 1.5V$, 4-MHz CMOS Continuous-Time Filter with a Single-Integrator Based Tuning", *IEEE J. Solid-State Circuits*, vol. 33, no.1, pp.18-27. Jan. 1998.
- [4] Z. Y. Chang, and et all, "A CMOS Analog Front-End circuit for and FDM-Based ADSL System", *IEEE J. of Solid-State Circuits*, VOL.30, NO.12, pp.1449-1456, DEC. 1995.
- [5] M. Moyal, M. Groepl and T. Blon, "A 25-kft, 768-kb/s CMOS Analog Front End for Multiple-Bit-Rate DSL Transceiver", *IEEE J. of Solid- State Circuits*, VOL.34, NO.12, pp. 1961-1972, DEC. 1999.
- [6] C. F. Chiou and R. Schaumann, "Design and Performance of a Fully Integrated Bipolar 10.7-MHz Analog Bandpass Filter", *IEEE Trans. Circuits Syst.*, vol. CAS-33, no.2, pp.116-124. Feb. 1986.
- [7] C. S. Park and R. Schaumann, "Design of a 4-MHz Analog Integrated CMOS Transconductance-C Bandpass Filter", *IEEE J. Solid-State Circuits*, vol. SC-23, no. 4, pp. 987-996. Aug. 1988.



송 제 호

1991년 2월 원광대학교 공과대학
전자공학과 공학사
1993년 2월 원광대학교 대학원 전
자공학과 공학석사
1996년 2월 원광대학교 대학원 전
자공학과 박사수료
1996년 3월~현재 국립 익산대

학 전기과 부교수

관심분야 : 디지털 신호처리, 암호시스템, xDSL



김 환 응

1973년 2월 전북대학교 공과대학
전기공학과 공학사
1978년 2월 전북대학교 대학원 전
기공학과 공학석사
1984년 8월 전북대학교 대학원 전
기공학과 공학박사
1986년 9월~1987년 8월 캐나

다 마니토바대학교 객원교수

1994년 11월~1996년 11월 대한전자공학회 전북지부장

1979년 3월~현재 원광대학교 공과대학 전자공학과 교
수

1998년 5월~현재 공업기반기술개발사업 기획평가단 심
의위원

관심분야 : 회로 및 시스템, 신호처리 VLSI, 신경망 회로
VLSI, 이동통신 회로설계