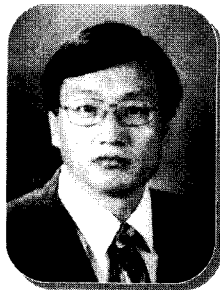


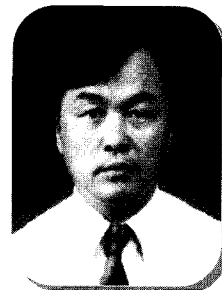
## Field Emission Display 개발동향 및 전망



· 송윤호 ·  
한국전자통신연구원  
책임연구원



· 이진호 ·  
한국전자통신연구원  
책임연구원



· 권상직 ·  
경원대 공과대학  
전자공학과 교수

전계 방출 디스플레이(Field Emission Display : FED)는 금속 또는 반도체로 만들어진 극미세 구조의 전계 에미터(field emitter)에 전기장을 인가하여 진공 속으로 방출되는 전자를 형광체에 충돌시켜 화상을 표시하는 디스플레이 소자로서, 원리적으로 브라운관(CRT)의 우수한 표시 특성을 그대로 가지면서 경량 박형화가 가능하기 때문에 "Thin CRT" 라고 불리기도 한다. FED는 원리적으로 고휘도, 저소비전력, 빠른 응답속도, 광시야각, 고해상도, 우수한 칼라 표시, 넓은 사용온도 범위 등 CRT 및 평판 디스플레이의 장점을 모두 갖추고 있는 이상적인 디스플레이 소자로 평가되어 1990년대 초반부터 세계 유수의 연구 기관들이 본격적인 연구 개발을 추진하여 왔지만, 아직까지 평판 디스플레이 시장에 진입할 만큼 기술 개발이 이루어 지지 못하고 있다. 본 고에서는 FED의 근간이 되는 전계방출 소자의 원리 및 종류, FED의 핵심요소 기술, 최근 연구 개발 동향, FED의 응용 분야 및 상용화 가능성 등에 대하여 살펴보기로 한다.

### 1. FED 기술 개요 및 특징

FED는 1980년대 후반에 프랑스의 LETI가 마이크로 팁을 이용하여 디스플레이에의 응용가능성을 제시하고 개발하기 시작함

으로써 상업화의 가능성을 보였다. 1992년도 6월에 FED의 생산을 목적으로 Pixel International(현재는 PixTech)사가 설립되었고, Pixel International사는 같은 해 9월에 LETI로부터 FED관련 특허권을 전수 받았다. 1993년도 7월에 미국의 로드 아일랜드에서 개최된 제6회 IVMC (International Vacuum Microelectronic Conference)에서 Pixel International사가 칼라 FED 패널을 시연함으로써 FED 개발 경쟁의 도화선을 마련하였고, 현재에는 세계적으로 10여개에 이르는 업체들이 FED의 제품화를 위하여 매진하고 있다.

FED가 지닌 고유의 특징으로는 CRT와 마찬가지로 음극선발광(cathodoluminescence) 원리로 동작한다는 점(이에 따라 자발광, 높은 효율, 높은 휘도와 넓은 휘도 영역, 천연색 및 높은 색순도, 넓은 시야각 등이 가능함), 픽셀당 많은 수의 전자총을 가짐으로써 고유의 redundancy를 가진다는 점(10%에 이르는 전계 에미터가 손상되어도 단위 픽셀 동작에 지장이 없음.), 동작 속도가 매우 빠르다는 점(응답 속도 : 수  $\mu$ sec), 동작 온도 영역이 넓다는 점( $-45 \sim +85^{\circ}$ C)을 들 수 있다.

FED의 기본 구조는 그림 1에 나타나 보였으며, 이를 이용하여 동작원리를 설명하면 다음과 같다. 즉, 다수의 에미터 팁으로 구성된 전계 에미터 어레이(Field Emitter Array : FEA)는 초소형 전자총으로 동작하며, 게이트와 팁 간에 일정한 전압(수십 V)이 인가

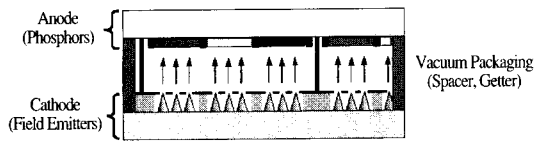


그림 1. FED의 단면 구조.

되면, 전자들이 텅으로부터 양자역학적으로 터널링되어 방출된다. 방출된 전자들은 더욱 큰 아노드(anode) 전압 (수백 V~수 kV)에 의해 형광체가 도포되어 있는 아노드쪽으로 가속되며, 전자들이 형광체에 충돌하게 되면 이 에너지에 의해 형광체 내의 특정 원소 내에 있는 전자들이 여기 되었다가 떨어지면서 빛을 발생한다. 이러한 FED의 구조 및 동작 원리로부터 알 수 있듯이, 평판형으로 구성된 것을 제외하면, 마이크로 전자총을 사용하므로 CRT와 동작원리가 흡사하다.

CRT는 가장 오랫동안 사용되어지고 있는 디스플레이로서, 음극선관광 원리에 의해 자체적으로 모든 색깔의 빛을 낼 수 있을 뿐만 아니라 빛의 질과 강도를 광범위하게 조절할 수 있고, 발생된 빛은 순도와 강도, 그리고 대조비를 유지한 채로 매우 넓은 시야각을 가지면서 전달되며, 제조 공정이 잘 확립되어 간단하며, 가격이 저렴하다는 장점들이 있다. 반면에, 부피가 크고 중량이 무겁고(스크린의 크기가 증가할수록 부피가 거의 세제곱으로 증가하며, 무게도 크게 증가함), 내파(implosion) 및 파괴 가능성이 높다는 문제점도 매우 심각하다.

FED는 CRT와 FPD의 특징을 공히 갖추고 있는 유일한 디스플레이라 볼 수 있다. CRT와의 부분적인 차이점을 살펴보면, CRT는 한 개 (혹은 세 개)의 전자총으로 스크린을 편향/주사함으로써 상을 형성하나, FED는 한 개의 픽셀 내에 수백 개에 이르는 전자 방출원이 있어 주사할 필요가 없고(FED의 양극 전압은 300~10,000V이며, CRT의 경우 15~30kV임.), CRT는 열 음극 소자인 반면에 FED는 냉 음극 소자라는 점만 다르다. 이에 따라 FED는 빠른 응답속도, 고휘도, 저소비 전력, CRT같은 높은 색순도, 광시야각, 내환경성, 넓은 사용온도, 중소형, 대형 가능, 경박단소의 장점을 가진다. 그림 2는 현재까지 개발된 FED 시제품을 보여준다.



그림 2. 12.1" 단색(PixTech), 13.2" 칼라(Sony/Candescent), 32" 칼라 FED 개발 시제품(Samsung).

## 2. FED의 요소 기술 및 현황

FED의 핵심 요소 기술을 살펴보면 크게 냉전자 방출원을 중심

으로 하는 캐소드 기술, 형광체를 중심으로 하는 아노드 기술, 진공 패키징 공정 및 유지 기술, 그리고 구동 회로 기술 등으로 나누어진다.

### 2.1 캐소드 기술

캐소드의 냉 전자원은 열 전자와는 달리 전계 방출(field emission) 메커니즘으로 이루어지는데, 전계 방출은 진공 내에 있는 금속 표면에 0.5 V/Å 이상의 전계가 인가될 경우, 금속 표면의 전위 장벽이 얇아지면서 금속 내의 전자들이 양자 역학적으로 터널링하여 진공 내로 방출되는 현상을 일컫는다. 이때 전계 방출 전류는 식 (1)과 같은 Fowler-Nordheim (F-N) 식으로 표현된다. 이를 통하여 전계 방출 전류임을 확인함과 동시에 유효 일함수나 방출 면적 등을 구할 수 있다. 즉,

$$I = aV^2 \exp(-b/V) \quad (1)$$

여기서,

$$a = (1.56 \times 10^{-6} \beta^2 A / 1.1 \phi_0) \exp\{10.4 / \phi_0^{0.2}\}$$

$$b = 6.44 \times 10^7 \phi_0^{3/2} / \beta$$

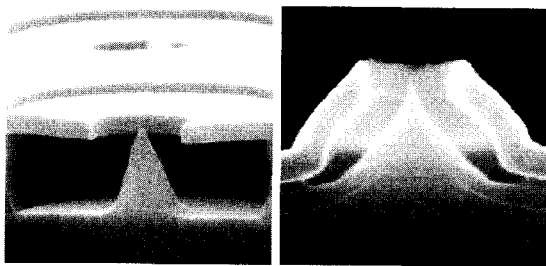
이때, A는 전계방출 면적을 나타내고,  $\phi_0$ 는 일함수,  $\beta$ 는 전계 증배 계수( $E = \beta V$ )이다. 이 식에서 우세한 항은 지수항으로서 전계가 증가하고( $E = 1.74 \times 10^7 \sim 8 \times 10^7$  V/cm) 일함수가 감소하면( $\phi = 0 \sim 5$  eV) 전류 (I)는 매우 급격히 증가한다는 것을 알 수 있다. 따라서 전자 방출원을 설계할 때 텅에 인가되는 전계가 최대가 되고, 방출원의 일함수가 최소가 되도록 설계하는 것이 작은 인가 전압에서 큰 방출 전류를 얻는데 매우 중요하며, '전자'와 '후자'는 각각 전자 방출원의 '구조'와 '재료' 적인 특성에 관계한다. 일반적으로 전계를 증가시키는 방법으로는 외부 인가 전압을 증가시키는 방법이 있으나 이는 주변 회로와의 매칭 및 절연 파괴 전압에 의해 제한되며, 방출부와 전극 간의 거리를 줄이는 방법은 리소그래피 등의 공정의 한계에 의해 제한을 받는다. 따라서, 방출부의 형상을 뾰족하게 형성하는 방법이 가장 효과적인데, 이와 관계되는 것이 전계 증배 계수  $\beta$ 이며,  $\beta$ 는 전극에 인가되는 전압(V)와 이로 인해 방출부에 인가되는 전계(E)의 비례 상수인데, 에미터 구조에 따라 달라지는 값이다. 일반적으로  $\beta$ 값은 에미터 팁 끝의 반경에 반비례하며, 에미터 높이에 비례한다. 즉, 끝이 높고 뾰족한 팁일수록  $\beta$ 가 크므로 인가 전압(V)이 동일하더라도 방출부에는 큰 전계가 걸리게 된다.

이러한 에미터의 구조 및 재료적인 측면이 고려되어 지금까지 여러가지 형태의 에미터가 개발되고 있다. FED에 응용하기 위하여서는 가격, 제조방법, 방출전류, 구동전압, 신뢰도, 대면적화, 균일도 등의 변수가 종합적으로 고려되어야 하며, 이러한 에미터의

개발은 FED개발에서 가장 중요한 부분이라고 할 수 있다. 전자 방출원은 크게 팁 형과 평면형으로 분류될 수 있으며, 팁 형의 경우에는 금속 팁과 실리콘 팁, 평면형의 경우에는 탄소 계열 박막(다이아몬드, Diamond-Like Carbon : DLC, graphite 등), 표면 전도 에미터(Surface Conduction Emitter : SCE), MIM(Metal-Insulator-Metal)이나 MIS(Metal-Insulator-Semiconductor), CNT(Carbon Nanotube) 등이 대표적이다. 또한 이러한 전계방출 에미터와 박막 트랜지스터(Thin-Film Transistor)를 집적하여 이른바 능동 구동형의 에미터 어레이(active-matrix emitter array)도 최근 많이 연구되고 있다.

팁 형 전자 방출원의 경우 게이트 홀의 직경을 줄임으로써 저전압 구동이 가능할 뿐만 아니라, 화소 내 전자 방출원 수의 증가, 방출 전류의 증가 등의 효과를 볼 수 있으며, 이를 위해 고품위 게이트 절연막의 형성, 팁의 종횡비 증가, 새로운 리소그래피 공정의 적용 등이 이루어지고 있다. 리소그래피에 있어서는 홀로그래픽이나 전자선 묘사 등을 통하여 서브 마이크론의 직경을 갖는 게이트 홀이 얻어지고는 있으나, 유리 기판의 표면 거칠기, 패턴의 원형성, 생산성 등의 문제점이 패널의 크기를 20 인치급으로 증가시키는 데에 큰 제약으로 작용하고 있다.

팁형의 전자원 중 금속 팁의 경우, Spindt에 의해 처음으로 제조되어 Spindt 팁이라고도 하는데, 이 경우 팁의 재료로는 주로 몰리브덴을 사용하며, 높은 전류 밀도를 얻을 수 있는 장점을 지닌다. 초기 FED패널의 대부분은 금속 팁을 사용하였지만 팁의 안정성/신뢰성과 제조공정의 어려움 등으로 아직 상용화가 되지 못하였다(그림 3(a)). 실리콘 팁의 경우, SF<sub>6</sub> 가스 등을 이용한 플라즈마 식각 방법으로 실리콘 기판의 등방성 식각을 이용하여 제작하는데, 이러한 실리콘 팁은 구조 조절이 용이하고, 균일성이 우수하며, 반도체 공정과 호환성이 있는 장점이 있는 반면에 방출 전류가 불안정하고, 팁의 파괴 우려가 크고, 표면 산화막이 존재하고, 패널 크기가 제한되는 단점이 있다(그림 3(b)).



(a)Mo-Tip. (b)Si-Tip.  
그림 3. 팁형·에미터역 SEM사진(ETRI).

평면형 전자원 중, SCE는 2쌍의 백금 전극에 PbO초미립자막을 잉크젯 방식으로 형성하고 통전함으로써 백금 전극간 중앙부의 PbO막에 10nm정도의 균열을 형성시키고, 그 균열사이에서 전자

가 방출되는 에미터로서, 저가격화 및 대형화에 장점이 있다. 그러나 표면전류에 비해 아노드로 날아가는 전자의 비율이 매우 낮은 단점이 있다. Canon 및 Toshiba가 SCE의 대형화할 수 있는 장점을 PDP의 1/5의 전력소모를 가지는 30~40인치급 이상의 중 대형 디스플레이 시장 진입을 목표로 개발하고 있다.(그림 4(a)).

MIM구조의 에미터는 알루미늄 전극위에 양극산화를 하여 5.5nm의 얇은 절연막을 금속층사이에 형성시키고 전자의 터널링에 의한 전자방출을 이용하는 구조로, 절연층 내부에서의 전자를 발생시키기 때문에 외부 오염에 강한 장점이 있다(그림 4(b)).

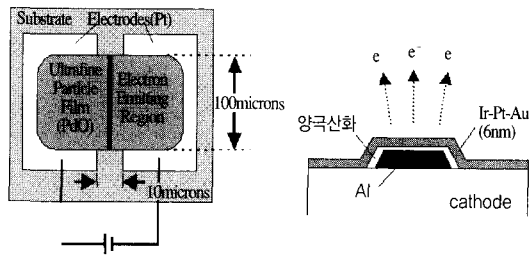


그림 4. (a) Surface Conduction 에미터(Canon). (b) Metal-Insulator-Metal 에미터(Hitachi).

평면 형에 속하는 탄소 계열 박막의 경우, 대면적화가 용이하며, 일함수가 낮고, 물리·화학적으로 안정하고, 열 전도도가 큰 장점이 있어 DLC를 중심으로 많이 연구되고 있다. 그러나 방출 영역이 정확히 정의되지 않으며, 균일도가 크게 좋지 않고, 조절 전극인 게이트가 있는 3극 구조를 만들기가 용이하지 않다는 한계가 있다.

최근 연구 개발이 활발한 CNT(탄소 나노 튜브)의 경우 전계 방출 성능을 향상시킬 수 있는 두 인자, 즉 이상적인 구조와 낮은 일함수를 가지는 특징으로 인해 이를 이용한 FED 개발이 가속화되고 있다. 이러한 CNT의 합성방법으로는 아크-방전(arc-discharge)과 화학적 증착법(CVD)이 있으며, 전자는 주로 single wall형태로 만들어 지는데, 유기 바인더와 용매 등을 섞어 스크린 인쇄(screen printing) 방법으로 저가격으로 대형의 캐소드 기판을 제작할 수 있다. CVD에 의한 방법은 CNT가 한 방향으로 잘 정렬된다는 장점과 선택적으로 성장된다는 측면에서 장점을 가진다. 그러나 아직까지 증착 온도가 높아 소다라임 유리기판에서 성장시킬 수 있는 단계는 아니다. CVD방법으로 합성된 multi-walled CNT의 SEM 및 TEM 사진으로부터 CNT가 한 방향으로 잘 정렬되어 있음을 관찰할 수 있다(그림 5).

FED의 응용에서 전계 에미터는 게이트를 가진 삼극형 구조로 만들어져야만 방출 전류를 낮은 전압으로 쉽게 제어할 수 있게 되고, 이에 따라 FED의 gray scale을 쉽게 구현할 수 있다. CNT 에미터의 경우, 현재까지 이상적인 삼극형 구조는 개발되지 못하였지만, 그림 6과 같이 가능성이 높은 여러가지 구조들이 제안·개발되고

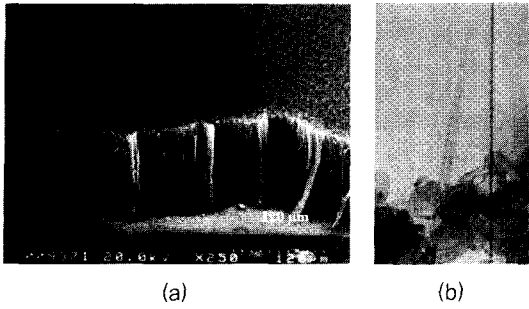


그림 5. CNT 구조개요, Thermal CVD 방법으로 성장된 Multi-wall, CNT의 SEM 및 TEM 사진.

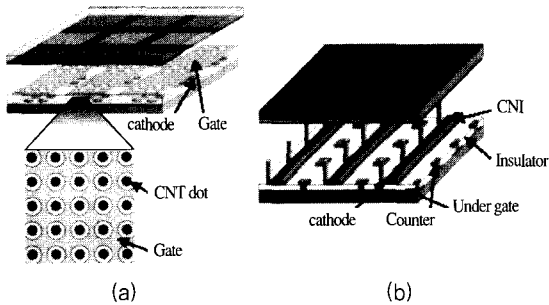


그림 6. 일반적으로 출 삼극형 CNT 및 Undergate CNT의 구조(Samsung).

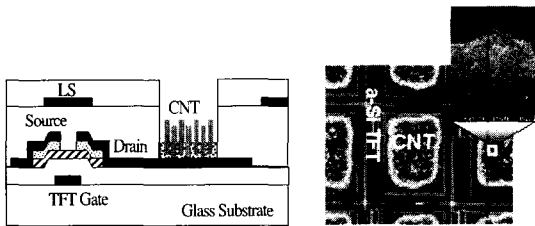


그림 7. 능동구동 CNT 캐스트(ETRI).

있다. 이극형 CNT 에미터는 FED 응용에 극히 어렵지만, 그림 7과 같이 각 픽셀마다 CNT의 제어 트랜지스터가 있는 능동-구동 에미터는 FED의 응용에 상당히 가능하리라 판단된다. 특히, 능동-구동 FEAs는 전계 방출에 필요한 전압에 관계없이 디스플레이의 스캔 및 데이터 구동전압을 낮출 수 있어 구동회로의 가격 절감은 물론 소비전력을 크게 낮출 수 있고, 또한 FED의 특성(균일도, 신뢰성, 휘도) 및 제조 수율도 향상시킬 수 있는 장점을 가진다.

한편, 아노드에 고전압을 사용하는 FED의 경우, 전자의 집속 문제도 고려되어야 하는데, 팁과 아노드 전극간의 거리가 1mm 이상이 되면 전자선이 퍼지는 것을 막기 별도의 초점 조절용 전극을 설치하여야 하는데 그렇지 않을 경우, 색 순도의 저하, 대조비 감소, 분해능 감소의 원인이 된다.

## 2.2 아노드 기술

FED의 아노드 기술은 주로 형광체 개발에 역점을 주고 있는데,

아노드에 인가되는 전압에 따라 크게 고전압 형광체와 저전압 형광체 개발로 분류되고 있다. 고전압 형광체의 경우, 3,000V 이상의 전압에서 동작하며, 형광체는 P-22 등 확립된 CRT용 형광체를 사용하여 고휘도를 얻을 수 있다. 고전압 형광체는 발광 효율이 높고, 수명이 길고, 색 순도가 우수하며, 공급 업체들이 많다는 장점을 지니고 있다. 또한, 형광체 상에 알루미늄 박막의 활용이 가능한데, 이는 후면으로 반사되는 빛을 반사하는 역할, charging 방지, 형광체 분말의 이탈에 의한 팁 오염 방지, 형광체에 전체적으로 균등한 전위가 인가되도록 하며 발생된 전자들을 흡수하는 역할 등을 수행한다. 이러한 고전압 형광체를 아노드에 사용하는 경우, 고전압에 의한 아킹과 전기적 항복을 방지하기 위해 캐소드와 아노드간에 일정거리가 요구되며(아노드에 5kV의 전압이 인가될 때 1.2mm 이상의 간격이 요구됨), 이로 인해 전자빔의 퍼짐을 방지하는 초점 조절 전극, 캐소드판과 아노드판을 지지하기 위해 큰 중형비를 갖는 내부 지지 구조(스페이서)가 부가적으로 필요하게 되며, 또한 고전압하에서 캐소드와 아노드의 신뢰성 확보가 상용화에 중요한 관건이 되고 있다.

한편, 저전압 형광체 FED는 1,000V 이하의 아노드 전압에서 동작하며, 이로 인해 캐소드와 아노드 간의 간격이 300μm 이내로 불과하여 전자선이 크게 퍼지지 않으므로 초점 조절용 전극이 불필요하고, 스페이스 재료로서 간단한 물질들(유리구나 프릿 등)을 사용할 수 있으며, 이에 따라 패널구조가 단순한 특징을 가진다. ZnS : Zn 형광체를 사용한 단색 FED를 Futaba와 Pixtech이 개발한 바 있으나, 낮은 전압과 높은 전류 밀도의 조건에서 형광체가 여기 발광하기 때문에 고휘도를 얻기 위해서는 새로운 형광체 개발이 필수적이다. 저전압 형광체 재료 기술은 아직 완성되지 않은 상태이며 고전압 형광체와 동일한 휘도를 얻기 위해서는 10배 이상의 전류가 필요하고, 성능, 효율, 수명 개선을 향한 노력이 필요하다. 형광체 재료합성(산화물계 등) 및 기존형광체(황화물계 등)의 표면개질 등으로 저전압에서 높은 효율의 아노드 형광판을 만들기 위한 노력이 시도되고 있다.

## 2.3 진공 패키징 기술

FED는 기본적으로 진공 내에서 전계 방출에 의해 동작하는 소자로서 패널 내부가 반드시 진공으로 유지되어야 한다. FED 동작 중 내부에서는 아크방전보다 코로나방전이 많이 일어나는데, 코로나방전은 공기중에서 약 30kV/cm의 전기장에서 일어나며 전극 사이에서 전자나 이온의 흐름이 있는 일종의 플라즈마 방전이다. 코로나방전으로부터 팁을 보호해주려면 FEA가 고진공에 놓여져야 한다. 그리고, 잔류 가스가 미세홀의 내에 있을 때 방전의 원인이 되므로 최대한의 잔류 가스를 줄여주어야 한다. 이를 위해서는 우선 배기 시 패널 내 물질의 degassing을 확실하게 시켜주어야 하고, degassing은 최소 400°C 이상의 온도에서 이루어져야 한다. 그러나 이 정도의 고온에서는 유리가 비틀리거나 깨질 수가 있고 이로 인하여 전극이 파손될 수도 있으므로 주의해야 한다. 이와 더불어

getter를 사용하면 진공도를 향상시킬 수 있고, residual gas 효과도 줄일 수 있는데, FED의 작은 체적을 고려해 non-evaporable getter를 사용할 것으로 예상된다.

FED의 패키징 공정이 가장 이상적으로 이루어지기 위해서는 충족되어야 할 여러 조건들이 있는데, 우선 진공도가  $10^{-6} \sim 10^{-7}$  Torr 범위 내에서 유지되어야 하고, 프리트로부터의 누설율이 디스플레이용 유리 기판의 경우에 상당하여야 하며( $400^{\circ}\text{C}$ 에서  $10^{-3}$  cc/sec,  $20^{\circ}\text{C}$ 에서는  $10^{-12}$  cc/sec 수준이어야 함), 프리트와 이를 통과하는 연결 전극 간에 반응이 일어나지 않아야 한다. 실링 재료들이 이동하거나 소자를 오염시키지 않아야 하고, 상부 및 하부 기판들과 친화성이 있어 응력 등을 발생시키지 않아야 한다. 공정과 관련하여서는 가능한 적은 공정이 바람직하고, 캐소드판과 아노드판간의 정렬 및 유지가 가능하여야 하며, 패키징에 걸리는 시간이 짧아 생산성을 높일 수 있어야 한다. 아울러, 프리트 실링이 차지하는 영역이 가능한 적어 화면 영역을 최대한으로 높일 수 있어야 하며, 진공 패키징 후에 고전압에 견딜 수 있어야 한다. 현재는 tube-based 진공 패키징을 많이 사용하는데, 생산성 및 품질을 고려하면 궁극적으로는 그림 8과 같이 진공내 실링 공정과 더불어 in-line 패키징 공정 개발이 요구된다.

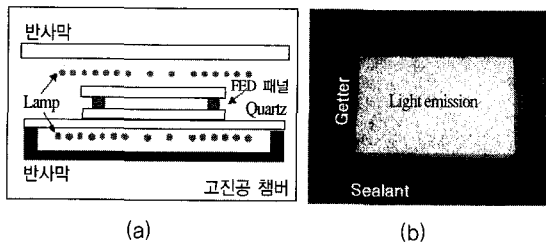


그림 8. 진공내 실링 장치 개략도 및 제작된 패널(ETRI/Epion).

스페이스는 FED 패널의 수직  $\mu\text{m} \sim$  수 mm에 이르는 진공 간격(vacuum gap)을 일정한 폭으로 유지하고, 외부의 대기 압력에 의하여 진공 상태에 있는 아노드 전면(face plate)과 캐소드 후면(base plate)이 붕괴되는 것을 방지하며, 소자 동작시 화소들간의 상호 간섭 현상인 cross-talk를 방지하는 역할을 한다. 이러한 스페이스들은 양극 기판 내의 black matrix 내에 위치하여 외부로부터 관찰되지 않아야 하며( $50 \sim 100 \mu\text{m}$ 의 폭, 25 : 1 이상의 중형비), 물리-화학적 내구성이 있어야 하며, 가열 공정시 응력에 의한 손상 방지를 위하여 상-하부 기판과의 열 팽창계수 등이 부합되어야 한다. 또한, Out-gassing, 형광체와의 반응성 등이 적어야 하고, 누설 전류가 적어야 하고, 음극-양극 간의 절연이 유지되는 범위 내에서 표면 전도성이 있어 전하 축적이 방지되어야 하며, 전기적 항복이 일어나지 않도록 2차 전자의 발생이 적어야 한다. 현재 상술한 조건을 충족시킬 수 있도록 다양한 재료 및 구조물들이 FED 스페이스로서 개발되고 있으며, 대표적인 것들로는 유리 프리트(glass frit), 폴리이미드(polyimide), 감광성 유리(photo-sensitive

glass), 유리 구조물(cross, pillar, rib, ball 등), 세라믹 구조물, 그리고 광 파이버(optical fiber) 등이 있다.

## 2.4 구동 기술

칼라 FED의 구동에 있어서는 두 종류의 어드레싱 방식이 적용되고 있는데, switched anode 방식과 non-switched anode 방식이 이에 해당한다. switched anode 방식의 경우, 세 개의 sub-pixel들이 한 개의 FEA 화소를 공유하며, 동일 색의 모든 양극 sub-pixel들은 서로 전기적으로 연결되어 있다. 이 경우 많은 수(세 배)의 전자 방출원을 사용할 수 있어 집적도를 높일 수 있는 장점과 아노드판과 캐소드판의 정렬에 크게 민감하지 않다는 장점이 있으나, 인접한 형광체 sub-pixel간에 전기적 항복을 피하기 위해 아노드 전압을 일정치 이하로 하여야 하며(주로 1,000V 이하), 아노드 전압이 세 배 빠른 속도로 인가되어야 한다.

Non-switched anode 방식의 경우, 양극 sub-pixel마다 별도의 FEA sub-pixel을 사용하며, 한 화소 내에 있는 세 개의 sub-pixel들이 전기적으로 연결되어 있다. 이 방식에서는 인접한 아노드 sub-pixel들간에 전가적 항복이 일어날 우려가 적어 고전압 동작이 가능하며, 아노드 전압을 고속으로 변환시킬 필요가 없다. 반면에 게이트 전극의 수가 세 배로 증가하고, 각각의 양극 sub-pixel이 사용하는 전자 방출원 수가 적어 단위 방출원당 상대적으로 높은 전류를 제공하여야 하며, 아노드판과 캐소드판의 정렬 오차가 색 순도에 영향을 미치게 된다.

## 3. FED의 상용화를 위한 해결과제

FED가 우수한 표시 특성을 가지고 있으면서도 초기에 디스플레이 시장에 진입하지 못한 가장 큰 이유는 패널의 안정성과 신뢰성, 제조 수율과 생산성을 확보하지 못하였기 때문이다. 아직까지 고효율의 저전압용 형광체 물질이 없기 때문에 대부분 CRT 형광체를 이용한 고전압 FED를 개발하고 있다. 그러나, 아노드에 5kV 이상의 가속 전압을 인가하는 고전압 FED에서는 양이온에 의한 캐소드 전계 에미터 팁의 파괴와 전기적 아킹(arching)이 쉽게 발생될 수 있기 때문에 패널의 안정성과 신뢰성에 심각한 문제를 초래한다. 또한, 전자총인 캐소드의 경우 초기에는 주로 원추형의 Spindt-팁이 사용되었는데, 이것은 고가의 미세 패터닝 공정과 전자빔 증착 공정을 사용하여야 할 뿐만 아니라 양이온에 의한 소자 파괴가 쉽게 일어날 수 있는 단점을 지닌다.

현재 평판 디스플레이 시장은 노트북 컴퓨터와 모니터 응용 분야의 경우 TFT-LCD(Thin-Film Transistor Liquid Crystal Display)가, 40" 이상의 TV에서는 PDP(Plasma Display Panel)가 장악하고 있으며, 소형 저급 패널 분야에서는 STN(Super Twisted Nematic) LCD 및 OLED가 경쟁을 벌이고 있다. 그러나, 20"~40" TV 시장은 여전히 CRT가 주류이며, 평판 디스플레이 입장에서 보면 이 시장은 아직까지 무주공산으로 남아 있다.

1990년대 초.중반에 개발된 FED는 초기 시장 진입에 실패함에 따라 평판 디스플레이 시장에서 경쟁력을 가질 수 있는 응용 분야가 불투명하나, 소형인 경우 차량에 탑재되는 CNS(Car Navigation System)와 같이 소비전력과 구동전압에 크게 관계없이 휘도, 시야각 등의 성능이 중요한 응용 분야에 여전히 유력한 후보 기술이며, 중.대형인 경우 20"~40" TV 시장을 노려볼 만하다. 특히, 20"~40" TV 분야에서 TFT-LCD는 휘도와 응답속도면에서, PDP는 소비전력과 색재현을 그리고 해상도면에서 아직까지 경쟁력을 갖추고 있지 못하기 때문에 FED가 시장 진입의 기회를 가질 수 있으리라 생각된다. 그러나, 현재 평판 디스플레이 시장에서 경쟁력은 단순히 성능 뿐만 아니라 가격이 대단히 중요한 요소로 자리 잡고 있으며, LCD는 최근 성능 향상과 더불어 패널 단가를 급격히 떨어뜨려 평판 디스플레이 시장에서 시장 지배력을 더욱 더 공고히 다지고 있다. 이에 따라 OLED, FED 등의 차세대 평판 디스플레이는 성능과 가격면에서 LCD에 경쟁할 수 있는 기술을 개발하여야만 한다. FED의 모듈 단가를 살펴보면, 제조 공정면에서는 캐소드와 진공 패키징이 크게 좌우하고 재료/부품에서는 구동회로가 큰 부분을 차지한다. 향후 FED가 평판 디스플레이 시장에 성공적으로 진입하려면 다음과 같은 기술들이 조속히 개발되어야 할 것으로 생각된다.

첫째, 저전압 어드레싱이 가능하면서 값싼 공정으로 대면적에 제작할 수 있는 박막형 또는 프린터-가능한 전계 에미터 기술을 개발하여야 한다. 전계 에미터 캐소드의 어드레싱 전압은 FED의 구동 소비전력과 구동IC 가격에 결정적인 영향을 미치므로 현재 사용되고 있는 LCD의 구동IC를 그대로 사용할 수 있을 정도로 낮아야 하며, 패널의 안정성 및 신뢰성을 확보하기 위해서는 평면형 전계 에미터가 바람직하다. 또한, FED가 대형 패널 분야에서 가격 경쟁력을 갖기 위해서는 전계 에미터를 값싸게 제작할 수 있어야 한다. 현재 CNT, SCE, MIM 또는 BSD 등이 연구되고 있으며, 특히 CNT는 그 자체가 매우 뾰족하여 전계 방출이 쉽게 일어나고 또한 대면적화가 쉬운 공정으로 제작할 수 있다는 장점을 지녀 국내 삼성SDI를 비롯한 여러 기관에서 활발히 개발하고 있다.

둘째, 스페이서/전자빔 집속 문제이다. CRT 아노드 기술을 사용하는 고전압 FED의 경우 고휘도를 얻기 위해서는 아노드에 5kV 이상의 가속 전압을 인가하여야 하고, 이를 위해서는 아노드판과 캐소드판을 2mm 정도의 큰 간격으로 유지하여야 한다. 이에 따라, 폭이 좁고도 종횡비(aspect ratio)가 큰 스페이서(spacer)를 개발하여야 하며, 이 스페이서는 또한 전자빔에 의한 축적(charging)과 2차 전자 발생을 억제할 수 있는 물질이어야 한다. 또한, 아노드판과 캐소드판 사이의 간격이 넓기 때문에 전자빔이 아노드의 형광체에 도달할 때 크게 발산되어 색분리 및 고해상도의 패널을 얻기 어려운 문제가 생기기 때문에 반드시 전자빔을 집속해야 하며, 더불어 고전압에 의한 전기적 아킹을 방지할 수 있는 패널 구조를 개발하여야 한다.

셋째, 진공 패키징으로, 이것은 FED의 마지막 제조 단계로서 패

널의 수명과 제조수율, 생산성에 크게 영향을 미치는 기술이다. 현재까지는 진공도가 우수한 배기 튜브(evacuation tube) 방식을 선호하나, 공정 시간이 긴 단점을 가지고 있다. 따라서, FED의 경쟁력을 확보하려면 진공 패키징의 수율과 생산성을 높여야 하는데, 현재 인-라인 진공-챔버 실링(in-line vacuum-chamber sealing) 공정이 유력한 기술로 개발되고 있다.

넷째, 저전압 형광체의 개발이다. 저전압 형광체가 개발되면 전자빔 집속, 스페이서, 전기적 아킹에 의한 캐소드의 불안정성/신뢰성 문제를 일시에 제거할 수 있어 FED의 경쟁력을 결정적으로 향상시킬 수 있지만, 불행히도 물질 개발은 쉬운 문제가 아니다. 현재 산화물 형광체가 많이 연구되고 있지만 아직 500V의 정도의 가속 전압에서 발광 효율이 높고 열화 문제가 없는 형광체 물질을 개발하지 못하고 있다.

이상과 같은 문제들이 해결된다면 FED는 소형을 시작으로 해서 중대형 디스플레이 분야까지 진입이 가능할 것으로 생각된다.

#### 4. FED의 발전전망

일본 노무라연구소 분석에 의하면 2005년 기준으로 평판 TV 총 수량은 약 800만대, 금액은 약 12조원 정도이며 2010년 기준으로 수량은 약 3,000만대에 금액은 40조원이 넘을 것으로 예측하고 있다. 이 중 FED의 초기 시장진입 시 가장 유력한 주력 제품인 30"급 시장은 2005년 140만대, 2010년 700만대 수준이다. CNT-FED의 경우, 강력한 가격경쟁력과 함께 패널의 크기 제한이 없으며 고해상도가 가능하다는 점을 고려하면 2005년 진입 가능 시장은 크게 늘어나 500만대 규모이며 2010년에는 약 2,000만대로서 전체 평판 TV 시장 규모의 2/3가 진입이 가능한 시장으로 보인다.

기술적 측면에서 완숙 단계에 있는 마이크로팁 FED 외에 CNT-FED 사업을 구축하기 위한 주변 환경은 이미 구성되어 있다고 보며 그 이유는 필요한 재료 및 공정설비 중에서 일부를 제외하고는 이미 상용화되어 있다고 볼 수 있으며 LCD나 PDP에 사용되고 있다. 이렇게 판단하는 요인은 그림 9(a)에서 보는 바와 같은 CNT-FED의 구조적 특성이 이미 마이크로팁 FED(MT-FED)에 비해 매우 간단하며 이를 구현하기 위한 공정측면에서 용이성도 그림 9(b)에서와 같이 높을 것으로 기대되기 때문이다.

보다 구체적인 예로서 CNT-FED 구성에 있어서 핵심요소인 전자방출원 재료인 카본나노튜브는 현재 소규모 해외업체를 중심으로 고품위 재료가 판매되고 있고 최근 들어 국내 일진나노텍 및 일본의 Honzo Chem.이 대량 양산체계를 갖추고 재료공급에 나서고 있다. 이와 함께 이 재료를 이용한 페이스트 제조업체 역시 소규모 및 대규모 업체들이 참여하여 CNT 페이스트 개발에 활발히 나서고 있어 전자방출원 분야는 주변환경이 갖추어져 있다고 판단된다. 우리는 디스플레이의 기본재료로서, 미국 Coming사, 독일의 Schott사, 일본의 Asahi Glass, 프랑스의 Saint Gobain사 등이 생산하는 제품을 사용하고 있으며 아노드, 캐소드 프레임 및 스페

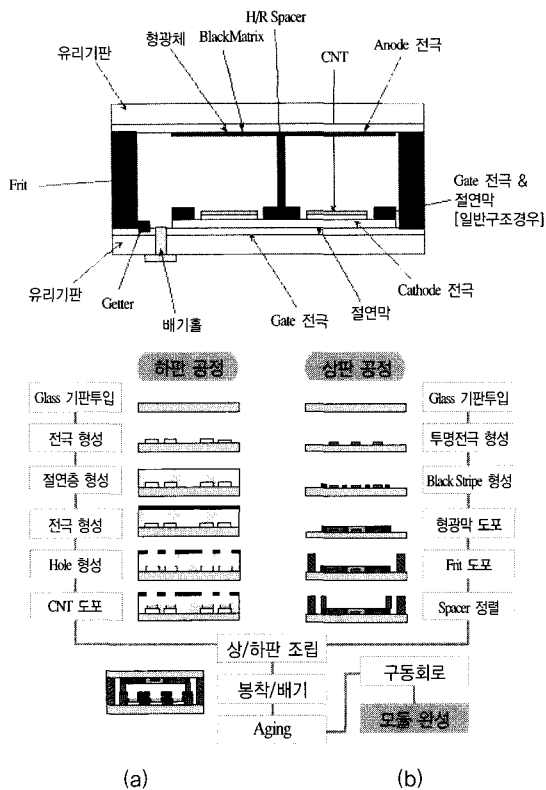


그림 9. (a) CNT-FED 패널구조 및 (b) 스크린 프린팅에 의한 제조공정 순서.

이서 용으로 사용되고 있다. 유리 제작사 중에서 직접 스페이서를 개발하여 생산하는 업체는 프랑스의 Saint Gobain을 들 수 있다. 형광체는 고전압용으로는 P22계열의 기존 CRT용 형광체를 사용할 수 있으며, 중전압용으로는 Red, Blue 형광체의 발광효율을 높이기 위한 개발의 진전이 필요한 상황이다. 진공실장용 재료인 frit 및 getter 역시 보다 향상된 재료가 필요하기는 하나 근본적으로 CRT 사용 재료의 활용이 가능하고 공급업체들의 적극적인 개발이 진행되고 있다. 고성능 CNT-FED는 구동전압을 현저히 낮추어 일반적인 범용 IC Driver를 사용할 예정임으로 특별한 IC 개발이 필요치 않으며 국내 업체들로부터의 공급이 가능하다.

이와 같이 많은 장점을 가지고 있는 CNT-FED의 기술은 기존 보유 기술들의 융합 및 개선을 통한 차세대 디스플레이 종합기술로서 발전될 가능성이 클 뿐만 아니라 성공을 전제로 할 경우 제품에 관계없이 고화질 저가격을 장점으로 대규모의 시장 형성이 가능하다. 따라서 정책적 차원에서 정부의 지속적이고 전문적인 지원이 필수적인 분야라 하겠다. 현재 국내 업체가 이 분야에서 기술적 선도를 하고 있으나 미국, 일본, 유럽 등의 디스플레이 업체들이 CNT-FED의 가능성 확인을 위한 국책과제의 도출 및 연구가 외부 공개 없이 활발히 진행되고 있는 상황이다. 이에 국내 관련 업체들이 공동으로 양산화를 위한 연구를 진행하여 사업화

를 목표로 대응해가면 현재 한국이 유지하고 있는 디스플레이 강국으로서의 위치 및 국가의 기술경쟁력 제고에 일익을 담당할 수 있으리라 판단된다.

## 5. 결론

FED는 고화질이며, 시야각이 넓고, 응답속도가 빠르며, 소비전력이 낮고, 동작온도범위가 넓으며, 대화면 제작이 가능하고, 제조단가가 비교적 낮은 등 다른 평판형 표시소자와 비교해 성능이 뛰어나고 가격경쟁력이 우수한 디스플레이 장치이다. FED는 기술적으로 10이하의 소형에서부터 40급의 대형에 이르기까지 제작이 가능하여, 응용면에서 소형의 HMD, 의료기기, 계측기, car navigation 시스템, 이동 통신용 단말기 등만이 아니라 시장이 가장 큰 노트북, 데스크탑 모니터 등과 대형의 벽걸이 TV 및 HDTV 등, 아주 광범위한 응용이 가능하다.

FED를 대표하는 에미터는 FED의 성능에 가장 중요한 요소이며 에미터의 물질이나 구조는 다양하게 개발되어 있다 그중에서 Mo 물질에 기초한 마이크로팁(Micro Tip : MT) 에미터는 20인치 이하의 디스플레이 분야에서 화질 및 소비전력 면에서 탁월한 성능을 보여주며 카본나노튜브(Carbon Nano Tube : CNT)를 기초로한 CNT-FED는 20인치 이상 40인치 까지의 디스플레이 분야에서 화질이나 양산성 면에서 차세대 신기술 디스플레이로서 주력 기술로 부상할 것으로 보인다.

조속히FED가 평판 디스플레이 시장을 성공적으로 진입하려면 패널의 안정성과 신뢰성 문제를 빠른 시간내에 해결하여야 하며, 이를 위해서는 내구성이 우수한 캐소드와 전기적 아킹을 억제할 수 있는 구조 외에도 저전압 구동의 대면적 전계 에미터 기술, 전자빔 집속 및 아킹 방지 기술, 고진공 패키징 기술 등을 개발하여야만 하고, 궁극적으로는 저전압 형광체를 개발함으로써 여타 평판 디스플레이 기술과 겨룰 수 있는 경쟁력을 가질 수 있다.

## 참고 문헌

- [1] Brodie and P. Schwoebel, "Vacuum microelectronic devices," Proc. IEEE, Vol. 82, July, 1994.
- [2] K. Derbyshire, "Beyond AMLCDs: Field emission display?," Solid State Technology, Vol. 55, 1994.
- [3] B. R. Chalamala, Y. Wei and B. Gnade, "FED up with flat tubes", IEEE Spectrum, p. 42, April, 1998.
- [4] J. H. Lee, S. W. Kang, Y. H. Song, K. I. Cho, S. Y. Lee, and H. J. Yoo, "Fabrication and emission characteristics of silicon field emitter arrays fabricated by SOG etch-back process," J. Vac. Sci. Tech. Vol. B15, No. 1, 1998.
- [5] 이종덕, "전계방출 이론 및 응용", 청범출판사, 1998.
- [6] Y. H. Song, D. H. Kim, S. W. Kim, S. K. Lee, M. Y. Jung, S.

Y. Kang, Y. R. Cho, J. H. Lee, and K. I. Cho, "Active-controlled diode emitters with TFT and CNT for FED applications" SID, p. 1252, 2000.

[7] K. Konuma, Y. Okada, A. Okamoto, Y. Tomihari, S. Miyano, and Y. Yani, "Field emitter array cathode-ray tube," SID, p. 1150, 1999.

[8] C. J. Curtin and Y. I. guchi, "Scaling of FED display technology to large area displays" SID, p. 1263, 2000.

[9] W. B. Choi, D. S. Chung, S. H. Park, and J. M. Kim, "A 4.5-in. fully sealed CNT-based FED," SID, p.1134, 1999.

[10] C. J. Lee, J. Park, S. Y. Kang, and J. H. Lee, "Growth of well-aligned CNT on a large area of Co-Ni co-deposited silicon oxide substrate by thermal CVD," Chem. Phys. Lett. Vol. 323, p. 554, 2000.

[11] C. G. Lee, et al., "The full-color video images with uniquely gated carbon nano-tube field emission displays," SID, p.1125, 2002.

**성 명 : 권상직**

❖ 학 력

- 1982년 경북대 공과대학 전자공학과 공학사
- 1991년 서울대 공과대학 전자공학과 공학박사

❖ 경 력

- 1983년-1988년 한국전자통신연구소 연구원
- 1988년-1992년 서울대 반도체공동연구소 연구원
- 1996년-1997년 Michigan State Univ. 교환교수
- 1992년-현재 경원대 공과대학 전기전자공학부 교수

❖ 주 관심분야

-디스플레이(FED, PDP, OLED), 구동회로, RF-MEMS, 반도체 공정 및 소자

**서 사 약 령**

**성 명 : 송윤호**

❖ 학 력

- 1986년 경북대 자연과학대학 물리학과 이학사
- 1988년 한국과학기술원 물리학과 이학석사
- 1991년 한국과학기술원 물리학과 이학박사

❖ 경 력

- 1991년-현재 한국전자통신연구원 반도체원천기술연구소 책임연구원

❖ 주 관심분야

-디스플레이(FED, PDP, OLED), 반도체 물리 및 소자

**성 명 : 이진호**

❖ 학 력

- 1980년 경북대 자연과학대학 물리학과 이학사
- 1982년 고려대 이과대학 물리학과 이학석사
- 1998년 경북대 자연과학대학 물리학과 이학박사

❖ 경 력

- 1982년-현재 한국전자통신연구원 반도체원천기술연구소 정보표시소자팀장 및 책임연구원

❖ 주 관심분야

-디스플레이(FED, PDP, OLED), 반도체 소자