論文2002-39TC-10-2

GSM/GPRS용 MLSE 등화기의 소프트웨어/하드웨어 통합설계 구조제안

(A Software/Hardware Codesign of the MLSE Equalizer for GSM/GPRS)

全 永 燮 **, 朴 元 欽 *, 鮮于 明 勳 *, 金 敬 昊 **

(Young Seop Jeon, Weon Heum Park, Myung Hoon Sunwoo, and Kyung Ho Kim)

요 약

본 논문에서 제 2세대 및 2.5세대 유럽 이동 통신 표준인 GSM/GPRS에서 사용하는 MLSE 등화기의 하드웨어/소프트웨어 통합 설계를 제시한다. 이를 위해 Viterbi 알고리즘을 기본으로 하는 상관 방식(correlation)의 MLSE 기법 적응 등화기에 대한 알고리즘을 분석하고, TI사의 TMS320C5x 시뮬레이터를 사용하여 등화기의 연산량을 추정하였으며, 삼성의 0.5 ㎛ standard cell library (STD80)를 이용한 로직 합성을 통해 하드웨어 크기를 추정하였다. 이를 기반으로 연산 요구량이 많은 블록에 대해 전용의 하드웨어로 구현함으로써 DSP의 연산 부담을 줄일 수 있다. 또한 연산 요구량이 적은 나머지 블록은 DSP로 설계하여 비교적 간단한 시스템 설계 방법을 결정할 수 있다. 이러한 설계방법을 이용하여 등화기의 효율적인 하드웨어/소프트웨어 통합 설계를 제안한다.

Abstract

This paper proposes a hardware/software codesign of the MLSE equalizer for GSM/GPRS systems. We analyze algorithms of the MLSE equalizer which consists of a channel estimator using the correlation method and the Viterbi processor. We estimate the computational complexity requirement based on the simulation of TI TMS320C5x DSP. We also estimate the gate count from the results of logic synthesis using the samsung 0.5 ㎛ standard cell library (STD80). Based on the results of the complexity estimation and gate count, we propose the efficient software/hardware codesign of the MLSE equalizer based on the results of the complexity estimation and gate count.

Keywords : GSM/GPRS, MLSE 등화기, 비터비, 소프트웨어/하드웨어 통합설계, 채널 추정

* 正會員, 亞洲大學校 工科大學 電子工學部
(School of Electrical and Computer Eng., Ajou Univ.)
* 正會員, 三星電子 通信研究所
(Telecommunications R&D Center, SAMSUNG Electronics)

※ 본 연구는 삼성전자, 과학기술부에서 시행하는 국가지정 연구실 사업(NRL) 및 반도체 설계 교육 센터(IDEC)의 일부 지원을 받아 수행되었습니다.
接受日字:2002年5月22日, 수정완료일:2002年9月23日

Ⅰ. 서 론

이동 통신 채널에서는 다중 경로 간섭에 의한 페이딩(fading)이 발생하므로 백색 부가 가우시안 잡음(AWGN)에 의한 랜덤 에러뿐만 아니라 페이딩에 의한 연집 에러도 함께 발생한다[1-3]. 따라서, 다중경로 채널로 인해 발생되는 심볼 간의 간섭은 통신에 심각한 영향을 주게 되며 이러한 심볼간 간섭을 제거하기 위해

적응 등화 기술의 필요성이 대두되었다.

적응 등화기는 데이터 패킷 사이에 약정된 훈련 순열을 이용하여 훈련 순열 시간동안 데이터간의 간섭이 없는 채널 임펄스 함수를 갖도록 탭 계수를 조절하는 기능이 있다. 따라서, 심볼간 간섭(ISI)과 채널상의 잡음으로 인한 왜곡된 데이터 신호를 복원하기 위한 등화기를 구성할 때, TDL(Tap Delayed Line) 또는 수신된 데이터 열 전체의 확률적 오류를 최소화하는 MLSE (Maximum Likelihood Sequence Estimation)[4 12] 방법이 주로 연구되어 왔다.

채널 계수를 수신되는 신호에 따라 값을 조정하는 적응신호처리 기법을 채널 추정기에 적용한 MLSE 등화기[3, 12], 빠른 채널 추정을 위해 각 스테이트마다 채널 추정기를 구성한 MLSE 등화기[10], 비터비 프로세서에서 구한 에러함수를 이용 채널 계수를 구함으로써 결정 지연을 줄일 수 있는 MLSE 등화기[9] 등이 연구되고 있다.

본 논문은 GSM(Global System for Mobile Communication)/GPRS(General Packet Radio Service)에서 사용되어지고 있는 상관 방식(correlation)을 이용한 MLSE 적응 등화기의 알고리즘 및 성능을 분석하여 효율적인 하드웨어/소프트웨어 통합 설계를 연구하는 데 있다. 전체 시스템에서의 DSP는 대부분이 음성코덱을 처리하는데 사용되어진다. 그러나 클럭 속도의 증가 및 데이터 처리능력 향상으로 음성코덱 뿐만 아니라 시스템 제어 및 신호처리 분야에도 사용하게 되었다.

하드웨어/소프트웨어 통합 설계는 고성능의 복잡한 시스템을 하드웨어와 소프트웨어의 연산 부담을 효율적으로 분배하여 최적의 성능을 가지도록 설계하는 기술이다[13]. 이 설계 기술은 시스템의 성능 향상 및 설계 비용의 최소화 등의 장점이 있으며, 현재 다양한 통신방식을 수용할 수 있는 기술로 하드웨어의 교체 없이 소프트웨어의 변경 및 재구성만으로 통신 시스템의 다중 무선 표준 또는 다양한 서비스에 대한 지원이 가능한 기술로 활발히 연구되어지고 있는 SDR(Software Defined Radio) 기술에 부합하는 유용한 기술로 현재 활발히 연구가 진행되고 있다.

전체 시스템을 DSP나 마이크로 콘트롤러를 이용 소프트웨어만으로 구현하면 좋으나 계산량이 많은 부분은 소프트웨어만으로 실시간 구현이 어렵기 때문에 소프트웨어와 하드웨어의 부담을 적절히 분배한 통합설계를 이용하는 것이 효율적이다. 따라서, 본 논문에서는 통합설계를 위해 Texas Instruments(TI)사의 TMS320C5x DSP를 기반으로 등화기 각 블록별 성능 요구량 분석을 통하여 소프트웨어로 구현 가능한 블록과 구현이 어려운 블록을 결정하며 효율적인 소프트웨어/하드웨어 통합 설계를 제안한다.

본 논문의 구성은 Ⅱ장에서는 GSM/GPRS의 사양에 대하여 설명하며, Ⅲ장에서는 TI사의 DSP 칩을 기반으로 MLSE 등화기 각 블록별 연산 요구량을 분석하고 로직 합성을 통해 등화기 각 블록별 하드웨어 크기를 추정한다. 분석 결과를 토대로 Ⅳ장에서 MLSE 등화기의 하드웨어/소프트웨어 통합 설계에 대하여 기술하며, 마지막으로 Ⅴ장에서 결론을 맺는다.

Ⅱ. GSM/GPRS 사양

GSM 방식은 유럽을 중심으로 표준화 규격 및 관련 기술 개발이 진행되다가 현재는 전 세계적으로 서비스 영역이 급속히 확대되면서 이의 기술 개발이 경쟁적으로 진행되고 있다. GPRS(General Packet Radio Service)는 유럽형 디지털 이동전화 기반의 유럽에서 2000년부터 서비스하는 유럽형 2.5세대 이동전화 기술이다. GPRS는 빠른 속도를 바탕으로 데이터 전송에 적합하도록 설계된 기술이며, 데이터 압축기술을 통해 현재 GSM 방식의 이동 전화 기술보다 배 이상 빠른 속도로 무선 인터넷에 접속할 수 있게 해준다.

1. GSM/GPRS 접속 방식

GSM/GPRS의 접속 방식은 TDM(Time Division Multiplexing)/TDMA(Time Division Multiple Access) 방식으로 하나의 반송파를 여러 사용자가 공유하여 사용하므로 시간 축을 여러 개의 시간 구간으로 나누어서 여러 사용자가 자기에게 할당된 시간 구간을 다른 사용자의 시간 구간과 겹치지 않게 사용하는 방식이다. 시분할 방식 중에서 하나의 송신기에서 여러 개의 사용자에게 보낼 신호를 시간 구간으로 나누어서 하나의 반송파에 신호를 실어서 전송하고, 수신측에서는 자기의 시간 구간에 있는 정보만을 골라내어 수신하는 방식을 TDM이라 한다. 이 경우 신호는 하나의 반송파가 동기가 바뀌지 않고 여러 사용자의 데이터를 변조하여 전송하므로 수신측에서 볼 때 반송파의 동기, 비트 구간 복원, 프레임 동기 등이 비교적 용이하다.

여러 개의 송신기가 하나의 주파수 채널을 이용하여

할당받은 자기자신의 시간 구간에 신호를 실어서 하나 혹은 여러 개의 수신자에게 송신하는 방식을 TDMA 이라 한다. 이 경우 송신되는 신호는 시간 구간마다 송신기가 다르므로 반송파의 동기도 다르고 프레임의 비트 구간(Bit Timing), 프레임 구간(Frame Timing)등이 각각 다르므로 복조기에서 반송파의 동기, 비트 구간 복원, 프레임 동기 등이 TDM 보다 훨씬 어렵게 된다. GSM/GPRS에서 Forward 채널에서는 TDM이 사용되며 Reverse 채널에서는 TDMA 방식이 사용된다.

2. GSM/GPRS 프레임 및 버스트 구조

GSM/GPRS 시스템에서 사용되는 프레임 구조는 8개의 타임 슬롯으로 구성된 1개의 TDMA 프레임, 26개 또는 51개의 TDMA 프레임으로 구성된 1개의 Multiframe, 26개 또는 51개의 멀티프레임으로 구성된 Superframe, 2,048개로 구성된 1개의 Hyperframe으로 나뉜다[5]. <그림 1>에 프레임 및 버스트 구조를 나타내었다.

1) TDMA 프레임

하이퍼프레임(Hyperframe)은 암호화 과정에서 필요한데 타임 프레임 구조 중에서 가장 긴 시간을 가지며 그 길이는 2,715,648 TDMA 프레임으로서 3시간 28분 53.76초이다. 하나의 하이퍼프레임은 2,048 슈퍼프레임으로 이루어지며 슈퍼프레임의 시간은 6.12초이다.

2) 버스트(Burst)

타임 슬롯은 0.577ms의 시간 구간을 가지며, 이것의 물리적인 내용을 버스트라고 한다. 버스트에는 4가지 형태의 full 버스트와 1개의 short 버스트가 존재한다. <그림 1>에 GSM 시스템에서 사용되는 Normal Burst (NB), Frequency Correction Burst(FB), Synchronization Burst(SB), Access Burst(AB) 구조를 나타내었다.

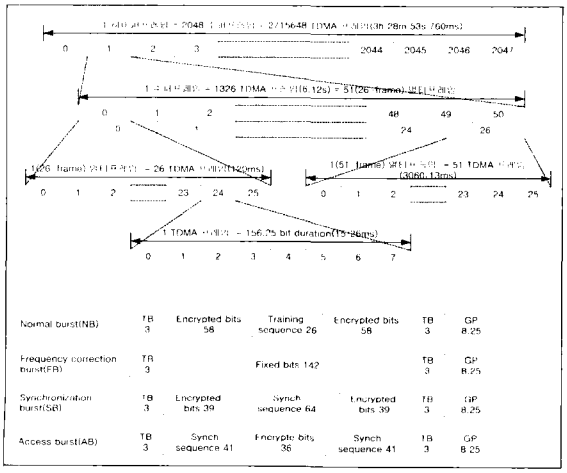

그림 1. GSM의 TDMA 프레임, 버스트 구조
Fig. 1. TDMA Frame, Burst Structure for GSM.

일반 버스트(NB)는 RACH를 제외한 트래픽 채널과 제어 채널 상에서 정보를 전송하는데 사용한다. 이것은 116 암호화된 비트를 포함하고 있으며, 8.25 비트 구간의 완충 시간을 포함한다. 주파수 정정 버스트(FB)는 이동국에 대한 주파수 동기를 위하여 사용되며 일반버스트와 같은 완충 시간을 가지고 있다. BCCH와 함께 전송되며 이러한 주파수 정정 버스트의 반복을 FCCH라고 부른다. 동기 버스트(SB)는 이동국에 대한 시간 동기 정보를 위해서 사용된다. 이것은 긴 훈련순열을 가지고 있으며 TDMA Frame Number와 Base Station Identity Code 정보를 전송한다. 동기 버스트는 주파수 정정 버스트와 함께 전송되며, 이러한 동기 버스트의 반복을 SCH라고 부른다.[14]

3. GSM/GPRS 변조방식

GSM/GPRS 변조방식은 GMSK(Gaussian Minimum Shift Keying) 변조방법을 사용한다. MSK(Minimum Shift Keying) 변조는 연속 위상 FSK(CPFSK : Continuous Phase Frequency Shift Keying) 변조에서 변조지수가 $m = 0.5$인 특별한 경우에 해당되는 변조방식으로서 제한된 대역폭 내에 데이터가 효과적으로 들어가야 하는 대역 제한 및 진폭 제한 채널에 많이 쓰인다. 흔히 사용되는 다른 변조 방식인 QPSK(Quadrature Phase Shift Keying)나 OQPSK(Offset Quadrature Phase Shift Keying) 등과 비교해 볼 때 신호의 대부분이 주엽(main lobe)에 집중되어 있기 때문에 대역 제한이 요구되는 경우 상당한 이점을 가지고 있다. 또한 하드웨어적으로 변조지수 $m = 0.5$인 이진 디지털 FM 송신기로서 쉽게 구현이 가능하다. 장점으로는 일정한 포락선을 갖는 정 포락선(constant envelop)이며, quadrature 구조를 갖는 변조방식으로 동기 검파가 가능하며, 비교적 협대역인 대역폭 등이 있기 때문에 우수한 변조 방법으로서 위성 통신이나 이동 통신에 많이 사용되고 있다[15-17].

MSK 변조의 장점을 유지하고 동시에 주파수 효율을 증가시킬 수 있는 방법은 입력 디지털 신호를 저역필터에 의해서 적절히 대역제한을 한 후 주파수를 변조하는 것이다. 저역 통과필터의 선정 조건은 협대역 주파수 특

성과 날카로운 차단 특성을 가지고 있고 낮은 오버슈트(overshoot)를 갖는 임펄스 응답을 가지고 있는 것이라야 하는데 이런 조건에 알맞는 저역통과필터로 가우스 저역통과필터를 사용하는 변조 방식을 GMSK(Gaussian MSK) 변조라고 한다[15]. MSK 변조 신호는 위상만 연속일 뿐 입력 데이터에 따라 2개의 주파수 중 어느 하나를 선택하지만 GMSK는 주파수에 있어서도 2개의 주파수 사이를 연속적으로 변화하고 있으므로 스펙트럼의 집중도가 우수하고 대역외(out-of-band) 스펙트럼의 억압도(suppression)도 높은 특징을 갖는다.

Ⅲ. MLSE 등화기의 연산량 및 게이트 수 추정

하드웨어/소프트웨어 통합 설계 기술은 빠른 시장 변화에 따른 대처 능력과 프로그래머블한 소프트웨어 프로세서와 하드웨어 프로세서의 단일 칩화에 따라 그 중요성이 대두되었다.

본 절에서는 먼저, MLSE 등화기의 동작을 검증하기 위하여 MatlabTM을 이용하여 수행한 시뮬레이션 결과를 기술하고, 하드웨어/소프트웨어 통합 설계를 위해 DSP를 이용하여 소프트웨어 기반의 등화기 설계시 소요되는 연산량과 등화기 각 블록을 Hardwired로 구현할 때의 게이트 수에 대해서 추정한다. 사용되는 DSP는 TI사의 TMS320C5x[18]를 기반으로 한다.

1. MLSE 등화기의 시뮬레이션 결과

시뮬레이션을 위해서 구성되어진 기저 대역의 시스템은 <그림 2>와 같이 Matlab™으로 모델링하여 시뮬레이션을 수행하였다. 그림에서 보와 같는 바이 GMSK 변조기에서 발생된 GMSK 신호들이 채널로 입력이 된다. 채널을 통과한 신호들은 MLSE 등화기를 거쳐 BER를 계산하도록 한다. 사용하는 채널은 다섯 개의 다중 경로 채널로 구성되었고 페이딩이 존재하는 채널과 AWGN만 존재하는 채널로 구분하여 시뮬레이션을 수행하였다.

시뮬레이션에 사용된 MLSE 등화기는 채널 추정기로는 상관기 방식을 이용하였고, 비터비 프로세서는 구속장 k=5이고 디코딩 깊이가 29인 비터비 프로세서를 사용하였다. <그림 3>은 페이딩이 존재하는 채널과 AWGN 환경에서 MLSE 등화기의 BER특성을 측정한 결과이다. 페이딩이 존재하는 채널에서 BER 측정 시 연집 에러가 발생하여 BER특성이 좋지 않은 것을 볼 수 있다. 인터

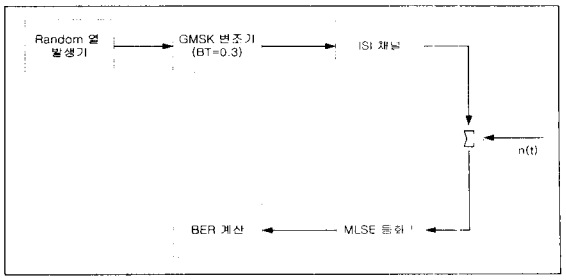

그림 2. 시뮬레이션을 위한 기저대역 시스템
Fig. 2. Baseband System for Simulation.

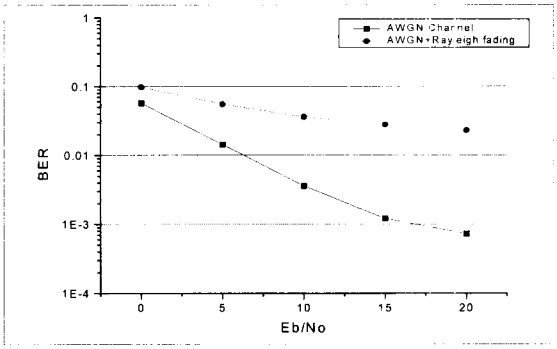

그림 3. BER 성능분석
Fig. 3. BER Performance.

리버와 디인터리버를 사용하면 페이딩이 존재하는 채널에서도 좋은 성능을 낼 수 있을 것이다.

2. MLSE 등화기 블록별 연산량 분석

본 절에서는 TMS320C5x를 이용하여 MLSE 등화기를 구현할 때의 연산 요구량을 계산한다. 연산 요구량 추정시 각 블록에 공통으로 적용할 내용은 다음과 같다. GSM 표준에 의하면 1 비트를 처리해야야 할 시간은 $(270.83\text{kbps})^{-1}=3.69\mu\text{s}$이며, 한 프레임이 처리되어야 할 시간은 $3.69\mu\text{s}\times156.25=0.5769\text{ms}$가 된다. 또한, TDMA 방식으로 8명의 사용자가 대역을 나누어 사용하므로, 등화기가 1초 동안에 처리되어야 하는 버스트 수는 $(1/0.5769\text{ms}=1733.4)/8=216.675$개이다.

1) 채널 추정기

정합 필터형의 상관기 구조는 <그림 4>와 같으며, 데이터 상호간의 상관성을 구하는 식은 식 (1)과 같다. 표준안에서 채널은 5개의 채널계수를 갖는 TDL 형태로 모델링 되어있다. 5개의 채널계수를 구하기 위해서 <그림 1>의 버스트 구조에서 보는 바와 같이 일반 버스트의 26개 훈련 순열을 이용하게 된다. 훈련 순열의 26개의 심볼이 입력된 후 채널 계수가 구해지게 된다.

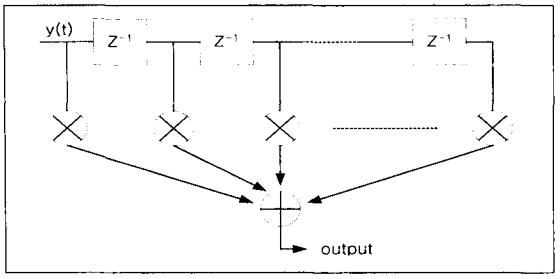

그림 4. 정합필터형의 상관기 구조
Fig. 4. Correlator using Matched filter structure.

$$h_k = \frac{1}{L}\sum_{i=0}^{L-1} r_i\, y_{i+k} \qquad (1)$$

연산량 추정시 데이터의 메모리 읽기/쓰기에 관한 오버헤드를 α로 나타내었으며, 실제 DSP 연산과 동시에 데이터 메모리 읽기/쓰기가 동시에 수행되나 TI사의 TMS320C5x 시뮬레이터인 Code Composer Studio™를 사용하여 시뮬레이션을 통해 α값을 구했을 때 총 연산량의 약 30%를 소모하는 것으로 측정되었다.

채널 추정 연산을 수행하기 위한 총 명령어 수는 3,585개이다. 각 명령어를 처리하는 데 소요되는 싸이클 수를 감안하면 총 명령어 싸이클 수는 6,935가 된다. TMS320C5x의 클럭이 20ns로 동작할 때 채널 추정을 위한 연산을 처리하기 위해선 6,935×20ns=138.7μs이 되며, 1초 동안에 처리되어야 할 버스트가 216.675개이므로 이에 대한 총 수행되는 시간은 138.7μs×216=29.959ms가 된다. 따라서, 채널의 탭 계수를 구하는 연산량은 1.5+α MIPS정도가 요구되는 것을 추정할 수 있다.

2) 비터비 프로세서

비터비 프로세서는 표준안 채널의 정의에 의해 구속장 k=5인 경우로 스테이트 수는 $2^{(5-1)}$로써 16개가 되며, 본 논문에서는 구속장과 버스트의 데이터 길이가 58 비트임을 감안하여 디코딩 깊이를 29로 정한다.

BMC(Branch Metric Calculation) 블록은 <그림 5>에 나타낸 바와 같이 채널 추정기에서 구한 채널의 탭 계수를 가지고 각 스테이트의 가지정보를 구하게 된다. 식 (2)는 가지정보를 구하는 식으로 각 단에서 32번의 연산이 수행되어진다.

$$f_n = \left| y_n - \sum_{i=0}^{4} h_n(i)\alpha_{n-i} \right|^2 \qquad (2)$$

그림 1의 버스트 구조를 보면 26비트의 훈련순열을 중심으로 58비트씩 있으므로 한 버스트를 처리하기 위해서는 이러한 연산을 4번 수행하여야 한다. 29단의 연산을 수행하는 소요 시간은 26912×20ns=538.2μs이 되고 1개의 버스트가 처리되는 데 소요되는 시간은 538.2 μs×4=2.1528ms이 된다. 1초 동안에 처리되어야 할 버스트 수를 고려하면 총 소요 시간은 2.1528ms×216=0.465s가 된다. BMC 블록의 명령어 및 싸이클 수는 표 1에 나타낸 바와같다. 이것을 이용하여 연산량을 구하여 보면 TMS320C5x의 성능은 50 MIPS@20ns로 1초당 처리되는 연산량은 50 MIPS 임으로 0.465s 동안에 필요한 BMC 블록의 추정되는 연산량은 23.25+α MIPS가 된다.

ACS(Add Compare Select) 블록은 BMC 블록에서 구한 가지정보를 비교하여 유클리디안 거리가 작은 것을 선택하게 된다. <그림 6>은 ACS의 블록 다이어그램을 나타낸 것으로 BMC 블록에서 각 스테이트마다 구해진 32개의 가지정보와 누적되어진 가지정보를 더하여 유클리디안 거리가 작은 것을 선택하게 된다. ACS 블록의 연산 요구량은 9.2+α MIPS로 추정된다.

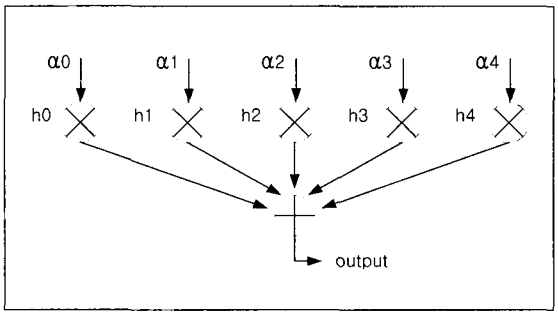

그림 5. BMC 블록의 구조
Fig. 5. BMC block.

표 1. BMC 블록의 명령어 및 싸이클 수
Table 1. Number of Instruction and Instruction cycle for BMC block.

명령어	명령어 갯수	총 명령어 싸이클 수
MPY	2,320	2,320
MACD	4,640	13,920
MAC	2,320	6,960
SACH	2,784	2,784
SUB	464	464
SQRR	464	464
전체	12,992	26,912

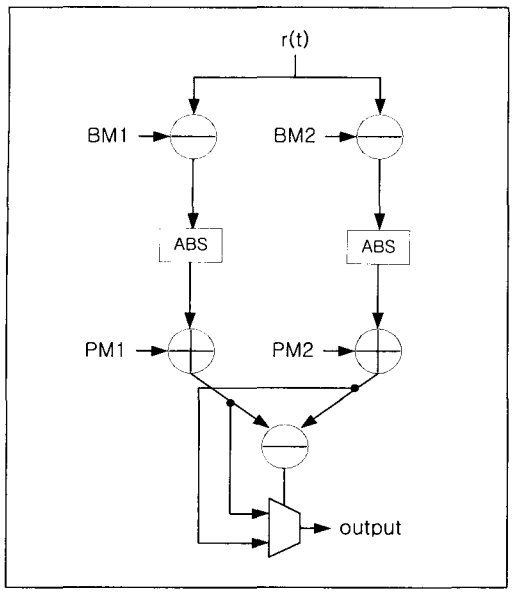

그림 6. ACS블록의 구조
Fig. 6. ACS block.

TB(Trace Back) 블록은 ACS에서 저장되어진 값인 누적된 가지정보를 이용하여 역추적을 수행하여 등화를 수행하게 된다. ACS 블록에서 저장된 값인 누적된 가지정보를 마지막 단에서 서로 비교하여 가장 작은 값을 판별하게 된다. 가장 작은 값을 가지는 마지막 단의 스테이트를 시작하여 역추적을 수행하게 된다.

1 버스트당 소요되는 시간은 (123×20ns=2.46μs)×4 =9.84μs가 된다. 1초 동안에 처리할 버스트의 소요 시간은 2.125ms가 되며, 이 처리 시간을 이용하여 연산량을 추정하면 50 MIPS를 1초당 처리하므로 2.125ms 동안에는 0.11+α MIPS가 요구되는 것을 알 수 있다.

3. MLSE 등화기 블록별 게이트 수 추정

본 논문에서 블록별 분석에서 사용된 곱셈기는 데이터의 고속 처리를 위하여 Booth 곱셈기를 이용하여 게이트 수를 추정하였다. 또한 덧셈기로는 면적과 동작 속도를 고려하여 많은 응용 시스템에서 사용되고 있는 CSA(Carry Select Adder)를 사용하였다.

1) 채널 추정기

<그림 4>에서 알 수 있듯이 상관기의 수신 신호열과 훈련 순열간의 상관성을 구하기 위해 26개의 곱셈기와 곱셈 결과 값을 누적하기 위한 25개의 덧셈기, 그리고 연산결과를 정규화시키기위한 곱셈기 1개로 구성되어 있는 것으로 가정하였다. 가정한 구조는 일반적인 구조에 대한 것으로서 하드웨어 구현에 따른 게이트 추정량이 큰 것을 볼 수 있다. 적은 양의 곱셈기와 가산기를 이용하여 작은 하드웨어 구조를 제안할 수 있지만 정확한 동작 검증을 위한 타이밍 시뮬레이션이 동반되어야 하기에 일반적인 구조를 사용하여 모델링을 수행하고 삼성의 0.5 μm standard cell library (STD80)를 이용하여 논리 합성한 결과 곱셈기(17×14)의 게이트 수는 2,400여개, 덧셈기(12×12)는 270여개, 곱셈기(12×4)는 270여개로 채널 추정기를 26개의 곱셈기와 25개의 덧셈기, 1개의 곱셈기로 구성을 하면 총 게이트 수는 약 69,000여개이다.

2) 비터비 프로세서

구속장 k=5인 비터비 프로세서의 BMC 블록은 <그림 5>에서 보는바와 같이 스테이트 값과 채널 추정기에서 구한 채널 탭을 곱하여 가산하는 구조로 이루어져 있으며 합성한 총 게이트 수는 약 55,000여개가 된다.

ACS 블록은 16개의 PE(Processing Element)를 병렬처리 방식으로 연결한 구조로 가정한다. 각 PE에서는 격자도 상의 상태들 중 하나의 상태를 처리하여 ACS 연산을 수행해 각 상태로 입력되는 현재 경로 값들과 누적 경로 값들을 더한 값을 비교해 작은 값을 갖는 경로를 선택한다. 총 게이트 수는 약 26,400여개의 게이트로 구성이 된다.

TB 블록의 레지스터 교환 방식은 레지스터와 멀티플렉서로 구성된다. 디코딩 깊이 동안은 ACS로부터 연산된 29 비트의 결정 비트들이 레지스터로 구성된 메모리 블록에 저장되며, 디코딩 깊이에 해당하는 수의 데이터가 입력되면 현재 입력된 결정 비트들을 시작으로 하여 이전 결정 비트들을 역추적하여 원래의 신호를 복원하게 된다. 총 게이트 수는 약 12,000여개이다.

<표 2>는 각 블록의 연산량 및 게이트 수를 나타낸 것으로, 표에서 보는바와 같이 BMC 블록과 ACS 블록의 연산량이 많음을 알 수 있다.

표 2. 각 블록의 연산량 및 게이트 수
Table 2. Summary of MIPS and Gate Count.

블록	연산량(MIPS)	게이트 수
채널 추정기	1.5+α	69,000여개
BMC 블록	23.25+α	55,000여개
ACS 블록	9.2+α	26,400여개
TB 블록	0.11+α	12,000여개
총 MIPS/게이트수	34.06+α	162,000여개

Ⅳ. MLSE 등화기의 소프트웨어/하드웨어 통합설계

빠르게 변화하는 다양한 통신 관련 규격들에 대처하기 위해선 빠른 개발 및 다양한 표준안을 지원해야하는 것이 필수적으로 되어가고 있다. 제 3 세대 이동 통신이 상용화됨으로써 제 2 세대 및 3 세대 이동 통신 규격을 하나의 시스템에서 지원 가능하여야 한다. 이러한 것을 지원하기 위해서는 유연성이 있는 시스템 개발이 필요하게 된다. DSP를 이용하여 설계를 할 경우 소프트웨어의 변경만으로 다양한 표준안을 지원할 수 있는 유연성을 지닌 시스템을 구현할 수 있다. 또한, 설계 시간의 단축으로 빠르게 변화하는 시장의 요구나 다양한 표준안의 규격을 만족 시킬수 있는 장점이 있다. 그러나 현재까지 개발된 DSP의 경우 많은 연산량을 요구하는 무선 통신의 실시간 처리에 있어서는 아직까지 DSP 만으로만 처리할 수 없다. 또한 전용의 Hardwired만으로 시스템을 구현 할 경우 최적화 된 구조 및 성능으로 효율적인 데이터의 처리 속도를 기대할 수 있으나 설계 기간의 장기화로 인해 빠르게 변하는 국제 규격이나 시장의 요구에 대처할 수 없게 되며, 한번 설계되면 변경하기가 어려워 시스템의 유연성을 보장할 수 없는 단점을 지니게 된다. 이러한 단점들을 보완할 수 있는 설계기술이 소프트웨어/히드웨어 통합설계 기술이다. DSP로 처리하기에는 부담이 되는 연산을 전용의 하드웨어를 구성하여 처리함으로써 빠른 연산 및 유연성을 가질 수 있는 시스템을 개발할 수 있다.

기존의 MLSE 등화기의 상용화 칩을 살펴보면 대부분의 상용화 칩들은 MLSE 등화를 처리하기 위해 Viterbi 및 채널 추정을 하기 위한 DSP 코어나 보조 프로세서를 내장함으로써 적응 등화 기능을 수행하게 된다. Philips사의 PCF5083을 보면 신호처리부인 DSP 코어와 시스템 콘트롤부와 A/D 및 D/A 처리 모듈들로 구성이 되어 있다. DSP 코어에는 특정 목적의 하드웨어를 내장하여 등화, 채널 인코딩/디코딩, 음성 부·복호화 등을 수행하게 된다. Motorola사의 DSP56305 칩의 주기능은 채널 등화, 채널 코딩 및 음성 코딩을 수행하는 것으로써, 이는 세 개의 내장된 보조 프로세서인 FCOP(Filter Co-Processor), VCOP(Viterbi Co- Processor), CCOP(Cyclic Co-Processor)를 이용하여 처리한다. MLSE 등화기의 경우 VCOP를 이용하여 등화를 수행하게 된다.

이와 같이 기존의 상용화 칩들에서 보는 바와 같이 DSP 코어와 함께 특정 용도의 하드웨어를 추가함으로써 DSP 코어만으로는 처리할 수 없는 무선 통신 데이터의 실시간 처리를 수행하게 된다. 또한, 다양한 통신 방식을 수용할 수 있는 기술로 하나의 하드웨어 플랫폼에 소프트웨어의 변경 및 재구성만으로 통신 시스템의 다중 무선 표준 및 다양한 서비스에 대한 지원이 가능한 기술로 활발히 연구되어지고 있는 SDR 기술에 부합할 수 있는 기술로 소프트웨어/하드웨어 통합설계 방식은 빠르게 변화하는 시장 및 다양한 표준안의 규격을 만족시킬 수 있다.

추정한 연산 요구량을 보면 BMC 블록과 ACS 블록의 연산 요구량이 많은 것을 알 수 있다. 결과에서 보는 바와 같이 MLSE 등화기를 DSP로 구현시 총 연산 요구량은 $34.06+\alpha$ MIPS로 DSP 1개로 구현이 가능하다. 그러나 전체 시스템을 구현할 때 DSP로는 음성코덱 및 시스템 제어를 하여야 한다. 그러므로 이러한 처리량을 제외한 나머지 부분으로 등화기를 구현할 때 연산량이 많은 부분을 하드웨어로 구현을 하면 낮은 MIPS를 가지고 효율적인 등화기를 구현할 수 있다. 전체 시스템을 구현할 때 DSP를 이용한 소프트웨어 설계 방법과 하드웨어 설계 방법을 이용한 통합 설계 방식은 연산량이 많은 부분을 하드웨어로 처리하고 나머지 부분에 대하여 DSP를 이용하여 소프트웨어적으로 처리함으로써, 처리속도의 향상과 개발 기간의 단축, 유연성 등의 장점을 살릴 수 있다.

<그림 7>은 본 연구를 통해 제안하는 하드웨어/소프트웨어 기반의 MLSE 등화기 플랫폼으로써, 두 가지 구조에 대하여 다음과 같은 결과를 가져온다.

■ CASE 1

MLSE 등화기 구현 시 연산량이 가장 많은 BMC 블록을 하드웨어로 처리하고 나머지를 DSP를 이용 소프트웨어로 처리하면 총 연산량이 $34.06+\alpha$ MIPS에서 $9.31+\alpha$ MIPS로 줄어들며, 이를 ASIC화 하였을 때 하드웨어 크기는 약 55,000여개의 게이트 수가 증가하는 것을 볼 수 있다.

■ CASE 2

BMC 블록과 ACS 블록을 동시에 ASIC화 하였을 때 등화기의 총 연산 요구량은 $1.51+\alpha$ MIPS으로 줄어들며, 그 때의 하드웨어는 약 81,400여개의 게이트 수가

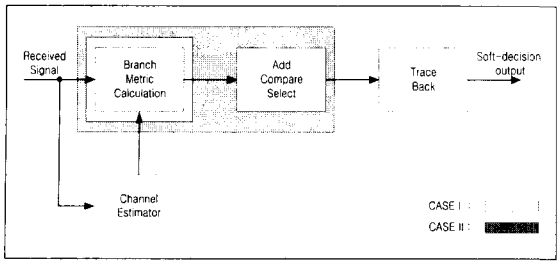

그림 7. 하드웨어/소프트웨어 기반의 MLSE 등화기 플랫폼

Fig. 7. The platform of MLSE Equalizer based on hardware/software codesign.

증가하는 것을 알 수 있다.

CASE 1과 CASE 2에서 연산량이 많은 BMC 블록과 ACS 블록을 ASIC화하여 DSP의 연산량을 줄일 수 있었다. CASE 2의 결과보다는 CASE 1의 결과에서 보는 바와 같이 하드웨어로 처리하는 부분과 소프트웨어로 처리하는 부분이 효율적으로 분배되어 있는 것을 알 수 있다. DSP를 사용하는 주된 목적인 음성코덱으로 14~26 MIPS를 사용하고[16] 나머지 MIPS를 이용하여 등화기 구현 및 시스템 제어를 할 경우 50 MIPS를 지원하는 TMS320C5x의 경우 CASE1이 효과적임을 알 수 있다. CASE1의 경우 약 9 MIPS를 BMC 블록을 제외한 등화기를 구현하고, 나머지를 시스템 제어에 쓰면 하드웨어와 소프트웨어의 부담을 적절히 분배할 수 있게 된다.

이와 같이 MLSE 등화기 설계시 DSP로 처리하기에는 부담이 되는 부분을 Hardwired로 구현하여 DSP의 연산량을 줄여줌으로써 효율적인 설계를 수행할 수 있다. 기존의 상용화 칩의 경우 MLSE 등화기를 구현하기 위하여 보조프로세서를 두어 수행하였으나, 본 논문에서는 보조프로세서 보다는 많은 연산량이 필요한 부분을 전용의 하드웨어를 두어 수행하도록 하여 더욱 효율적으로 동작할 수 있는 하드웨어 플랫폼을 제안한다.

V. 결 론

본 논문에서는 DSP를 기반으로 한 GSM/GPRS용 MLSE 등화기를 설계하기 위해 먼저 등화기의 각 블록에 대한 연산량을 추정하여 많은 연산량을 요구하는 부분을 알아내었으며, 또한 각 블록에 대한 게이트 수를 추정하였다. 결과에서 보는 바와 같이 비터비 블록의 BMC 블록과 ACS 블록이 대부분의 연산량을 차지하는 것을 알 수 있었다. 이러한 연구결과에 의해 하드웨어/소프트웨어 통합 설계시 가장 연산량이 많은 BMC 블록을 하드웨어로 처리하고 나머지를 DSP를 이용한 소프트웨어로 처리함으로써 하드웨어와 소프트웨어의 부담을 효율적으로 분배할 수 있는 하드웨어 플랫폼을 제안하였다. DSP의 경우 클럭속도의 증가와 함께 성능의 향상으로 그 동안 DSP를 이용하는 주된 이유인 음성코덱 뿐만 아니라 시스템의 제어 및 신호처리에도 이용할 수 있다. 그러므로 이러한 플랫폼과 같이 하드웨어/소프트웨어 통합 설계방식을 이용하여 제 3, 4세대 무선 통신 시스템 설계시 대량의 연산량을 필요로 하는 블록들을 전용 ASIC으로 설계하고 나머지 블록을 DSP로 설계함으로써 빠른 시장의 변화에 대처할 수 있는 저가, 저전력 시스템과 사용자의 요구에 맞는 고성능의 시스템을 구현할 수 있다.

참 고 문 헌

[1] Bernard Sklar, DIGITAL COMMUNICATIONS - Fundamentals and Applications, Prentice Hall PTR, 2001.

[2] Marvin K. Simon, Mohamed-Slim Alounin, Digital Communication over Fading Channels - A Unified Approach to Performance Analysis, Wiley-Interscience, 2000.

[3] Mao-Ching Chiu, Chi-chao,vi 포이 "Analysis of LMS-Adaptive MLSE Equalization on Multipath Fading Channels," IEEE Trans. Commun., vol. 44, No.12, pp. 1684~1692, Dec. 1996.

[4] E. Del Re, G. Benelli, G. Castellini, R. Fantacci, L. Pierucci, L. Pogliani, "DESIGN OF A DIGITAL MLSE RECEIVER FOR MOBILE RADIO COMMUNICATIONS," 1991 IEEE GLOBECOM, pp. 1469~1473, January, 1991.

[5] E. Del Re, G. Castellini, L. Pierucci, F. Conti, "A Within-Burst Adaptive MLSE Receiver for Mobile TDMA Cellular Systems," in proc. Acoustics, Speech, and Signal Processing, ICASSP-92., Vol. 4 , pp. 493~4961, 992.

[6] G. Benelli, A. Fioravanti, A. Garzelli, P.

Matteini, "Some digital receiver for the GSM pan-European cellular communication system," IEE Proc.-Commun, vol. 141, No. 3, pp. 168~176, June, 1994.

[7] G. D. Forney Jr, "Maximum Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference," IEEE Trans. Inform. Theory, vol. IT-18, pp. 363~378, May, 1972.

[8] Gordon L. Stuber, Principles of MOBILE COMMUNICATION-second edition, Kluwer Academic Publishers, 2001.

[9] Guido Castellini, Fabrizio Conti, Enrico Del Re, Laura Pierucci, "A Continuously Adaptive MLSE Receiver for Mobile Communications", IEEE Trans. Commun., vol. 45, No.1, pp. 80~89, January. 1997.

[10] Hiroshi Kubo, Keishi Murakami, Tadashi Fujino, "An Adaptive Maximum-Likelihood Sequence Estimator for Fast Time-Varying Intersymbol Interference Channels", IEEE Trans. Commun., vol. 42, No.2/3/4, pp. 1872~1880, February/March/April. 1994.

[11] Hyoung Kyu SONG, We Duke CHO, "A Joint Channel Estimation and Timing Adjustment for Adaptive MLSE," IEICE Trans. Commun., vol. E81-B, pp. 2242~2244, No.11, November, 1998.

[12] 김주웅, 윤숙현, 이재혁, 강창원, "DCS 1800 시스템에서 연판정 출력 등화기에 대한 비터비 복호기 설계 및 구현," 전자공학회논문지, 1998, 03 v.35-S, n.3, pp. 19~28

[13] Jerraya, A., "Hardware-software codesign," IEEE Design & Test of Computers , Volume : 17 Issue: 1 , pp. 92~99, Jan.-March 2000.

[14] GSM Technical Specification : GSM 05 Series, 1998.

[15] K. Feher, Wireless Digital Communications, Prentice Hall, 1995.

[16] Kazuaki Murota, "GMSK Modulation for Digital Mobile Radio Telephony", IEEE Trans. Commun., vol. COM-29, No.7, pp. 1044~1059, July. 1981.

[17] 송영준, 한영열, "디지털 셀룰라 시스템을 위한 개선된 GMSK 직교 변조기의 설계", 한국통신학회 논문지, 1998, 09 v.23, n.9A, pp. 2240~2247

[18] Texas Instrument Inc., TMS320C5x User's Guide, 1998.

[19] 이남일, 손창용, 홍성훈, 이동원, 강상원, "OakDSPCore를 이용한 AMR 음성 부호화기의 실시간 구현," 제 13회 신호처리 합동학술대회, 2000, v.13, n.1, pp. 811~814

저 자 소 개

全 永 燮(正會員)

1999년 2월 : 아주대학교 전자공학부(공학사). 2002년 2월 : 아주대학교 전자공학과(공학석사) 2002년 2월~현재 : 삼성전자 통신연구소근무 <주관심분야 : VLSI 설계>

朴 元 欽(正會員)

2001년 2월 : 강원대학교 전자공학과(공학사). 2001년 3월~현재 : 아주대학교 전자공학과 석사과정 재학 중 <주관심분야 : 통신용 ASIC 설계>

鮮于 明 勳(正會員)

1980년 : 서강대학교 전자공학 학사. 1982년 : 한국과학기술원 전기 및 전자공학 석사. 1982년~1985년 : 한국전자통신연구소(ETRI) 연구원. 1985년~1990년 : Univ. of Texas at Austin 전기 및 컴퓨터 공학 박사. 1990년~1992년 : 미국 Motorola, DSP Chip Division. 2001년~현재 : IEEE Senior Member. 1992년~현재 : 아주대학교 전자공학부 교수. <주관심분야 : VLSI 및 SoC Architecture, 멀티미디어 통신용 DSP 칩 및 ASIC 설계>

金 敬 昊(正會員)

1984년 2월 : 연세대학교 전자공학과 졸업. 1987년 2월 : 한국과학기술원 전기및 전자공학과 졸업(공학석사). 1991년 2월 : 한국과학기술원 전기및 전자공학과 졸업(공학박사). 1983년~현재 : 삼성전자 반도체, 통신연구소근무 <주관심분야 : 통신용 SOC설계, IMT-2000 단말용 모뎀설계, Lower Power설계, Design Methodology>