

論文2002-39SD-10-8

# DBLCAM과 Two-port SRAM을 이용한 허프만 코덱의 Look-up Table 설계

(Design of Look-up Table in Huffman CODEC Using DBLCAM and Two-port SRAM)

李 浣 範 \*, 河 昌 佑 \*\*, 金 煥 溶 \*

(Wan-bum Lee, Chang-woo Ha, and Hwan-yong Kim)

## 요 약

허프만 코덱의 Look up table 구조에 이용되는 기존 CAM(Content Addressable Memory) 셀의 구조는 읽기 및 쓰기동작과 매치동작이 분리되어 수행되지 않는다. 그래서 제어가 복잡해지고 읽기 및 쓰기동작 시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 단점을 가지고 있다. 본 논문에서는 이러한 단점을 개선하여 데이터를 고속으로 처리할 수 있도록 읽기, 쓰기동작 및 매치동작을 독립적으로 수행하는 DBLCAM(Dual Bit Line CAM)과 RAM 보다 액세스 속도가 빠른 Two port SRAM을 사용하여 고속의 Look-up table을 설계하였다. 본 논문에서 제안된 DBLCAM과 Two-port SRAM을 이용한 허프만 코덱의 Look up table은 Cadence를 사용하여 설계하였으며, 레이아웃은 0.6 $\mu$ m 2 poly 3-metal CMOS full custom으로 수행하였다. 그리고 모의실험에는 Hspice를 이용하였다.

## Abstract

The structure of conventional CAM(Content Addressable Memory) cell, used to Look-up table scheme in Huffman CODEC, is not performed by being separated in reading, writing and match operation. So, there is disadvantages that the control is complicated, and the floating states of match line force wrong operation to be happened in reading, writing operation. In this paper, in order to improve the disadvantages and process the data fast, fast Look-up table is designed using DBLCAM(Dual Bit Line CAM) performing the reading, writing operation and match operation independently and Two-port SRAM being more fast than RAM in an access speed. Look up table scheme in Huffman CODEC, using DBLCAM and Two port SRAM proposed in this paper, is designed in Cadence tool, and layout is performed in 0.6 $\mu$ m 2 poly 3-metal CMOS full custom. And simulation is performed with Hspice.

## I. 서 론

디지털 영상처리의 응용분야에서 가장 문제가 되는

\* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Engineering, Wonkwang Univ.)

\*\* 正會員, 韓國 코덴시(株)

(Kodenshi Korea Corp.)

接受日字:2001年10月22日, 수정완료일:2002年8月21日

것은 영상을 직접적으로 처리하기 위해 많은 양의 데이터가 요구된다는 점이다. 일반적으로 영상데이터는 숫자나 문자 정보에 비하여 데이터 양이 많기 때문에 전송시나 저장시에 효율성을 높이기 위해서는 화질의 열화를 최소화하여 압축하는 부호화 기술이 필요하다.<sup>[1]</sup>

데이터 압축 방법에는 크게 손실 기법과 비손실 기법 두 가지로 나눌 수 있으며, 압축에 이용되는 성질 측면에서 엔트로피(Entropy) 기법과 대상 기반 기법의 두 가지로 나눌 수도 있다. 손실 압축(Loss Compression) 기법은 복원한 데이터가 압축전의 데이

터와 일치하지 않는 기법을 말한다. 이 기법은 대체로 연속 매체(음향, 비디오, 동영상)를 압축하는 데 적합하다. 손실 기법이라고 해서 사용자가 압축/복원후의 정보가 본래의 정보와 다르다고 느낄 정도의 차이를 말하는 것은 아니다. 즉, 사용자들이 손실 기법으로 압축/복원한 데이터를 보았을 때 본래의 데이터와 거의 동일하다고 느낄 수 있을 정도가 되어야 한다.<sup>[1,2]</sup>

비손실 기법이란 압축한 데이터를 복원했을 때 복원한 데이터가 압축전의 데이터와 완전히 일치하는 것을 말한다. 이 기법은 압축할 때 압축할 데이터에 어떤 변경이나 수정도 가하지 않는다. 따라서 멀티미디어 정보에서 정확성이 생명인 데이터의 압축에 사용되는 기법으로 비트 보존 압축기법이라고도 부른다. 비손실 압축(Lossless Compression) 알고리즘으로는 RLC(Run Length Coding) 및 VLC(Variable Length Coding)를 주로 사용하는데 최근 고속 영상 처리 응용에서는 VLC 기법인 허프만 부호화를 많이 사용하고 있다. 허프만 부호화는 비손실 압축 부호화 방법이며, 데이터 통신, 음성 압축, 비디오 또는 영상 압축에 두루 사용된다. 허프만 부호화 방법은 통계학적으로 발생 확률이 높은 부호어에 대해서는 짧은 비트를 할당하고 발생 확률이 적은 부호어에 대해서는 긴 비트를 할당하여 전체적으로 데이터 크기를 줄이는 방법이다.<sup>[3,4]</sup>

허프만 코덱에서 원데이터에 대한 압축데이터를 생성하거나, 압축데이터에 대한 원데이터를 복원하기 위해서 Look-up table이 요구되는데 기존 허프만 코덱에 사용되는 Look-up table 방식 중 ROM(Read Only Memory) 또는 PLA(Programmable Logic Array)의 구조를 사용하여 코덱을 구현할 수 있지만, 적용분야가 한정된다는 단점과 비교동작을 수행하기 위해서 Match Logic이 따로 필요하다는 단점을 가지고 있다.<sup>[5]</sup> 따라서 허프만 테이블의 재구성이 가능하게 하기 위해서는 ROM 이나 PLA 방식이 아닌 CAM(Content Addressable Memory)을 사용하는 것이 바람직하다.<sup>[6][7]</sup> 그러나 기존의 CAM을 이용한 허프만 코덱의 Look-up table 방식에서는 읽기 및 쓰기동작과 매치동작이 분리되어 수행되지 않으므로 제어 복잡해질 뿐만 아니라 읽기 및 쓰기동작시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 단점을 가지고 있다.

본 논문에서는 이러한 단점을 개선하여 데이터를 고속으로 처리할 수 있도록 DBLCAM(Dual Bit Line

CAM)과 Two-port SRAM을 사용하여 읽기 및 쓰기동작과 매치동작이 분리되어 수행되도록 설계하였다. DBLCAM을 이용한 허프만 코덱의 Look-up table 설계는 Cadence를 사용하여 0.6 $\mu$ m 2-poly 3-metal CMOS full custom 설계를 수행하였으며, Hspice로 모의실험을 수행하여 동작 결과를 확인하였다.

## II. 허프만 코덱의 구조

정보 통신 분야중 방대한 자료량을 요구하는 영상 신호의 압축 및 재생을 위한 표준 규격으로는 H261, JPEG, MPEG 등이 있다. 이러한 규격들은 데이터의 화질 열화를 가져올 수 있는 손실 압축 알고리즘인 DCT(Discrete Cosine Transform) 처리와 비손실 압축 알고리즘인 RLC 및 VLC를 연계하여 데이터의 압축률을 높이고 있다. RLC나 VLC는 엔트로피 코딩 기술의 종류로서 데이터의 확률에 근거한 통계적 특성을 이용하여 압축률을 높이는 것이다.<sup>[1,3]</sup>

영상데이터 압축 방법 중 VLC는 발생확률이 높은 부호어들에 대해서는 부호 당 짧은 비트를 할당하고, 발생확률이 낮은 부호어들에 대하여는 부호 당 긴 비트를 할당하여 부호의 평균길이를 엔트로피에 가깝게 하는 수단으로서 Huffman Coding, Arithmetic Coding, Lempel-Ziv 알고리즘 등의 방법이 있다. 데이터의 통계학적 특성을 이용한 허프만 압축 부호화는 영상신호 처리, 음성신호처리 및 데이터 저장 등의 다양한 응용에 비손실 압축기법으로 광범위하게 적용되고 있다.<sup>[2]</sup>

허프만 코덱은 부호화 및 복호화에 허프만 트리를 사용하여 데이터를 처리하는 방법으로 고속의 영상처리 응용에서의 ASIC 구현에 사용되고 있다. 일반적인 비디오 코덱은 그림 1과 같이 DCT 기반인 허프만 코덱 구조로 되어있다. DCT 변환은 영상신호 부호화에 매우 효과적인 것으로 알려져 H261, JPEG, MPEG 등의 국제 표준에 널리 채택되어 왔다. 이러한 DCT 기반 구조는 JPEG에 많이 이용되는 구조이다.<sup>[1]</sup>

그림 1의 허프만 코덱 구조는 입력되는 영상 데이터를 하나의 블록 단위로 나누어 DCT를 거쳐서 양자화 및 허프만 엔코더를 통해 압축 데이터를 만든다. 그리고 압축되어진 데이터를 복원하는 과정은 허프만 디코더와 역양자화를 거쳐 IDCT를 통해 복원되는 것을 알 수 있다. 그림 1에서 허프만 엔코더와 디코더 부분에 허프만 테이블이 사용되는 것을 알 수 있다. 허프만 테

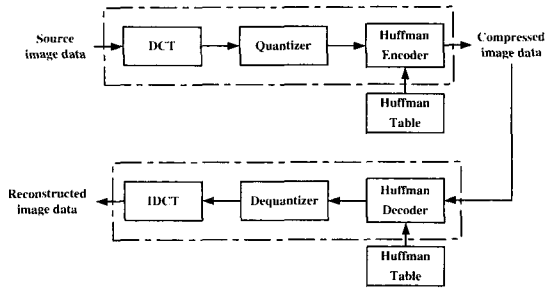


그림 1. DCT 기반의 허프만 코덱의 구조  
Fig. 1. Structure of DCT\_based Huffman CODEC.

이블은 엔코더에서 허프만 트리를 형성할 때 심블에 부과되는 코드어를 저장하여두는 곳이다. 허프만 부호에 대한 코드 테이블은 고정테이블인 경우 ROM 또는 PLA를 사용하고, 부호의 내용이 가변적인 경우는 RAM이나 CAM을 사용할 수 있다.<sup>[5~7]</sup>

1. ROM을 이용한 Look-up table의 구조

기존 허프만 디코더의 Look-up table 구조는 비트 병렬 방식으로 디코딩을 하는 방법으로 ROM 기반 구조를 사용하고 있다. ROM 기반 구조는 State register, ROM Table, Buffer로 구성되어 있다. State register는 허프만 트리 구조를 가지고 있으며 internal node 및 end node로 구성된다. ROM은 end node에 대한 코드 워드의 저장을 위해 사용되는데, 2<sup>n</sup>의 코드워드에는 2<sup>n-1</sup>의 내부노드가 필요하게 된다. 즉, 256 코드워드의 경우는 511 워드의 ROM이 필요하다. 기존 ROM 기반 구조는 간단하여 구현이 용이하다는 장점은 있으나, 피드백 루프에 의한 동작 속도가 느리다는 단점이 있어서 고속 코덱에는 응용이 불가능하다는 문제점이 있다. 그리고 코드어가 가변적인 경우에는 사용이 불가능하다.<sup>[6]</sup>

2. PLA를 이용한 Look-up table 구조

PLA를 이용한 Look-up table 구조는 ROM 대신에 PLA를 사용하여 구성한다. PLA 기반 구조는 입력버퍼에 의해 한 클럭 당 multiple 입력 비트를 쉬프트 시킨다. n bit 입력시 2n bit에 대한 ROM이 필요하게 된다. 즉 256 코드워드의 경우는 2<sup>16</sup> 워드의 ROM이 필요하게 된다. PLA 기반 구조는 ROM 기반 구조의 단점인 속도문제를 개선할 수 있는 구조로서 약 200Mbit/s 정도의 속도가 가능하다. 하지만 고정구조만을 사용하므로 코드 테이블이 변하는 형태에는 적용이 불가능하다는 단점을 가지고 있다. 즉 허프만 테이블의 재구성 이

럽다는 것을 의미한다. 이러한 단점 때문에 응용분야에 따라 데이터의 통계적 분포에 맞추어 코드 테이블이 재구성될 필요가 있는 부분에는 사용이 불가능하기 때문에 기존의 ROM 이나 PLA 구조는 한계성을 가지고 있다. 따라서 코드 테이블을 재구성하기 위해서는 가변 이 용이한 CAM을 사용하는 것이 바람직하다.<sup>[7]</sup>

3. CAM을 이용한 Look-up table의 구조

그림 2는 기존 허프만 코덱에서의 허프만 테이블을 저장하기 위한 CAM 셀과 RAM 셀의 관계를 나타내었다. CAM 셀에서 매치신호가 "THigh"가 되면 RAM 셀의 해당 워드라인을 "THigh"로 만들어서 RAM에 저장 되어있는 데이터를 출력하는 구조로 되어있다.<sup>[8,9]</sup>

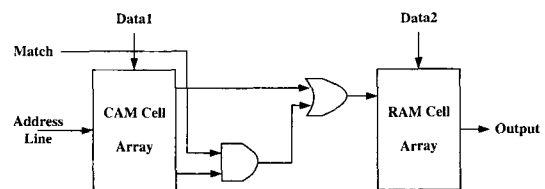


그림 2. 기존 CAM과 RAM의 연결관계  
Fig. 2. The interconnection between conventional CAM and RAM.

기존 CAM 셀은 6개의 트랜지스터를 사용하는 SRAM과 데이터 매치동작을 위한 4개의 트랜지스터로 구성된 Exclusive NOR 구조로 되어있고 읽기나 저장을 할 때의 동작원리는 기존의 RAM과 같으며, 매치동작인 경우 매치선은 3.3[V]로 프리차지(Precharge) 되고 메모리 셀에 "THigh"가 저장되어 있을 때 bit 선으로 "THigh"가 입력되면 회로 아래 부분의 4개의 트랜지스터가 형성하는 두 개의 경로는 끊어져서 매치선은 "High"로 유지된다. 만약, 메모리 셀의 내용과 비트선의 내용이 다르면 두 개의 경로 중 하나가 접지로 연결되어 매치선은 "Low"로 된다. 따라서 기존 CAM 셀의 경우 읽기 및 쓰기동작과 매치동작이 분리되어 수행되지 않으므로 제어가 복잡해질 뿐만 아니라 읽기 및 쓰기동작시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 단점을 가지고 있다.<sup>[6~8]</sup>

III. 새로운 구조의 Look-up table 설계

기존의 허프만 코덱의 Look-up table 구조는 허프만 테이블의 재구성을 위해 CAM과 RAM을 사용하여 구

성되었는데, 본 논문에서는 기존의 CAM 구조대신 제어기가 용이하고 읽기, 쓰기동작이 분리되어 수행되는 DBLCAM을 사용하였고, 또한 동작 속도를 빠르게 하기 위해 RAM 대신에 Two-port SRAM을 사용하여 구성하였다. 본 논문에서 설계한 Look-up table 구조는 그림 3과 같다.

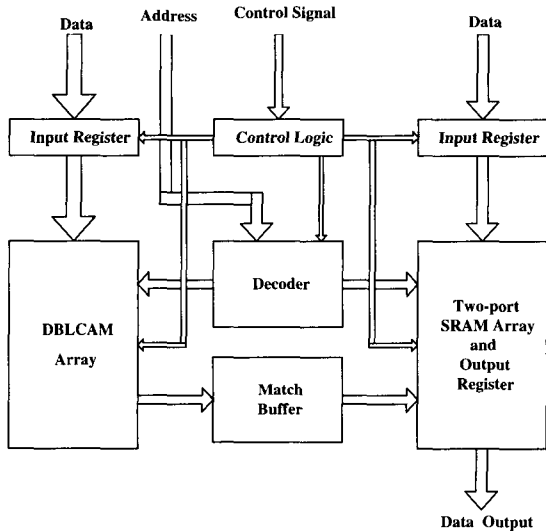


그림 3. DBLCAM과 Two-port SRAM의 연결 관계  
Fig. 3. The interconnection between DBLCAM and Two-port SRAM

1. DBLCAM 셀 구조

DBLCAM 셀의 구조는 메모리 셀의 내용과 비트선의 내용이 다르면 두 개의 경로 중 하나가 접지로 연결

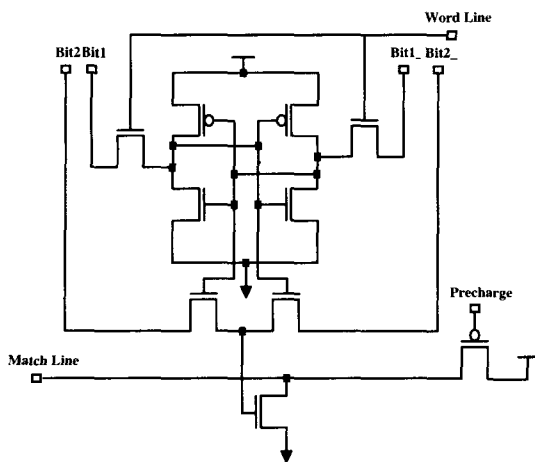


그림 4. DBLCAM 셀 구조  
Fig. 4. Structure of DBLCAM cell.

결되어 매치선은 "Low" 상태가 된다. 따라서 기존 CAM 셀의 단점인 읽기 및 쓰기동작과 매치동작이 분리되어 수행되지 않아 제어가 복잡해지고 읽기 및 쓰기동작시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 문제점을 개선할 수 있다. 본 논문에서 설계한 DBLCAM 셀 구조는 그림 4와 같다.

DBLCAM 셀의 동작원리는 매치동작과 쓰기동작을 독립적으로 수행할 수 있는 구조로서 쓰기동작은 bit1 (bit<sub>1</sub>)라인을 이용하여 수행하고 이때 bit2(bit<sub>2</sub>)라인은 프리차지 된 상태에 있으므로 매치라인은 항상 "Low" 상태를 유지하게 된다. 그리고 매치동작은 bit2(bit<sub>2</sub>)를 이용하여 수행하므로 제어가 용이하다는 장점을 가지고 있다.

2. Two-port SRAM 셀 구조

그림 5와 같이 이중 워드라인 구조를 갖는 Two-port SRAM 셀은 읽기와 쓰기동작을 할 때 서로 다른 비트라인을 사용함으로써 읽기와 쓰기동작간에 독립성을 제공한다. 독립성을 제공한다는 것은 분리된 워드라인을 활성화시킴으로써 각각의 워드라인을 서로 다른 신호를 사용하여 제어할 수 있다는 장점을 가지고 있다. 따라서 쓰기동작의 경우 DBLCAM과 Two-port SRAM 모두 입력 어드레스에 의해서 수행되고, 매치동작시 DBLCAM 셀에서는 입력 데이터와 저장된 데이터의 병렬 비교를 수행하여 매치 결과를 매치라인을 통해 출력하게 된다. 출력된 매치 값은 Two-port SRAM의 두 번째 워드라인으로 입력되어 읽기동작을 수행하도록 설계하였다.<sup>[9]</sup>

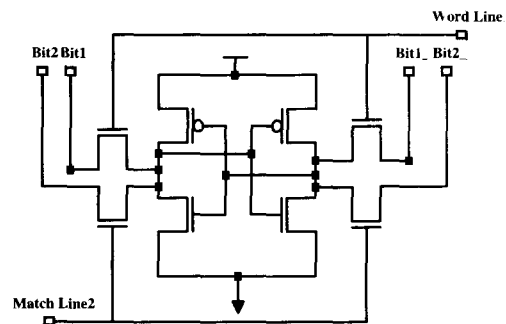


그림 5. Two-port SRAM 셀 구조  
Fig. 5. Structure of Two-port SRAM cell.

IV. 회로 설계 및 모의실험

본 논문에서 설계한 DBLCAM의 제어 회로는

CE(Chip Enable)과 W/M\_신호에 의해서 제어되도록 설계하였고 설계한 제어회로의 모의실험 결과는 그림 6 과 같다.

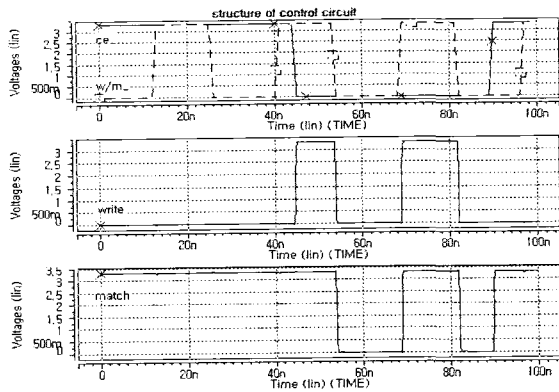


그림 6. 제어 회로의 모의실험  
Fig. 6. Simulation of control circuit

모의실험 결과에서 CE신호가 "Low"일 때 W/M\_신호에 의해 저장동작(W/M=High)과 비교동작(W/M=Low)을 수행하고, CE신호가 "High"일 때에는 아무런 동작도 하지 않는 결과를 확인하였다.

DBLCAM과 Two-port SRAM의 입력 회로는 인버터 래치회로와 트랜스미션 게이트(Transmission Gate)를 사용하여 설계하였다. 설계한 DBLCAM 입력 회로의 구조는 Write 신호("High")가 입력되었을 때 데이터는 bit1라인과 bit1\_라인을 통해서 입력되고 그때 bit2라인과 bit2\_라인은 프리차지 된 상태를 유지할 수 있도록 하였고, Match 신호("Low")가 입력되었을 때에는 bit1라인과 bit1\_라인은 프리차지 되고 데이터는 bit2라인과 bit2\_라인을 통해서 입력되어 매치동작을 수행하도록 하였다.

Two-port SRAM의 입력 회로 동작은 Write 신호("High")가 입력되었을 경우에만 데이터를 bit1라인과 bit1\_라인으로 전달할 수 있고 Match 신호("Low")가 입력되었을 때는 트랜스미션 게이트가 off 되어 데이터를 입력할 수 없게 되고, 이때 두 라인 모두 같은 값을 유지하도록 설계하였다. Two-port SRAM의 출력 회로는 NAND 래치회로와 AND 게이트를 이용하여 설계하였다. 회로 동작은 Write 신호가 입력되었을 때 모든 데이터 출력은 Low 상태가 되고 Match 신호가 입력될 때만 저장된 데이터를 출력하도록 설계하였다.

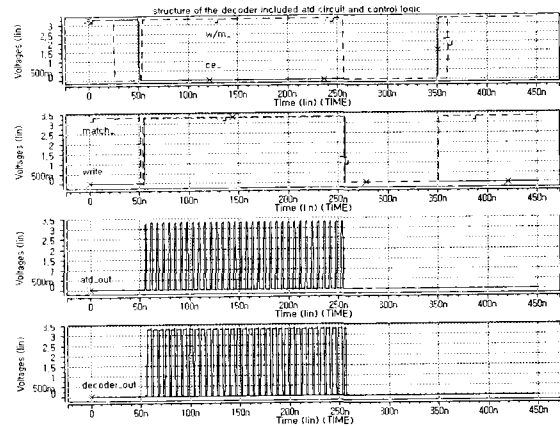


그림 7. ATD 회로와 디코더의 모의실험  
Fig. 7. Simulation of ATD circuit and decoder.

DBLCAM과 Two-port SRAM 셀에 보다 정확한 데이터를 저장하기 위해 입력 어드레스가 바뀔 때마다 bit1라인과 bit1\_라인을 같게 만드는 이퀄라이저(Equalizer) 신호를 발생하는 ATD(Address Translation Detection) 회로를 이용하였다.<sup>[9]</sup> ATD 회로는 입력 어드레스 신호(ai)와 입력 어드레스 신호를 지연시킨 신호( $\tau_d$ )를 Exclusive-OR 연산하여 ATD 신호 즉, 이퀄라이저 신호를 발생할 수 있도록 하였다.

디코더는 DBLCAM과 Two-port SRAM 셀 내에 데이터를 저장할 때, 입력 어드레스에 의해서 셀의 워드를 구동시키는 회로이다. 동작 원리는 쓰기 신호가 "High"로 입력되었을 경우 디코더가 동작을 하고 ATD 회로에 의해서 어드레스가 변할 때마다 이퀄라이저 신호가 발생한다. 이퀄라이저 신호는 CE 신호가 "Low"이면서 W/M\_신호가 "High"이고 어드레스 신호가 입력될 때 발생한다. 설계한 ATD 회로를 내포한 디코더의 모의실험 결과는 그림 7과 같다.

그리고 Two-port SRAM의 비트라인으로부터 데이터 출력을 빨리 감지하기 위해 작은 신호를 논리 값에 해당하는 전압으로 증폭하는 감지 증폭기(Sense Amplifier)를 사용하였다. 일반적으로 비트라인을 갖는 메모리는 메모리의 워드 수 또는 하부 메모리 블록의 워드 수에 따라 비트라인의 길이가 증가하므로 최소의 면적을 갖는 기억셀을 사용하는 조건에서 읽기동작 시간을 단축하기 위해 비트라인의 미소 전압을 증폭하는 감지 증폭기의 사용이 필수적이다. 감지증폭기는 전압 감지형 과 전류 감지형으로 분류되나, 차동 입력 사용 유무에 따라 단일 입력형과 차동 입력형으로 분류되는

데 본 논문에서는 차동 입력형 감지 증폭기를 사용하였으며 회로의 모의실험 결과는 그림 8과 같다.

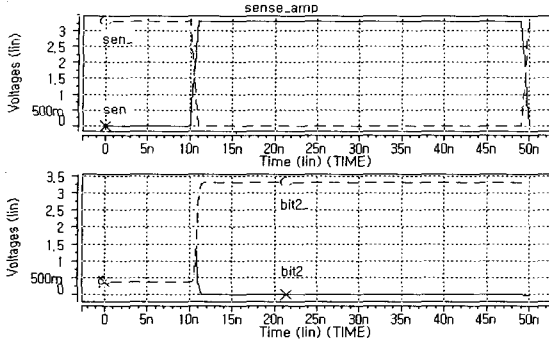


그림 8. 감지증폭기 회로의 모의실험 (bit=0.387[V], bit\_=-0.388[V])

Fig. 8. Simulation of sense amplifier circuit (bit=0.387[V], bit\_=-0.388[V]).

모의실험 결과에서 bit2라인과 bit\_라인의 전압 차가 0.001[V] 즉, bit2라인은 0.387[V]이고 bit\_라인은 0.388[V]일 때 제어신호에 의해서 bit2라인은 논리 값 0(0[V])로 그리고 bit\_라인 보다 0.001[V] 큰 bit\_라인은 논리 값 1(3.3[V])로 변화되는 것을 확인하였다.

Cadence를 이용해서 설계한 제안된 허프만 코덱의 Look-up table 전체 회로도도 그림 9와 같다.

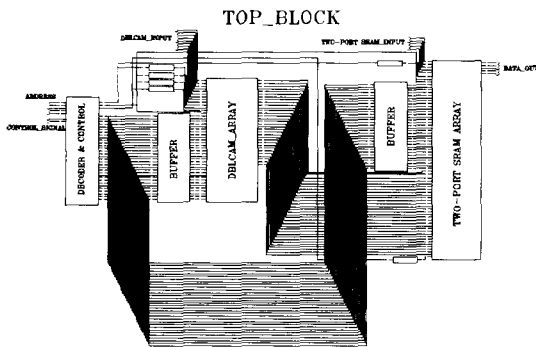


그림 9. 제안된 허프만 코덱의 Look-up table 회로  
Fig. 9. Proposed circuit of Look-up table in Huffman CODEC.

설계한 전체 회로에 대한 모의실험 결과는 그림 10에서 보는바와 같이 DBLCAM에서 입력된 데이터와 저장된 데이터를 비교하여 매치된 신호가 Two-port SRAM에 두 번째 워드라인을 구동하여 Two-port SRAM에 저장된 데이터를 출력함을 확인할 수 있었다.

모의실험 결과에서 DBLCAM에서 입력된 데이터와 비교동작을 수행한 후 비교 결과를 Two-port SRAM의 두 번째 워드라인으로 입력하여 데이터를 출력하는데 약 3[ns] 시간이 소요됨을 알 수 있었고 입력어드레스에 의해서 데이터를 저장하는데 약 1.3[ns] 시간이 소요됨을 확인하였다. 제안된 허프만 코덱의 Look-up table은 IDEC의 MPW를 통해 제작하였고 칩 사진은 그림 11과 같다.

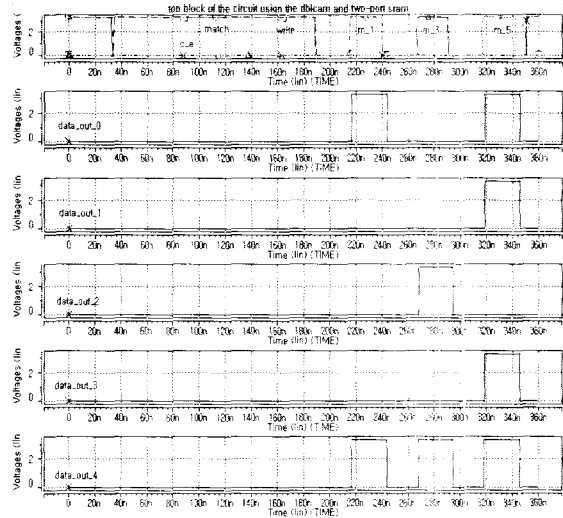


그림 10. 제안된 회로의 모의실험  
Fig. 10. Simulation of proposed circuit.

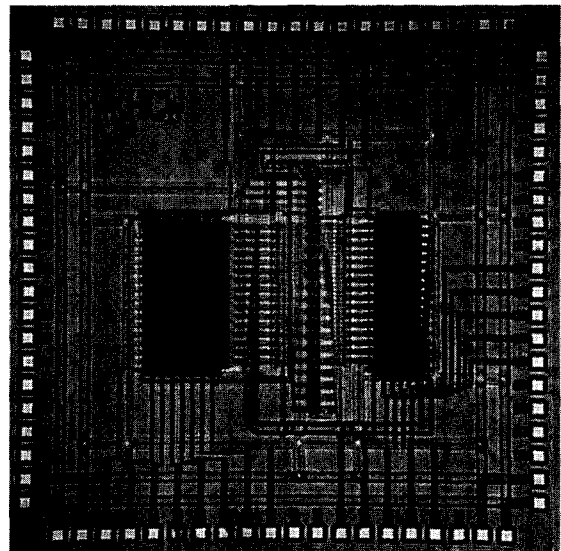


그림 11. 제안된 허프만 코덱의 Look-up table 칩 사진  
Fig. 11. Die Photograph of proposed Look up table in Huffman CODEC.

## V. 결 론

일반적으로 영상데이터는 데이터량이 많기 때문에 데이터 전송 또는 저장시에 효율성을 높이기 위해서 압축 부호화 기술이 요구된다. 이러한 압축 부호화 기술에서 많이 사용되고있는 허프만 코덱에서 원데이터에 대한 압축데이터를 생성하거나, 압축 데이터에 대한 원데이터를 복원하기 위해서는 Look-up table이 요구된다.

기존 허프만 코덱에 사용되는 Look-up table은 ROM 또는 PLA의 구조를 사용하여 코덱을 구현하여 사용되기도 하지만, 적용분야가 한정된다는 단점을 가지고 있어 허프만 테이블의 재구성능을 가능하게 하기 위해서 CAM을 많이 사용하고 있다. 하지만 기존의 CAM을 이용한 허프만 Look-up table 방식에서는 읽기 및 쓰기동작과 매치동작이 분리되어 수행되지 않으므로 제어기가 복잡해질 뿐만 아니라 읽기 및 쓰기동작시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 단점을 가지고 있다. 따라서 본 논문에서는 이러한 단점을 개선하기 위해 CAM 대신에 쓰기동작과 비교동작을 독립적으로 수행하는 DBLCAM을 이용하여 제어하기가 용이하도록 하였고, 또한 RAM 대신에 Two-port SRAM을 사용하여 고속으로 데이터를 처리할 수 있도록 하였다.

본 논문에서 설계한 허프만 코덱의 Look-up table 회로 및 레이아웃은  $0.6\mu\text{m}$ 의 설계 규칙 환경 하에서 Cadence를 사용하였고 모의실험은 Hspice를 이용하였는데, DBLCAM에서 입력된 데이터와 비교동작을 수행한 후 비교 결과를 Two-port SRAM의 두 번째 워드라인으로 입력하여 데이터를 출력하는데 약 3[ns] 시간이 소요됨을 확인하였고, 입력어드레스에 의해서 데이터를 저장하는데 약 1.3[ns] 시간이 소요됨을 확인하였다.

따라서 기존의 RAM을 사용한 구조보다는 액세스 속도가 빠르고, CAM만을 사용한 기존 구조보다는 DBLCAM과 Two-Port SRAM을 사용하여 설계하므로서 CAM 대신 Two-port SRAM을 사용한 영역에서 셀당 두 개의 트랜지스터를 적게 할 수 있어 칩 면적을 줄일 수 있는 장점을 가지고 있다. 특히 룩업테이블의 구조가 클수록 칩면적을 적게하는 효과는 더욱 커지게 된다.

제안된 Look-up table 구조의 응용분야는 고속의 허프만 코덱뿐만 아니라 고속의 테이블 탐색, 고속변환 데이터 베이스의 정보 저장 및 수정, 영상처리, 신호의 추적 및 처리 등과 같이 고속으로 탐색 데이터를 처리해야 하는 분야에 널리 활용될 수 있을 것으로 사료된다.

## 참 고 문 헌

- [1] Khalid Sayood, "Introduction to Data Compression", 2nd ed, Morgan Kaufmann, 2000.
- [2] V. Bhaskaran and K. Konstantinides, "Image and Video Compression Standards, Boston, MA:Kluwer Academic Publishers, 1995.
- [3] E. Linzer, "Super efficient decoding of color JPEG image on RISC machines", Image Communication, Vol. 8, No. 1, pp. 13~24, Jan. 1996.
- [4] Hashemian, "Memory efficient and high-speed search Huffman Coding", IEEE Transactions on Communications, Vol. 43, No. 10, pp. 2576~2581, Oct. 1995.
- [5] S. Chang and David Messerschmitt, "Designing High-Throughput VLC Decoder Part I-Concurrent VLSI Architecture", IEEE Trans. Circuits and Systems for Video Technology, Vol. 2, pp. 187~196, Jun. 1992.
- [6] Genuhoe Kim et al, "Design of Variable Length Decoder based on CAM", Proc. JTC-CSCC'94, pp. 950~954, 1994.
- [7] E. Komoto et al, "A High-speed and Compact Size JPEG Huffman Decoder using CAM", Symp. VLSI ckt, pp. 37~38, 1993.
- [8] A. G. Hanlon, "Content Addressable and Associative Memory System", IEEE Trans. on Electronic Circuits, Vol. Ec 15, No. 4, pp. 509~521, Aug. 1996.
- [9] 이완범, "ATM 망의 스트리밍 모드 비연결형 서버를 위한 포워딩 테이블 VPC 맵 ASIC 설계", 석사학위 논문, 1997

## 저 자 소 개



李浣範(正會員)

1988년 3월~1995년 2월 : 원광대학교 전자공학과 공학사. 1995년 8월~1997년 8월 : 원광대학교 전자공학과 공학석사. 1997년 8월~현재 : 원광대학교 전자공학과 박사과정. <주관심분야 : VLSI회로 설계,

디지털 통신 시스템 설계, SOC>



河昌佑(正會員)

1993년 3월~2000년 2월 : 원광대학교 전자공학과 공학사. 2000년 3월~2002년 2월 : 원광대학교 전자공학과 공학석사. 2002년 3월~현재 : 한국 코덴시(주) 기술부문 연구 1실 연구원. <주관심분야 : VLSI회

로 설계, 저전력 회로 설계, Irda 통신 시스템 설계>

金煥溶(正會員) 第38卷 SD編 第12號 參照