論文2002-39SD-10-4

코발트 실리사이드 접합을 사용하는 0.15㎛ CMOS Technology에서 얕은 접합에서의 누설 전류 특성 분석과 실리사이드에 의해 발생된 Schottky Contact 면적의 유도

(Characterization of Reverse Leakage Current Mechanism of Shallow Junction and Extraction of Silicidation Induced Schottky Contact Area for 0.15 ㎛ CMOS Technology Utilizing Cobalt Silicide)

姜 槿 求 *, 張 明 竣 **, 李 元 暢 ***, 李 熙 德 ****
(Keun-Koo Kang, Myoung-Jun Jang, Won-Chang Lee, and Hi-Deok Lee)

요 약

본 논문에서는 코발트 실리사이드가 형성된 얕은 p+-n과 n+-p 접합의 전류-전압 특성을 분석하여 silicidation에 의해 형성된 Schottky contact 면적을 구하였다. 역방향 바이어스 영역에서는 Poole-Frenkel barrier lowering 효과가 지배적으로 나타나서 Schottky contact 효과를 파악하기가 어려웠다. 그러나 Schottky contact의 형성은 순방향 바이어스 영역에서 n+-p 접합의 전류-전압 (I-V) 동작에 영향을 미치는 것으로 확인되었다. 실리사이드가 형성된 n+-p 다이오드의 누설전류 증가는 실리사이드가 형성될 때 p-substrate또는 depletion area로 코발트가 침투되어 Schottky contact을 형성하거나 trap들을 발생시켰기 때문이다. 분석결과 perimeter intensive diode인 경우에는 silicide가 junction area까지 침투하였으며, area intensive junction인 경우에는 silicide가 비록 공핍층이나 p-substrate까지 침투하지는 않았더라도 공핍층 근처까지 침투하여 trap들을 발생시켜 누설전류를 증가시킴을 확인하였다. 반면 p+-n 다이오드의 경우 Schottky contact이 발생하지 않았고 따라서 누설전류도 증가하지 않았다. n+-p 다이오드에서 실리사이드에 의해 형성된 Schottky contact 면적은 순방향 바이어스와 역방향 바이어스의 전류-전압 특성을 동시에 제시하여 유도할 수 있었고, 전체 접합면적의 0.01%보다 작게 분석되었다.

Abstract

In this paper, silicidation induced Schottky contact area was obtained using the current voltage (I-V) characteristics of shallow cobalt silicided p+-n and n+-p junctions. In reverse bias region, Poole-Frenkel barrier lowering influenced predominantly the reverse leakage current, masking thereby the effect of Schottky contact formation. However, Schottky contact was conclusively shown to be the root cause of the modified I-V behavior of n+-p junction in the forward bias region. The increase of leakage current in silicided n+-p diodes is consistent with the formation of Schottky contact via cobalt slicide penetrating into the p-substrate or near to the junction area and generating trap sites. The increase of reverse leakage current is proven to be attributed to the penetration of silicide into depletion region in case of the perimeter intensive n+-p junction. In case of the area intensive n+-p junction, the silicide penetrated near to the depletion region. There is no formation of Schottky contact in case of the p+-n junction where no increase in the leakage current is monitored. The Schottky contact amounting to less than 0.01% of the total junction was extracted by simultaneous characterization of forward and reverse characteristics of silicided n+-p diode.

Key Words : Poole-Frenkel barrier lowering, silicide, Schottky contact, shallow junction, 015㎛ CMOS Technology.

* 正會員, 忠北大學校 物理學科
(Dept. of Physics, Chungbuk National Univ.)
** 正會員, 亞南半導體 先行開發팀
(Anam Semiconductor Co., Ltd.)
*** 正會員, 現代電子株式會社, 메모리硏究所
(Hynix Semiconductor Inc.)
**** 正會員, 忠南大學校 電子工學科
(Dept. of Electronics Engineering Chungnam National Univ.)

※ 본 연구는 한국 과학재단 목적 기초연구(R01-2001-000-00323-0)지원으로 수행 되었음.
接受日字:2001年2月14日, 수정완료일:2002年10月11日

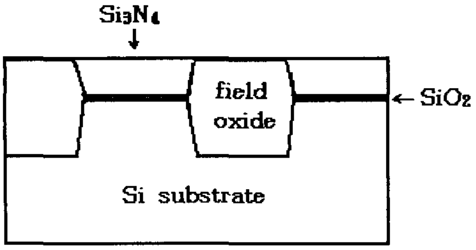
I. 서 론

VLSI회로의 고집적화와 고속화를 달성하기 위하여 소자의 크기가 작아지고 있는 추세이다. MOSFET이 직접회로에 처음 사용되기 시작한 후 크기는 축소를 거듭하여 0.13㎛의 게이트 길이를 갖는 트랜지스터가 직접회로에 사용되고 있다. 그러나 소자의 Scale-down에 따른 유효채널길이가 감소함에 따라 문턱전압이 저하되고 punch-through나 그 밖의 짧은 채널 효과 등의 문제들이 발생하여 소자의 축소화를 어렵게 하고 있는데 이의 해결을 위해 소스-드레인 영역의 접합 깊이를 얇게 하는 것이 매우 필요하다.[1] 더욱이 MOSFET 크기가 축소됨에 따라 소스-드레인과 게이트 영역의 저항은 수 kΩ 까지 증가하여 소자의 속도가 감소되고, 집적도도 저하된다. 이러한 점을 개선하기 위하여 실리사이드를 사용하고 있으며 VLSI technology의 발달로 현재 소스-드레인과 게이트 영역에 한번에 실리사이드를 형성하는 Salicide(Self Aligned Silicide)가 사용되고 있다.[2] 실리사이드의 형성은 소스-드레인과 게이트 영역의 기생저항을 줄여 드레인 전류를 증가시키고 소자의 속도가 저하되는 것을 막아준다.[2] 그러나 얇은 접합에 실리사이드가 형성될 때 실리사이드 성분이 접합 영역까지 침범하여 Soft breakdown 현상을 유발하기도 하며, 접합 영역에 트랩을 발생시켜 누설전류가 커지게 되는 등의 현상이 나타나서 얕은 접합에 실리사이드를 형성하기는 점차 어려워져서 VLSI 소자 개발의 중요한 Issue중의 하나가 되고 있다.[3,4] 지금까지 실리사이드가 형성된 얕은 접합의 전류-전압 특성은 주로 역방향 바이어스 영역에서 연구되어 왔고 실리사이드접합의 누설전류는 실리사이드 되지 않은 접합보다 크게 나타나지만 누설전류의 증가가 실리사이드의 침투에 의한 것인지 아니면 Silicide에 의해 발생된 trap에 의한 것인지 등에 대한 분석이 미흡한 상태이다. 그리고 누설전류의 매커니즘은 대부분 역방향 전압영역에서 진행되어 왔으며 최근 들어서 타이타늄 실리사이드($TiSi_2$)에 대해서 순방향 전압에 대한 연구가 보고되고 있다.[5]

본 논문에서는 0.18 ㎛ 및 그 이하의 CMOS technology에서 주로 쓰이는 코발트 실리사이드($CoSi_2$)의 누설전류 매커니즘을 역방향 바이어스에서 분석하여 Poole-Frenkel barrier lowering이 누설전류의 주원인임을 나타내었으며, 역방향 바이어스에서는 발견되지 않았던 실리사이드의 접합영역의 침투에 의한 Schottky contact이 순방향 바이어스에서 발견될 수 있음을 나타내었다. 즉, 비록 실리사이드의 침투에 의한 Schottky contact이 형성되어도 역방향 바이어스에서는 Schottky barrier lowering 보다는 Poole-Frenkel barrier lowering이 주로 역방향 전류에 기여하여 접합영역으로의 실리사이드의 침투 여부를 확인할 수가 없음을 나타내었다. 그리고 비록 실리사이드에 의해 Schottky contact이 형성되지 않았더라도 silicide 침투에 의해 trap들이 발생하여 누설전류 뿐만 아니라 순방향 전류도 증가함을 분석하였다. 본 논문에서는 ideality factor를 조사하여 실리사이드 접합에서의 비정상적인 순방향 바이어스에서의 전류-전압 동작을 설명하고 실리사이드 침투에 의해 형성된 Schottky contact 면적을 추출하고자 한다.

II. 제작공정

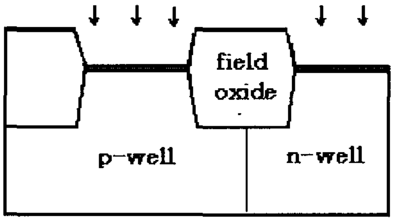
실험에 사용한 n+-p와 p+-n 접합은 0.15㎛ CMOSFET technology 전체를 적용하여 제작되었다.[6,7] 사용된 p-type (100) silicon substrate의 비저항은 9-12 Ω-㎝이고, 주된 공정과 공정조건은 그림 1에 간략하게 나타내었다. 주요 공정을 설명하면 Shallow trench isolation (STI)과 Retrograde twin well을 사용하였으며 n-well과 p-well의 도핑 농도는 각각 약 $3.0\times10^{17}cm^{-3}$, $4.0\times10^{17}cm^{-3}$이다. n+-p와 p+-n접합은 As 및 BF2를 이온 주입하여 형성하며 코발트 실리사이드는 two-step 방법으로 형성하였다.[7] 실리사이드 층을 포함한 접합의 깊이는 secondary ion mass spectrometry (SIMS) 측정결과 각각 약 0.16㎛와 0.19㎛로 p+-n접합의 깊이가 n+-p접합보다 조금 더 깊다. STI의 깊이는 약 3500Å이고 코발트 실리사이드의 두께는 약 400Å이다. 순수한 active 영역 내의 성분과 active와 Field사이의 성분을 나타내도록 다이오드는 두 패턴으로 나누어 제작하였는데, 270×186$㎛^2$ 의 직사각형 하나로 구성된 것을 편의상 flat pattern, 270×0.61 $㎛^2$ 의 직사각형 310개로 구성된 것을 perimeter pattern이라고 하였으며, 두 다이오드의 전체 면적은 거의 동일하다.



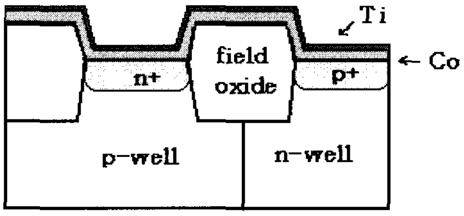
(a) Isolation

n+/p : As 50keV, 5×10^{15}cm^{-2}

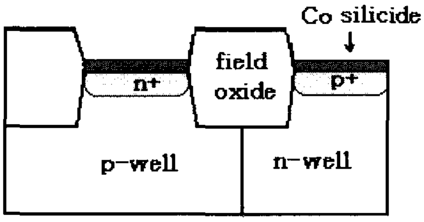
p+/n : BF$_2$ 20keV, 4×10^{15}cm^{-2}



(b) 이온주입



(c) 1st anneal 600℃, 60sec



(d) 2nd anneal 750℃, 30sec

그림 1. n+-p와 p+-n 접합 제작과정.

Fig. 1. Flow diagram for fabricating n+-p and p+-n junctions.

Ⅲ. 실험결과 및 토의

그림 2는 0.15㎛ CMOS technology를 이용하여 제작된 NMOS 소자의 단면도를 나타낸 것이다.

그림 3은 실리사이드가 형성된 p+-n과 n+-p 접합과 실리사이드가 형성되지 않은 접합의 역방향 누설전류 분포도를 비교하여 나타낸 것이다. 그림 3에서 특이한 것은 p+-n접합에서 실리사이드 접합의 역방향 누설전류의 특성은 실리사이드가 형성되지 않은 접합과 거의 동일한 반면 n+-p접합에서는 전자의 누설전류가 후자보다 약 10배 정도 증가하는 경향이 나타난 것인데, 이

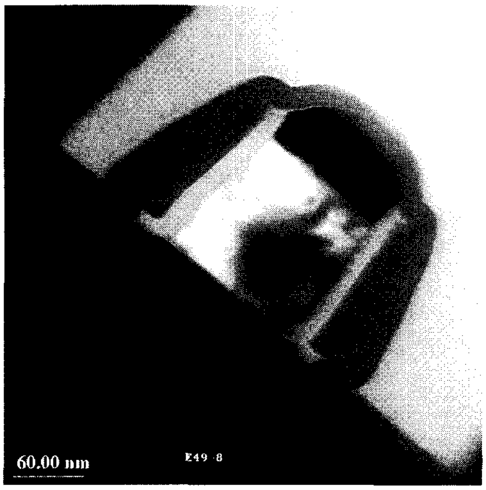
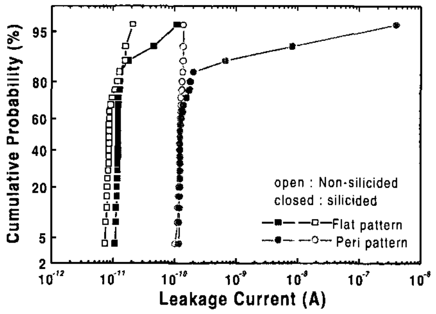
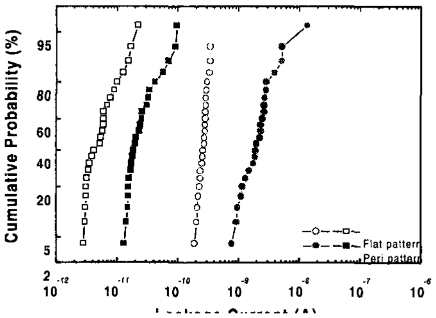


그림 2. 0.15㎛ CMOS 기술을 이용하여 제작된 NMOS 소자 단면도

Fig. 2. Cross sectional profile of fabricated NMOSFET using 0.15㎛CMOS Technology.



(a) p+-n junction



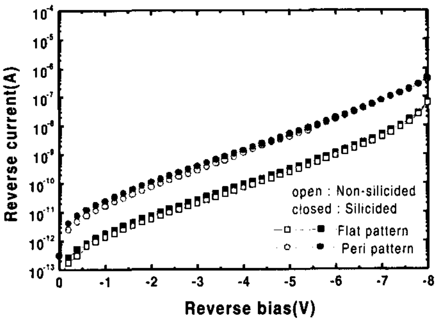
(b) n+-p junction

그림 3. 20℃ 2V에서 측정한 (a) p+-n과 (b) n+-p 접합 다이오드의 누설전류의 분포도.

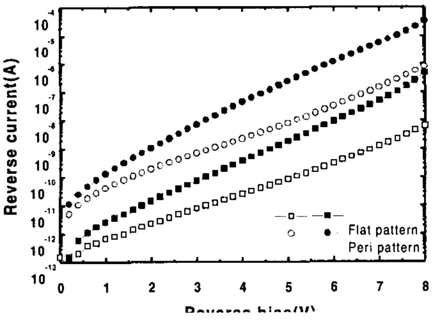
Fig. 3. Cumulative Probabilities of the leakage current of (a) p+-n and (b) n+-p junction diodes, measured at reverse voltage of 2 V and at 20 ℃.

것은 실리사이드가 상대적으로 접합 깊이가 얕은 n^{+}-p 접합에 영향을 미쳤기 때문이라고 생각된다. 그리고 p^{+}-n 실리사이드 접합에서도 매우 전류가 큰 영역이 존재하는데 이 부분 역시 실리사이드가 접합에 영향을 미쳤다고 생각된다. 그림 3에서 50 % 지점에서 구한 단위 면적 당 또는 단위 길이 당 실리사이드가 형성된 flat과 perimeter pattern의 누설전류농도는 각각 p^{+}-n 접합에서 0.21 fA/μm^2 및 2.44 fA/μm^2, n^{+}-p 접합에서 0.41 fA/μm^2 및 45.4 fA/μm^2 이다.

그림 4는 역방향 바이어스에서 다이오드의 전류-전압 특성을 나타낸 것인데, p^{+}-n과 n^{+}-p 접합 다이오드는 실리사이드의 형성 여부에 관계없이 인가된 전기장에 강하게 의존함을 알 수 있다. p^{+}-n 접합 일 때 두 종류의 다이오드 전류-전압(I-V) 곡선은 그림 3에서와 마찬가지로 동일하며 이것으로 실리사이드는 접합에 영향을 미치지 않는 것을 알 수 있고, 실리사이드와 실리사이드가 형성되지 않은 접합의 누설전류 매커니즘은 서로 같다고 할 수 있다.



(a) p^{+}-n junction



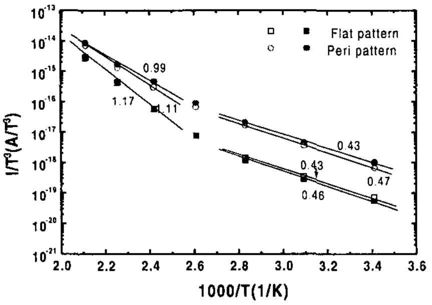
(b) n^{+}-p junction

그림 4. 역방향 바이어스에서 (a) p^{+}-n 와 (b) n^{+}-p 접합 다이오드의 I-V특성곡선.

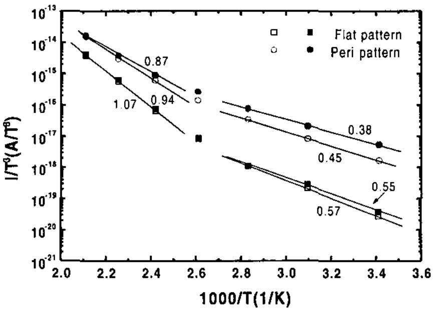
Fig. 4. The I-V characteristics of (a) p^{+}-n and (b) n^{+}-p junction diodes in the reverse bias region at the temperature of 20℃.

반면에 n^{+}-p 접합에서는 실리사이드가 형성된 경우와 그렇지 않은 경우에 두드러진 차이를 보이고 있으며, 전자가 누설전류의 전압에 대한 의존성이 후자보다 1.4배 가량 큰 것은 얕은 접합에서 실리사이드에 의해 많은 양의 트랩이 생성되었기 때문이라고 생각된다. 그러나 실리사이드의 형성여부나 flat 및 perimeter 다이오드에 관계없이 인가된 전압이 증가함에 따라 누설전류는 지수 함수적으로 증가하는 경향을 보이므로 그림 4의 전류-전압 특성만으로 실리사이드 접합과 실리사이드가 형성되지 않은 접합의 누설전류 매커니즘을 설명하기가 어려우므로, 온도의존성과 전기장 의존성을 분석해 보았다.

먼저 온도 의존성을 분석하기 위해 그림 5와 같이 20 ~200 ℃의 온도범위에서 1 V의 역방향 바이어스에서 측정된 누설전류를 Arrhenius 곡선으로 나타내었다. 그림 5에서 보여주는 것처럼 온도가 증가함에 따라 p^{+}-n과 n^{+}-p접합 다이오드의 누설전류는 증가한다. 역방향 누설전류의 활성화 에너지(activation energy) E_A는 Arrhenius 곡선의 기울기로 얻을 수 있는데 E_A가 실리콘 밴드 갭(E_g)에 근접할 때는 diffusion 전류 매커니즘에 따르고 $E_g/2$일 때 generation 혹은 recombination 전류 매커니즘에 따른다고 할 수 있다.[8] 그림 5에서 p^{+}-n접합의 E_A는 모든 온도 영역에서 실리사이드를 적용한 경우나 그렇지 않은 경우 간의 차이가 거의 없고 저온영역에서 $E_g/2$보다 작은데 이것은 generation 혹은 recombination과 그 밖의 다른 효과의 영향을 받기 때문이라고 여겨진다. 반면 n^{+}-p접합의 E_A는 고온영역에서 flat pattern의 경우 E_g에 근사한 값을 나타내지만 perimeter pattern의 경우 E_A 는 Eg 보다 작게 나타난다. 저온영역에서 perimeter 다이오드의 경우 실리사이드 유무에 상관없이 E_A 가 현저히 작은데 이것은 실리사이드가 얕은 접합에서 특히 모서리 부분에 해당하는 perimeter pattern에 큰 영향을 미치는 것으로 생각할 수 있다. 또한 p^{+}-n과 n^{+}-p접합에서 perimeter 다이오드의 E_A 는 온도와 실리사이드의 형성 여부에 관계없이 flat 다이오드보다 작은 경향을 보이는데 이것은 얕은 접합의 주로 모서리 부분에서 트랩 사이트가 발생했기 때문이다. 온도의존성을 종합하면 그림 5와 같이 실리사이드 유무에 상관없이 활성화 에너지가 유사하므로 각 접합의 차이 구분 및 누설전류 매커니즘을 알아내기가 매우 어렵다. 따라서 더 정확한 분석을 위해 전기장 의존성을 분석하였다.



(a) p+-n junction



(b) n+-p junction

그림 5. 1V에서 (a) p+-n와 (b) n+-p 접합다이오드의 log I_R/T^3 에 따른 1000/T의 Arrhenius 곡선.

Fig. 5. Arrhenius plots (log I_R/T^3 versus 1000/T) of (a) p+-n and (b) n+-p junction diodes measured at 1V.

실리사이드 접합의 전기장 의존성을 갖을 수 있는 매커니즘을 크게 두 가지로 나누었다. 하나는 접합영역 내의 많은 trap site에 의한 Poole-Frenkel barrier lowering이고 다른 하나는 실리사이드가 접합영역에 침투하여 만들어진 Schottky contact에 의한 Schottky barrier lowering이다. 두 가지 중 우선 Poole-Frenkel barrier lowering에 따른 역방향 누설전류는 식(1) 과 같이 표현되며, Schottky lowering에 따른 역방향 누설전류는 식 (2)와 같이 표현된다.[9-11]

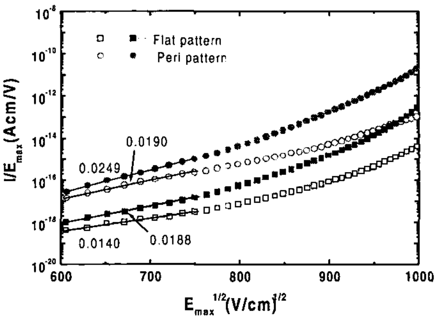
$$I_R \propto E\exp\left(\frac{q}{kT}\sqrt{\frac{qE}{\pi\varepsilon}}\right) \qquad (1)$$

$$I_R \propto T^2\exp\left(\frac{q}{2kT}\sqrt{\frac{qE}{\pi\varepsilon}}\right) \qquad (2)$$

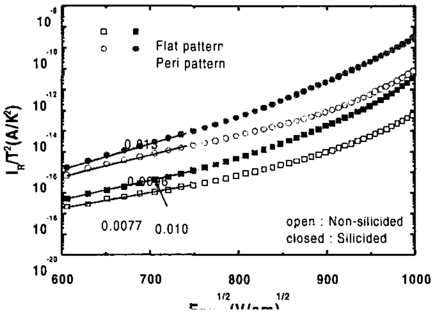
여기서 q는 전하, k는 볼츠만상수, ε은 유전률, E는 접합에서의 최대 전기장 크기이다. 그러므로 누설전류의 매커니즘은 (1) 과 (2)에서의 기울기 (Slope), S를 통하여 얻을 수 있으며 이 두 기울기 S는 식 (3)과 같이 표현 가능하고, 이 때 n은 Poole-Frenkel barrier lowering인 경우에는 1이고 Schottky barrier lowering 이면 2이다.

$$S = \frac{q}{nkT}\sqrt{\frac{q}{\pi\varepsilon}} \qquad (3)$$

그림 6는 그림 3의 전류-전압 데이터를 가지고 얻은 n+-p접합의 I_R/E 대 $E^{1/2}$, I_R/T^2 대 $E^{1/2}$곡선을 보여준다. Poole-Frenkel barrier lowering와 Schottky barrier lowering의 기울기는 식 (3)을 이용하여 계산할 수 있는데 그 이론 값은 보통 상온 (20℃)에서 각각 0.0089및 0.0044(V/cm)$^{1/2}$ 이다. 그런데 측정된 기울기는 그림 6에서 볼 수 있듯이 Poole-Frenkel barrier lowing



(a) I_R/E versus $E^{1/2}$



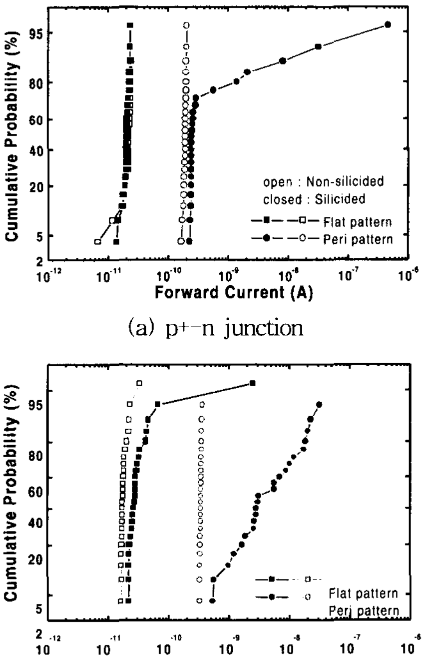
(b) I_R/T^2 versus $E^{1/2}$

그림 6. 20℃ 역방향 바이어스에서 n+-p접합의 전기장 의존도. Poole-Frenkel barrier lowing 점에서 (a) I_R/E에 따른 $E^{1/2}$과 Schottky barrier lowing점에서 (b) I_R/T^2와 $E^{1/2}$의 관계

Fig. 6. Electric field dependence of n+-p junction in the reverse bias region at the temperature of 20℃. (a) I_R/E versus $E^{1/2}$plot for the Poole-Frenkel barrier lowing and (b) I_R/T^2 versus $E^{1/2}$ plot for the Schottky barrier lowing.

이나 Schottky barrier lowing의 이론 값보다 훨씬 크다. p+-n다이오드의 경우에서도 이와 유사한 결론을 얻을 수 있는데, 이 때 기울기는 n+-p다이오드의 경우보다 약간 크게 나왔는데 이는 n-well이 p-well보다 깊게 도핑되었기 때문이 아닌가 생각된다. 그러므로 그림 4, 그림 5, 그림 6으로부터 역방향 바이어스 일 때 누설전류가 흐르는 것은 Poole-Frenkel barrier lowering 효과와 Trap assisted tunneling과 같은 다른 영향에 의한 것이라는 결론을 도출해 낼 수 있다.[5]

따라서 역방향 바이어스에서 전류-전압 특성을 통해 실리사이드가 형성된 n+-p 다이오드의 동작 메커니즘은 알 수 있었지만 실리사이드 유무에 따른 차이를 발견할 수 없어서 왜 n+-p 접합에서 누설전류가 증가하였는지는 알 수가 없으며 단지 실리사이드에 의해 trap site가 많이 발생했을 것이란 추측밖에 할 수가 없다. 따라서 정확한 원인을 파악하기 위해 다음 절에서는 순방향 바이어스에서 전류-전압 특성을 제시하여 연구해 보았다.



(a) p+-n junction

(b) n+-p junction

그림 7. 순방향 전압 0.2V, 20℃에서 측정한 (a) p+-n 과 (b) n+-p 다이오드의 순방향 전류의 누적 분포도

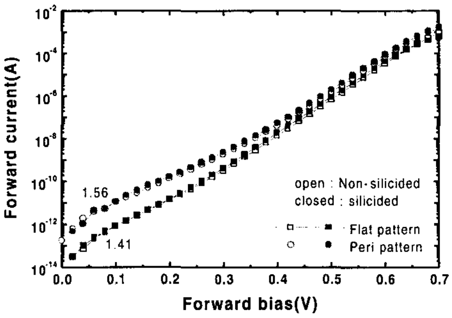
Fig. 7. Cumulative probabilities of the forward current of (a) p+-n and (b) n+-p diodes measured at the forward voltage of 0.2V and 20℃.

그림 7은 순방향 바이어스 영역에서 다이오드 전류의 분포를 나타낸 것으로, p+-n접합의 경향은 역방향 바이어스에서 본 그림 3과 유사하지만 n+-p 접합은 다소 다른 특성을 나타내고 있다. 즉, p+-n 접합인 경우에는 실리사이드 형성된 것과 형성되지 않은 것 모두 전류레벨이 거의 일치하지만, 실리사이드 접합인 경우 역시 급격히 증가하는 site가 일부 존재하고 있다. 반면에 n+-p 접합에서는 flat pattern인 경우에는 실리사이드 유무에 의한 차이가 역방향 전류의 차이보다 줄어들었으며, 반대로 perimeter pattern에서는 훨씬 증가하고 있다. 이와 같은 n+-p 접합의 순방향 전류 특성을 분석하기 위해 전류-전압특성을 비교하였다.

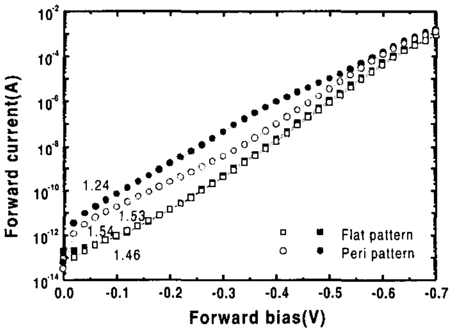
그림 8은 다이오드의 순방향 전류-전압 특성을 나타낸 것으로 낮은 전압에서의 ideality factor, n을 참고로 기입하였다. Ideality factor는 저전압에서 곡선의 기울기로부터 얻을 수 있었는데 n이 1에 가까울 때 또는 $1<n<2$일 때 각각 diffusion 및 recombination 메커니즘에 따르고 2보다 클 때 Poole-Frenkel barrier lowering과 recombination 메커니즘에 따른다고 알려져 있다.[8] 우선 p+-n접합을 보면 실리사이드가 형성된 다이오드의 전류-전압 동작은 실리사이드가 형성되지 않은 다이오드와 일치하며 flat과 perimeter pattern의 n은 각각 약 1.41, 1.56으로 두 경우 모두 recombination 전류가 순방향 전류를 좌우함을 알 수 있다. 따라서 접합영역에 많은 trap site가 있다고 할 수 있으며, 이런 많은 trap들에 의해 그림 6(a)와 같이 Poole-Frenkel barrier lowering 효과가 나타난다고 할 수 있다.

n+-p접합인 경우에는 역방향 누설전류와 다소 다른 특성을 보이고 있다. 즉, flat pattern인 경우에는 실리사이드 유무에 상관없이 모두 순방향 전류, I_F가 거의 일치하지만 perimeter pattern의 경우 실리사이드 접합에서만 I_F가 현저히 증가하고 있다. 그러나 역방향 바이어스에서는 실리사이드가 있는 접합이 항상 누설전류가 컸었다. Ideality factor를 비교해 보면 flat pattern인 경우 실리사이드를 적용한 것과 안 한 것이 각각 1.54와 1.46으로 차이가 작다. 이와 같이 순방향 전류의 차이가 역방향 전류에 비해 작은 이유는 실리사이드에 의해 발생한 trap들의 대부분이 공핍 영역의 끝쪽과 바깥쪽에 몰려 있어서 역방향 전압이 증가함에 따라서는 역방향 전류가 그림 4(b)와 같이 증가하고 공핍 영역이 줄어드는 높은 순방향 전압에서는 전류차이가 거의 없

게 된다고 할 수 있다. 그리고 역방향에서는 p+-n과 마찬가지로 얕은 접합 형성 때 발생된 많은 trap들이 영향을 미쳐서 Poole-Frenkel barrier lowering이 주로 영향을 미친다고 할 수 있다.



(a) p+-n junction



(b) n+-p junction

그림 8. 20℃ 순방향 바이어스 영역에서 (a) p+-n과 (b) n+-p접합 다이오드의 전압과 전류와의 관계

Fig. 8. The current-voltage Plot of (a) p+-n and (b) n+-p junction diodes in the forward bias region at temperature 20℃.

반면에 perimeter pattern의 n은 저전압 영역에서 실리사이드 한 것과 안 한 것이 각각 1.24와 1.53으로 차이가 나타나고 있으며, 무엇보다도 ideality factor가 작은 실리사이드 접합의 전류가 훨씬 크다는 것이다. 이는 같은 접합 면적일 때 ideality factor가 큰 접합의 전류가 더 크다는 일반적인 경향에서 벗어난 것으로, perimeter pattern의 실리사이드 접합은 순수한 recombination 전류이외에 다른 매커니즘이 순방향 전류를 좌우하고 있다고 생각된다. 따라서 일단은 얕은 접합의 모서리 부분에서 실리사이드 형성 시에 일부 실리사이드가 접합영역에 침투하여 Schottky contact이 형성되었다고 가정하였다. 지금까지 실리사이드가 형성된 얕은 접합의 전류-전압특성은 주로 역방향 바이어스에서 연구되었는데 순방향 바이어스에서는 이처럼 ideality factor를 조사함으로써 전류-전압 특성을 연구할 수 있었다.

다음은 n+-p접합의 perimeter pattern에서 발생한 Schottky contact면적을 추출하기 위하여 활성화 에너지(activation energy) E_A와 Schottky 장벽 높이 ϕ_{Bn}를 구해 보았다.

본 논문은 n+-p접합에서 관찰된 순방향 전류의 동작을 p-well과 n+영역에서 나타나는 Schottky contact을 중심으로 논의하고 있으며 Schottky 다이오드에서 순방향 전류, I_F는 다음과 같이 나타낸다.[12]

$$I_F = A^{**} A_E T^2 \exp\left[-\frac{q(\phi_{Bn} - \Delta\phi)}{kT}\right]\exp\left(\frac{qV_F}{kT}\right) \quad (4)$$

여기서 A^{**}는 Richardson 상수 120A/㎠/K^2, 실리사이드에 의해 형성된 A_E는 Schottky contact 면적, ϕ_{Bn}는 Schottky 장벽 높이, V_F는 순방향 전압이고 Schottky 장벽 높이의 image-force lowing은 다음과 같이 주어진다.

$$\Delta\phi = \sqrt{\frac{qE}{4\pi\varepsilon}} \quad (5)$$

E는 접합에서 최대 전기장으로 표시된다. (4)식의 양변에 log를 취하면 다음과 같이 변형된다.

$$\ln(I_F / T^2) = \ln(A_E A^{**}) - q(\phi_{Bn} - \Delta\phi - V_F)/kT \quad (6)$$

따라서 순방향 전류를 온도에 따라 측정한 후 $I_F / T^2 - 1/T$ plot을 하면 실리사이드에 의해 형성된 Schottky 면적 A_E와 Schottky 장벽 높이 ϕ_{Bn}을 계산하여 추출해 낼 수 있다. 즉, Richardson 상수와 장벽 높이는 근본적으로 온도에 의존하지 않으며[12] ϕ_{Bn}은 식(5)로 구한 $\Delta\phi$를 $(I_F / T^2) - 1/T$ 곡선의 기울기에 대입하여 산출해 낸다. 또한 $A_E A^{**}$은 식(6)으로부터 $1/T = 0$일때 그래프의 y축 절편으로 얻을 수 있었다.

그림 9는 Schottky contact면적을 추출하기 위해 역방향 바이어스에서와 유사한 방법으로 n+-p접합 의 순방향 바이어스 전압 0.2 V에서 20 ℃~200 ℃까지 온

도를 증가시키며 측정한 순방향 전류, I_F의 데이터를 식 (4)에 fitting하여 나타낸 그래프이다. 그림 5와 마찬가지로 p+-n 실리사이드 접합과 실리사이드 되지 않은 접합에서 순방향 전류의 특성이 동일하고 n+-p접합 일 경우 flat pattern의 E_A는 실리사이드 형성 여부에 관계없이 동일하지만 perimeter pattern에서는 실리사이드 접합의 E_A가 실리사이드 되지 않은 접합보다 현저히 작게 나타난다.

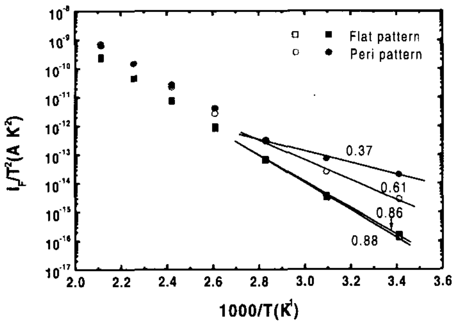


그림 9. Schottky contact 면적을 추출하기 위한 실리사이드 n+-p 접합의 I_R/T^3과 1000/T의 관계.

Fig. 9. I_R/T^3 versus 1000/T curve of silicided n+-p junction for extracting Schottky contact area at 0.2 V.

장벽 높이와 Schottky contact 면적은 flat과 peri pattern n+-p다이오드에서 각각 1.12eV, 686㎛^{2} 및 0.63eV, 3.02㎛^{2}가 추출되었는데, flat pattern의 경우 장벽 높이가 실리콘 에너지 밴드갭과 같은 것으로부터 Schottky contact이 아님을 알 수 있으며 perimeter pattern인 경우에만 Schottky contact이 형성되었다고 할 수 있다. 코발트 실리사이드와 실리콘 사이의 이론적인 장벽 전압은 p-type과 n-type 실리콘에서 각각 0.48eV 및 0.64eV인데,[13] perimeter diode의 장벽전압은 후자의 것과 유사한 것으로 보아 Schottky contact이 실리콘의 접합영역에서 p-well까지는 침투하지 못하고, n+의 공핍 영역까지만 침투하여 순방향 전류에 영향을 미친 것으로 보인다. 이처럼 substrate에 코발트(Co)나 코발트 실리사이드($CoSi_2$)가 부분적으로 침투된 것은 접합 사이의 공간을 차지하게 되고, Schottky 다이오드의 순방향 전류는 얕은 n+-p접합에 실리사이드의 형성으로 인해 Schottky 장벽 높이가 낮아져서 일반적인 접합의 순방향 전류보다 훨씬 증가하는 경향을 보인다.

다음으로 Schottky barrier lowering에서 역방향 바이어스에서의 누설전류를 구해 보았는데 그 식은 다음과 같이 주어진다.[12]

$$I_R = A^{**} A_E T^2 \exp\left[-\frac{q(\phi_{Bn} - \Delta\phi)}{kT}\right] \qquad (7)$$

추출된 Schottky contact면적 3.02㎛^{2}를 식(7)에 대입하여 역방향 바이어스에서의 누설전류를 구해보니 9.03 $\times 10^{-13}$ A로 매우 작게 나왔다. 따라서 역방향 바이어스에서는 미세한 Schottky barrier lowering효과가 Poole-Frenkel barrier lowing 효과에 가려져서 그 특성이 거의 보이지 않았던 것이다. Schottky contact면적 3.02㎛^{2}는 perimeter pattern 다이오드에서 전체 접합 면적의 0.01%보다 작기 때문에 Scanning electron microscopy (SEM)과 transmission electron microscopy (TEM)을 사용하여 추출된 실리사이드를 관찰하기가 매우 어려우며, n+-p접합에서 비정상적인 순방향 바이어스을 보이는 것은 앞에서도 언급했듯이 실리콘의 접합 영역에 코발트 실리사이드가 침투하여 Schottky contact이 형성되었기 때문이다.

Ⅳ. 결 론

코발트 실리사이드가 형성된 얕은 p+-n 과 n+-p 접합에서 순방향 바이어스와 역방향 바이어스 각각의 전류-전압 특성을 동시에 분석해 본 결과 p+-n다이오드에서 실리사이드 접합의 전류-전압 동작은 실리사이드 되지 않은 접합과 같았고, 따라서 실리사이드 공정은 접합의 전기적 특성에 영향을 미치지 않음을 알 수 있었다. 그러나 n+-p다이오드에서는 실리사이드가 다이오드의 전류에 크게 영향을 미치는데, 실리사이드 접합인 경우 누설전류의 전압에 대한 의존성이 실리사이드 되지 않은 접합보다 약 1.4배 가량 높은 것은 실리사이드가 형성될 때 코발트의 침투에 의해 트랩 사이트가 형성되었기 때문이다. 특히, flat pattern인 경우에는 코발트의 침투로 트랩사이트가 많이 발생하였지만, 코발트가 접합영역까지는 미치지 못하였으며, perimeter pattern인 경우에는 실리사이드가 접합영역까지 침투한 것으로 확인되었다. P+-n이나 n+-p 다이오드 모두 역방향 누설전류는 Poole-Frenkel barrier lowing 효과의 지배적인 영향을 받으며, 따라서 비록 n+-p perimeter

다이오드인 경우에 Schottky contact이 형성되더라도 그 효과는 거의 보이지 않는다. 그러나 순방향 바이어스의 전류-전압 특성을 통해 perimeter pattern에서만 Schottky contact이 일어남을 확인할 수 있었으며, 형성된 Schottky contact 면적을 구하였다. 그리고 구해진 Schottky contact 면적의 역방향 전류를 계산하여 본 결과 측정된 누설전류보다 매우 작았으며, 그러므로 Poole-Frenkel barrier lowering에 의해 Schottky barrier lowering효과가 가려지고 있음을 확인하였다.

참 고 문 헌

[1] The National Technology Roadmap for Semiconductors, Semiconductor Industry Association (SIA), 1997.

[2] A. Chatterjee, M. Rodder, and I. C. Chen, "A Transistor Performance Figure-of-Merit Including the Effect of Gate Resistance and its Application to Scaling to Sub-0.25-μm CMOS Logic Technologies", IEEE Trans. Electron Devices, Vol. 45, pp. 1246~1252, June 1998.

[3] R. Liu, D. S. Williams, and W. T. Lynch, "A study of the leakage mechanism of silicided n^+/p junctions", J. Appl. Phys., Vol. 63, pp. 1990~1999, 1988.

[4] J. Lin, S. Banerjee, J. Lee, and C. Teng, "Soft Breakdown in Titanium-Silicided Shallow Source/Drain Junctions", IEEE Electron Devices Letters, Vol. 11, pp. 191~193, 1990.

[5] Hi-Deok Lee, "Characterization of Shallow Silicided Junctions for Sub-Quarter Micron ULSI Technology - Extraction Of Silicidation Induced Schottky Contact Area", IEEE Trans. Electron Devices, Vol. 47, pp. 762~767, Apr. 2000.

[6] H. D. Lee and Y. J. Lee, "Arsenic and phosphorus double ion implanted source/drain junction for quarter- sub-quarter micron MOSFET technology," IEEE Electron Device Lett, Vol. 20, pp. 42~44, Jan. 1999.

[7] D. K. Sohn, J. S. Park, B. H. Lee, J. U. Bae, K. S. Oh, S. K. Lee, J. S. Byun, and J. J. Kim, "High Thermal Stability and Low Junction Leakage Current of Ti Capped Co Salicide and its Feasibility for High Thermal Budget CMOS Devices", in IEDM Tech. Dig., 1998, pp. 1005~1008.

[8] J. C. S. Woo, J. D. Plummer, J. M. C. Stork, "Non-Ideal Base Current in Bipolar Transistors at Low Temperatures", IEEE Trans. Electron Devices, Vol. 34, pp. 130~138, Jan. 1987.

[9] J. R. Yeargan, and H. L. Taylor, "The Poole-Frenkel Effect with Compensation Present," J. Appl. Phys., Vol. 39, pp. 5600~5604, Nov. 1968.

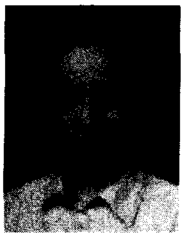
[10] G. Vincent, A. Chantre, and D. Bois, "Electric field effect on the thermal emissions of traps in semiconductor junctions," J. Appl. Phys., Vol. 50, pp. 5484~5487, Aug.1979.

[11] M. J. J. Theunissen, and F. J. List, "Analysis of The Soft Reverse Characteristics of n^+/p Drain Diodes," Solid-State Electron. Vol. 28, No. 5, pp. 417~425, 1985.

[12] S. M. Sze, Physics of Semiconductor Devices, 2nd ed. New York: Wiley, 1981.

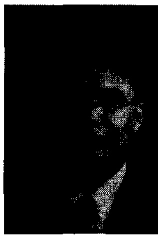
[13] S. M. Sze, Modern Semiconductor Device Physics. New York: Wiley, 1998.

저 자 소 개



姜 權 求(正會員)
1979년 1월 5일생, 2001년 8월 충북대학교 자연과학대학 물리학과 졸업, <주관심분야 : 반도체 분야>

李 元 暢(正會員)
1971년 8월 22일생. 1993년 2월 한국과학기술원 물리학과 졸업. 1996년 2월 한국과학기술원 물리학과 졸업(석사). 1996년 1월~현재 Hynix 반도체 연구원 근무, 선임연구원. <주관심분야 : SOI 소자, Sub-0.1㎛ 메모리 소자 및 집적공정>



張 明 竣(正會員)
1998년 3월 1일 성균관대학교 전자공학과 입학, 1995년 2월25일 성균관대학교 전자공학과 졸업(학사), 1997년 2월25일 성균관대학교 대학원 전자공학과 졸업(공학석사), 1997년 1월 31일~2001년 4월 25일 하이닉스반도체 신소자팀 근무(舊 LG반도체), 2001년 4월30일~현재 아남반도체 선행개발팀 근무. <주관심분야 : High speed CMOS device, RF device & design, Analog design>

李 熙 德(正會員)
1990년 2월 한국과학기술원 전기 및 전자공학과 졸업. 1992년 2월 한국과학기술원 전기 및 전자공학과 졸업(석사). 1996년 8월 한국과학기술원 전기 및 전자공학과 졸업(박사). 1993년 9월~2001년 2월 LG반도체 및 Hynix반도체 책임연구원. 2001년 3월~현재 충남대학교 전자공학과 조교수. <주관심분야 : 나노소자 및 나노소자의 신뢰성, RF 소자 Modeling 및 RF회로설계 등임>